

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-65658  
(P2015-65658A)

(43) 公開日 平成27年4月9日(2015.4.9)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03K 19/094 (2006.01)</b>	H03K 19/094 C	
<b>G11C 19/00 (2006.01)</b>	G11C 19/00 J	
<b>G11C 19/28 (2006.01)</b>	G11C 19/28 D	
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 623H	
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	

審査請求 有 請求項の数 2 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2014-198023 (P2014-198023)  
 (22) 出願日 平成26年9月29日 (2014.9.29)  
 (62) 分割の表示 特願2013-217618 (P2013-217618) の分割  
 原出願日 平成13年5月11日 (2001.5.11)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 浅見 宗広  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 長尾 祥  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 棚田 好文  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

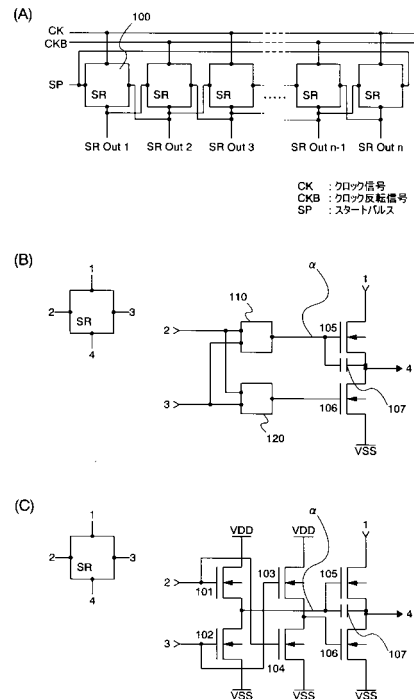
(54) 【発明の名称】 半導体装置及び表示装置

(57) 【要約】 (修正有)

【課題】一導電型のTFTによって構成され、かつ出力信号の振幅を正常に得られる表示装置の駆動回路を提供する。

【解決手段】TFT101、104にパルスが入力されてONし、ノードの電位が上昇した後、 $VDD - V_{thN}$  (しきい値) となったところで浮遊状態となりTFT105がONし、クロック信号1がHiとなるのに伴って出力ノード4の電位が上昇する。一方、TFT105のゲート電極の電位は、出力ノード4の電位上昇に伴い、容量107の働きによってさらに上昇し、 $VDD + V_{thN}$ より高くなる。よって出力ノード4の電位は、TFT105のしきい値によって電圧降下することなくVDDまで上昇する。その後、次段出力がTFT102、103に入力されてONし、ノードの電位は下降してTFT105がOFFする。同時にTFT106がONし、出力ノードの電位はLoとなる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 のトランジスタ、第 2 のトランジスタ、第 1 の回路及び第 2 の回路を有し、  
前記第 1 及び前記第 2 のトランジスタの各々の導電型は同じであり、  
前記第 1 のトランジスタは、ゲートが前記第 1 の回路に、ソース又はドレインの一方が  
第 1 の配線に、ソース又はドレインの他方が前記第 2 のトランジスタのソース又はドレイン  
の一方に電氣的に接続され、

前記第 2 のトランジスタは、ゲートが前記第 2 の回路に、ソース又はドレインの他方が  
第 2 の配線に電氣的に接続されていることを特徴とする半導体装置。

## 【請求項 2】

請求項 1 乃至請求項 6 のいずれか一項に記載のパルス出力回路を用いた表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、パルス出力回路、シフトレジスタ、および表示装置に関する。なお本明細書中、  
表示装置とは、画素に液晶素子を用いてなる液晶表示装置および、エレクトロルミネッセンス  
(EL)素子を始めとした自発光素子を用いてなる自発光表示装置を含むものとする。  
表示装置の駆動回路とは、表示装置に配置された画素に映像信号を入力し、映像の表示  
を行うための処理を行う回路を指し、シフトレジスタ、インバータ等を始めとするパルス  
出力回路や、アンプ等を始めとする増幅回路を含むものとする。

## 【背景技術】

## 【0002】

近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した表示装置、特に薄膜トラン  
ジスタ(以下、TFTと表記)を用いたアクティブマトリクス型表示装置の普及が進んで  
いる。TFTを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された  
数十万から数百万の画素を有し、各画素に配置されたTFTによって各画素の電荷を制御  
することによって映像の表示を行っている。

## 【0003】

さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺領域にTFT  
を用いて駆動回路を同時形成するポリシリコンTFTに関する技術が発展してきており  
、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大  
が著しいモバイル情報端末の表示部等に、表示装置は不可欠なデバイスとなってきた  
。

## 【0004】

一般的に、表示装置の駆動回路を構成する回路としては、Nチャネル型TFTとPチャ  
ネル型TFTを組み合わせたCMOS回路が一般的に使用されている。

ここで、従来一般的に利用されているCMOS回路の一例として、シフトレジスタを例に  
挙げる。図11(A)は、従来より用いられているシフトレジスタの一例であり、点線枠  
1100で囲まれた部分が1段分のパルスを出力する回路である。図11(A)は3段分  
を抜き出して示している。1段分の回路は、クロックインバータ1101、1103、  
およびインバータ1102によって構成されている。図11(B)に詳細な回路構造を示  
す。図11(B)において、TFT1104~1107によって、クロックインバータ  
1101が構成され、TFT1108、1109によって、インバータ1102が構成さ  
れ、TFT1110~1113によって、クロックインバータ1103が構成される。

## 【0005】

回路を構成するTFTは、ゲート電極、ソース電極、ドレイン電極の3電極を有する。  
一般的にCMOS回路において、Nチャネル型TFTは、電位の低い方をソース電極、電  
位の高い方をドレイン電極として用い、Pチャネル型の場合は、電位の高い方をソース電  
極、電位の低い方をドレイン電極として用いることが多いため、本明細書においてTFT  
の接続を説明する際、それらの混同を避けるため、ソース電極およびドレイン電極のうち

10

20

30

40

50

一方を入力電極、他方を出力電極として表記している。

【0006】

回路の動作について説明する。なお、TFTの動作については、ゲート電極に電位が与えられて不純物領域間にチャンネルが形成され、導通している状態をON、不純物領域のチャンネルが消失して非導通となった状態をOFFと表記する。

【0007】

図11(A)(B)、および図11(C)に示したタイミングチャートを参照する。TFT1107、1104にはそれぞれクロック信号(以後CKと表記)、クロック反転信号(以後CKBと表記)が入力される。TFT1105、1106にはスタートパルス(以後SPと表記)が入力される。CKがHi電位、CKBがLo電位、SPがHi電位のと  
 き、TFT1106、1107がONし、Lo電位が出力されてTFT1108、1109にて構成されるインバータに入力され、反転されて出力ノード(SRout1)にHi電位が出力される。その後、SPがHi電位の状態でCKがLo電位、CKBがHi電位になると、インバータ1102およびクロックドインバータ1103によって構成された  
 ループにおいて、保持動作をとる。よって出力ノードにはHi電位が出力されつづける。次にCKがHi電位、CKBがLo電位になると、再びクロックドインバータ1101で書き込み動作をとる。このとき、既にSPはLo電位となっているので、出力ノードにはLo電位が出力される。以後、CKがLo電位、CKBがHi電位となると再び保持動作  
 をとり、このときの出力ノードのLo電位は、インバータ1102およびクロックドイン  
 10  
 20

【0008】

以上が1段分の動作である。次段は、CK、CKBの接続が逆になっており、上記とはクロック信号の極性が逆の状態と同様の動作をする。これが交互に繰り返され、以後同様に、図11(C)に示すようにサンプリングパルスが順次出力される。

【0009】

CMOS回路の特徴としては、論理が変わる(Hi電位からLo電位へ、あるいはLo電位からHi電位へ)瞬間にのみ電流が流れ、ある論理の保持中には電流が流れない(実際には微小なリーク電流の存在があるが)ため、回路全体での消費電流を低く抑えることが可能な点が挙げられる。

【発明の概要】

【発明が解決しようとする課題】

【0010】

ところで、液晶や自発光素子を用いた表示装置の需要は、モバイル電子機器の小型化、軽量化に伴って急速にその需要が増加しているが、歩留まり等の面から、その製造コストを十分に低く抑えることが難しい。今後の需要はさらに急速に増加することは容易に予測され、そのため表示装置をより安価に供給できるようにすることが望まれている。

【0011】

絶縁体上に駆動回路を作製する方法としては、複数のフォトマスクを用いて、活性層、配線等のパターンを露光、エッチングを行って作りこんでいく方法が一般的であるが、このときの工程数の多さが製造コストに直接影響しているため、可能な限り少ない工程数で製造することが理想的である。そこで、従来CMOS回路によって構成されていた駆動回路を、Nチャンネル型もしくはPチャンネル型のいずれか一方の導電型のみ  
 のTFTを用いて構成することが出来れば、イオンドーピング工程の一部を省略することが出来、さらにフォトマスクの枚数も削減することが出来る。  
 40

【0012】

(本発明以前の技術の問題点)

図9(A)は、従来一般的に用いられているCMOSインバータ(I)と、一極性のみ  
 のTFTを用いて構成したインバータ(II)(III)の例を示している。(II)はTFT  
 負荷型のインバータ、(III)は抵抗負荷型のインバータである。以下に、それぞれの動作について述べる。  
 50

## 【 0 0 1 3 】

図 9 ( B ) は、インバータに入力する信号の波形を示している。ここで、入力信号振幅は  $V_{DD} - V_{SS}$  間 ( $V_{SS} < V_{DD}$ ) とする。ここでは  $V_{SS} = 0 [V]$  として考える。

## 【 0 0 1 4 】

回路動作について説明する。なお、説明を明確かつ簡単にするため、回路を構成する N 型 T F T のしきい値電圧は、そのばらつきがないものとして一律 ( $V_{thN}$ ) とする。また、P 型 T F T についても同様に、一律 ( $V_{thP}$ ) とする。

## 【 0 0 1 5 】

C M O S インバータに図 9 ( B ) のような信号が入力されると、入力信号の電位が  $H_i$  電位するとき、P 型 T F T 9 0 1 は O F F し、N 型 T F T 9 0 2 が O N することにより、出力ノードの電位は  $L_o$  電位となる。逆に、入力信号の電位が  $L_o$  電位するとき、P 型 T F T 9 0 1 が O N し、N 型 T F T 9 0 2 が O F F することにより、出力ノードの電位は  $H_i$  電位となる ( 図 9 ( C ) ) 。

10

## 【 0 0 1 6 】

続いて、T F T 負荷型インバータ ( II ) の動作について説明する。同じく図 9 ( B ) に示すような信号が入力される場合を考える。まず、入力信号が  $L_o$  電位するとき、N 型 T F T 9 0 4 は O F F する。一方、負荷 T F T 9 0 3 は常に飽和動作していることから、出力ノードの電位は  $H_i$  電位方向に引き上げられる。一方、入力信号が  $H_i$  電位するとき、N 型 T F T 9 0 4 は O N する。ここで、負荷 T F T 9 0 3 の電流能力よりも、N 型 T F T 9 0 4 の電流能力を十分に高くしておくことにより、出力ノードの電位は  $L_o$  電位方向に引き

20

## 【 0 0 1 7 】

抵抗負荷型インバータ ( III ) についても同様に、N 型 T F T 9 0 6 の O N 抵抗値を、負荷抵抗 9 0 5 の抵抗値よりも十分に低くしておくことにより、入力信号が  $H_i$  電位ときは、N 型 T F T 9 0 6 が O N することにより、出力ノードは  $L_o$  電位方向に引き下げられる。入力信号が  $L_o$  電位ときは、N 型 T F T 9 0 6 は O F F し、出力ノードは  $H_i$  電位方向に引き上げられる。

## 【 0 0 1 8 】

ただし、T F T 負荷型インバータや抵抗負荷型インバータを用いる際、以下のような問題点がある。図 9 ( D ) は、T F T 負荷型インバータの出力波形を示したものであるが、出力が  $H_i$  電位ときに、9 0 7 で示す分だけ  $V_{DD}$  よりも電位が低くなる。負荷 T F T 9 0 3 において、出力ノード側の端子をソース、電源  $V_{DD}$  側の端子をドレインとすると、ゲート電極とドレイン領域が接続されているので、このときのゲート電極の電位は  $V_{DD}$  である。また、この負荷 T F T が O N しているための条件は、( T F T 9 0 3 のゲート - ソース間電圧  $> V_{thN}$  ) であるから、出力ノードの電位は、最大でも ( $V_{DD} - V_{thN}$ ) までしか上昇しない。つまり、9 0 7 は  $V_{thN}$  に等しい。さらに、負荷 T F T 9 0 3 と N 型 T F T 9 0 4 の電流能力の比によっては、出力電位が  $L_o$  電位とき、9 0 8 で示す分だけ  $V_{SS}$  よりも電位が高くなる。これを十分に  $V_{SS}$  に近づけるためには、負荷 T F T 9 0 3 に対し、N 型 T F T 9 0 4 の電流能力を十分に大きくする必要がある。同様に、図 9 ( E ) は抵抗負荷型インバータの出力波形を示したものであるが、負荷抵抗 9 0 5 の抵抗値と N 型 T F T 9 0 6 の O N 抵抗の比によっては、9 0 9 で示す分だけ電位が高くなる。つまり、ここに示した一極性のみの T F T を用いて構成したインバータを用いると、入力信号の振幅に対し、出力信号の振幅減衰が生ずることになる。

30

40

## 【 0 0 1 9 】

シフトレジスタのように、前段の出力パルスを次段に入力する構成の回路の場合、m 段目 m + 1 段目 m + 2 段目 . . . と段を重ねるごとに、T F T のしきい値によって振幅の減衰が生じ、回路として機能しない。

## 【 0 0 2 0 】

本発明は、以上のような課題を鑑みてなされたものであり、一極性のみの T F T を用いて製造工程を削減することにより低コストで作製が可能であり、かつ振幅減衰のない出力

50

を得ることが出来るパルス出力回路およびシフトレジスタを提供することを目的とする。

【課題を解決するための手段】

【0021】

先程の図9(A)の(II)に示したTFT負荷型インバータにおいて、出力信号の振幅が正常にVDD-VSSを取るための条件を考える。第1に、図10(A)のような回路において、出力信号の電位がLo電位となる時、その電位を十分にVSSに近づけるためには、電源VDD-出力ノード間の抵抗値に対し、電源VSS-出力ノード間の抵抗値が十分に低くなっていればよい。すなわち、N型TFT1002がONしている期間、N型TFT1001がOFFしていればよい。第2に、出力信号の電位がHi電位となると、その電位がVDDに等しくするには、N型TFT1001のゲート-ソース間電圧の絶対値が、VthNを常に上回っていればよい。つまり、出力ノードのHi電位がVDDとなる条件を満たすには、N型TFT1001のゲート電極の電位は(VDD+VthN)よりも高くなる必要がある。回路に供給される電源はVDD、VSSの2種類のみであるから、VDDよりも電位の高い第3の電源がない限り、従来の方法では、この条件を満たすことは出来ない。

10

【0022】

そこで、本発明では以下のような手段を講じた。図10(B)に示すように、N型TFT1001のゲート-ソース間に容量1003を設ける。N型TFT1001のゲート電極がある電位をもって浮遊状態となったとき、出力ノードの電位を上昇させると、この容量1003による容量結合によって、出力ノードの電位上昇分に伴って、N型TFT1001のゲート電極の電位も持ち上げられる。この効果を利用すれば、N型TFT1001のゲート電極の電位をVDDよりも高く(正確には、VDD+VthNよりも高く)することが可能となる。よって出力ノードの電位を十分にVDDまで引き上げることが可能となる。

20

【0023】

なお、図10(B)において示した容量1003は、TFT1001のゲート-ソース間に寄生する容量を利用するようにしても良いし、実際に容量部分を作製しても良い。容量部分を独立して作製する場合は、活性層、ゲート材料、および配線材料のうちいずれか2つを用いて、間に絶縁層を挟んだ構成として作製するのが簡単であり、望ましいが、他の材料を用いて作製しても構わない。

30

【発明の効果】

【0024】

本発明によって、表示装置の駆動回路および画素部を、一導電型のTFTのみによって構成することが可能となり、表示装置の作製工程を削減することによって、低コスト化、歩留まりの向上に寄与し、より安価に表示装置の供給が可能となる。

【図面の簡単な説明】

【0025】

【図1】本発明のパルス出力回路の一形態を示す図。

【図2】図1に示したパルス出力回路を駆動するタイミングチャートを示す図。

【図3】本発明のパルス出力回路の一実施例である、走査方向切替機能を付加したシフトレジスタを示す図。

40

【図4】本発明によって提供される表示装置における、ソース信号線駆動回路の構成例を示す図。

【図5】本発明によって提供される表示装置における、レベルシフタの回路構成の詳細図。

【図6】本発明によって提供される表示装置における、バッファ、サンプリングスイッチの回路構成の詳細図。

【図7】本発明の一実施例である、構成を簡略化したシフトレジスタを示す図。

【図8】本発明の適用が可能な電子機器の例を示す図。

【図9】従来型CMOSインバータと負荷型インバータの構成と、それぞれの入出力信号

50

の波形を示す図。

【図 1 0】本発明のプル出力回路の動作原理を説明する図。

【図 1 1】従来型のシフトレジスタの回路構成とタイミングチャートを示す図。

【図 1 2】本発明によって提供される表示装置の全体外観を示す図。

【図 1 3】クロック信号のプル幅の違いによる、本発明の実施形態にて示したシフトレジスタの動作を示す図。

【図 1 4】リセット信号の入力を追加したシフトレジスタを示す図。

【図 1 5】リセット信号の入力を追加したシフトレジスタを示す図。

【図 1 6】実施形態とは異なる導電型のトランジスタによる回路構成を示す図。

【図 1 7】図 1 6 に示したシフトレジスタを駆動するタイミングチャートを示す図。

10

【発明を実施するための形態】

【0026】

図 1 は、本発明のプル出力回路の一形態である、ブートストラップ法を応用したシフトレジスタを示している。図 1 (A) に示したブロック図において、100 で示されるブロックが 1 段分のサンプリングプルを出力するプル出力回路であり、図 1 (A) のシフトレジスタは  $n$  段のプル出力回路で構成されている。クロック信号 (以後  $CK$  と表記)、クロック反転信号 (以後  $CKB$  と表記)

、スタートプル (以後  $SP$  と表記) が入力される。図 1 (B) に、ブロック 100 の詳細な回路構成を示す。図 1 (B) において、ブロック 110 は第 1 の振幅補償回路、ブロック 120 は第 2 の振幅補償回路である。図 1 (C) にさらなる詳細図を示す。図 1 (C) において、電源  $VDD$  に接続された  $TFT101$  と、電源  $VSS$  に接続された  $TFT102$  とを用いて第 1 の振幅補償回路が構成され、電源  $VDD$  に接続された  $TFT103$  と、電源  $VSS$  に接続された  $TFT104$  とを用いて第 2 の振幅補償回路が構成されている。

20

【0027】

図 1 に示す回路図および、図 2 に示すタイミングチャートを用いて、回路の動作について説明する。ある  $m$  段目 ( $1 < m < n$ ) のプル出力回路において、 $TFT101$ 、 $104$  のゲート電極には  $m - 1$  段目の出力プルが入力されて ( $m = 1$ 、すなわち第 1 段目の場合、 $SP$  が入力される)  $H_i$  電位となり、 $TFT101$ 、 $104$  が  $ON$  する (図 2 201 参照)。これにより、ノード の電位は  $VDD$  側に引き上げられ (図 2 202 参照)、その電位が  $VDD - V_{thN}$  となったところで  $TFT101$  が  $OFF$  し、浮遊状態となる。よって  $TFT105$  が  $ON$  する。一方、 $TFT102$ 、 $103$  のゲート電極にはこの時点ではプルが入力されておらず、 $L_o$  電位のままであるので、 $OFF$  している。よって  $TFT106$  のゲート電極の電位は  $L_o$  電位であり、 $OFF$  しているため、 $TFT105$  の不純物領域の一端、すなわち第 1 の入力信号線 (1) から入力される  $CK$  が  $H_i$  電位となるのに伴い、出力ノードの電位が  $VDD$  側に引き上げられる (図 2 203 参照)。

30

【0028】

ここで、 $TFT105$  のゲートと出力ノード間には、容量 107 が設けてあり、さらに今、ノード、すなわち  $TFT105$  のゲート電極は浮遊状態にあるため、出力ノードの電位が上昇するに伴い、ブートストラップによって  $TFT105$  のゲート電極の電位は  $VDD - V_{thN}$  からさらに引き上げられる。これにより、 $TFT105$  のゲート電極の電位は、 $VDD + V_{thN}$  よりも高い電位を取る (図 2 202 参照)。よって出力ノードの電位は、 $TFT105$  のしきい値によって電位が低下することなく、完全に  $VDD$  まで上昇する (図 2 203 参照)。

40

【0029】

同様にして、 $m + 1$  段目においては  $CKB$  に従ってプルが出力される (図 2 204 参照)。  $m + 1$  段目の出力プルは、 $m$  段目に帰還して  $TFT102$ 、 $103$  のゲート電極に入力される。  $TFT102$ 、 $103$  のゲート電極が  $H_i$  電位となって  $ON$  することにより、ノード の電位は  $VSS$  側に引き下げられて  $TFT105$  が  $OFF$  する。同時に  $T$

50

F T 1 0 6 のゲート電極の電位が H i 電位となって O N し、m 段目の出力ノードの電位は L o 電位となる。

【 0 0 3 0 】

以後、最終段まで同様の動作により、順次 V D D - V S S 間の振幅を有するパルスが出力される。最終段においては、図 1 ( C ) において第 3 の入力信号線より入力されるべき次段出力パルスがないため、C K がそのまま出力されつづける。よって、最終段の出力はサンプリングパルスとして用いることは出来ないため、実際に必要なサンプリングパルスの出力段数が n 段であるとき、シフトレジスタの段数を n 段よりも多く設けて最終段を含む余剰段をダミー段として扱えばよい。ただし、最終段の出力は、次の水平期間までの間に何らかの方法で停止させる必要があるが、図 1 に示した回路においては、第 1 段目に入力するスタートパルス最終段の第 3 の入力信号線にも入力することによって帰還パルスとして用い、次の水平期間の直前に最終段パルス出力を停止させている。

10

【 0 0 3 1 】

なお、本実施形態で示した振幅補償回路の構成は一例であり、これ以外の構成を用いても良い。

【 0 0 3 2 】

この他の方法としては、図 1 4 ( A ) ( B ) に示すように、リセット信号を用意して、帰線期間中に最終段の第 3 の入力信号線 1 4 0 1 に入力することによって、パルス出力を停止する方法、あるいは図 1 5 ( A ) ( B ) に示すように、リセット用 T F T 1 5 0 8 、 1 5 0 9 を用いて、リセット信号の入力があつたとき、T F T 1 5 0 5 のゲート電極の電位を L o 電位として O F F し、かつ T F T 1 5 0 6 のゲート電極電位を H i 電位として O N させることによって、全段の出力を L o 電位に固定するような方法などが挙げられる。このとき、リセット信号の入力タイミングは、図 1 4 ( B ) に示したタイミングチャートと同様で良い。なお、図 1 5 ( A ) において、最終段のパルス出力回路の で示される第 3 の入力信号線は、V S S 側の電源電位に接続して、T F T 1 5 0 2 、 1 5 0 3 が常に O F F しているようにするのが望ましい。

20

【 0 0 3 3 】

また、特に図示していないが、図 1 5 に示した回路の場合、回路がサンプリングパルスの出力を開始する前、すなわち電源投入直後に、最初にリセット信号を入力することによって、全段での出力ノードの電位を確定 ( 図 1 5 の回路の場合、全段の出力ノードが L o 電位に確定 ) することが出来る。ダイナミック回路の場合、このような操作は安定して回路を動作させるためには有効である。

30

【 0 0 3 4 】

以上のような動作によって、一導電型の T F T のみを用いて構成した回路においても、高電位側の電源に接続された T F T のしきい値の影響などに起因する振幅減衰を生ずることなく、入力信号に対して正常な振幅を有する出力信号を得ることが出来る。さらに本実施形態にて示した回路は、従来の C M O S 回路と比較しても複雑な構成ではないことも大きなメリットであるといえる。

【 実施例 】

【 0 0 3 5 】

以下に本発明の実施例について記述する。

40

【 実施例 1 】

【 0 0 3 6 】

図 3 は、本発明の実施形態にて示したシフトレジスタに、走査方向反転機能を付加したものの例である。図 3 ( A ) において、図 1 ( A ) に示した回路と比較して、走査方向切替信号 ( L R ) および走査方向切替反転信号 ( L R B ) を追加している。

【 0 0 3 7 】

図 3 ( B ) は、図 3 ( A ) において、ブロック 3 0 0 で示される 1 段分のパルス出力回路の構成を詳細に示したものである。T F T 3 0 1 ~ 3 0 6 および容量 3 0 7 で構成されるパルス出力回路本体は、図 1 ( B ) に示したものと同様であるが、第 2 の入力信号線 (

50

2) および第3の入力信号線(3)と、パルス出力回路本体との間に、点線枠350で示される走査方向切替回路を有する。本実施例で示している走査方向切替回路は、TFT308~311を用いて構成され、アナログスイッチとして機能する。

【0038】

TFT301およびTFT304のゲート電極は、図3(B)に示すように、TFT308を介して第2の入力信号線(2)と接続され、TFT310を介して第3の入力信号線(3)と接続されている。TFT302およびTFT303のゲート電極は、TFT309を介して第2の入力信号線(2)と接続され、TFT311を介して第3の入力信号線(3)と接続されている。TFT308およびTFT310のゲート電極にはLR信号が入力され、TFT309およびTFT311のゲート電極にはLRB信号が入力される。LRおよびLRBは、排他的にHi電位もしくはLo電位をとり、したがって本実施例の走査方向切替回路は、次の2つの状態をとる。

10

【0039】

第1に、LRがHi電位、LRBがLo電位するとき、TFT308およびTFT310がONし、第2の入力信号線(2)と、TFT301およびTFT304のゲート電極が導通し、第3の入力信号線(3)と、TFT302およびTFT303のゲート電極が導通する。第2に、LRがLo電位、LRBがHi電位するとき、TFT309およびTFT311がONし、第2の入力信号線(2)と、TFT302およびTFT303のゲート電極が導通し、第3の入力信号線(3)と、TFT301およびTFT304のゲート電極が導通する。

20

【0040】

すなわち、LRに信号が入力されてHi電位となり、LRBがLo電位するとき、サンプリングパルスの出力は1段目~2段目~・・・~最終段の順となり、逆にLRがLo電位、LRBに信号が入力されてHi電位となるとき、サンプリングパルスの出力は最終段~・・・2段目~1段目の順となる。本発明においては簡単な回路の追加によってこれらの機能を容易に付加出来る。ここで、本実施例は回路をNチャンネル型TFTを用いて構成した場合であり、Pチャンネル型TFTを用いて構成する場合は、LRに信号が入力された状態とはLo電位となった状態をいい、Hi電位るときは信号が入力されていない状態である。

【0041】

なお、本実施例で示した走査方向切替回路は一例であり、他の構成によって同様の機能を付加しても良い。

30

【実施例2】

【0042】

本実施例においては、一極性のみのTFTを用いて表示装置を作製した例について説明する。

【0043】

図12は、表示装置の概略図である。基板1200上に、ソース信号線駆動回路1201、ゲート信号線駆動回路1202および画素部1203を一体形成にて作製している。画素部において、点線枠1210で囲まれた部分が1画素である。図12の例では、液晶表示装置の画素を示しており、1個のTFT(以後、画素TFTと表記する)によって液晶素子の一方の電極に印加される電荷の制御を行っている。ソース信号線駆動回路1201、ゲート信号線駆動回路1202への信号入力は、フレキシブルプリント基板(Flexible Print Circuit: FPC)1204を介して、外部より供給される。

40

【0044】

図4は、図12に示した表示装置における、ソース信号線駆動回路1201の全体構成を示した図である。本ソース信号線駆動回路は、クロック信号用レベルシフタ401、スタートパルス用レベルシフタ402、走査方向切替型シフトレジスタ403、バッファ404、サンプリングスイッチ405を有しており、外部から入力される信号は、クロック信号(CK)、クロック反転信号(CKB)

50



、スタートパルス ( S P )、走査方向切替信号 ( L R、L R B )、アナログ映像信号 ( V i d e o 1 ~ V i d e o 1 2 ) である。この中で、C K、C K B、S P に関しては、外部から低電圧振幅の信号として入力された直後、レベルシフタによって振幅変換を受け、高電圧振幅の信号として駆動回路に入力される。また、1 段のシフトレジスタから出力されるサンプリングパルスは、サンプリングスイッチ 4 0 5 を駆動することによって、ソース信号線 1 2 列分のアナログ映像信号を同時にサンプリングしている。

【 0 0 4 5 】

図 5 ( A ) は、クロック信号用レベルシフタの ( L S 1 ) 構成を示している。これは 1 入力型のレベルシフタ回路を並列に配置 ( S t a g e 1 ) し、バッファ段 ( S t a g e 2 ~ S t a g e 4 ) の 2 入力を、それぞれ互いの出力を交互に入力する構成をとっている。

10

【 0 0 4 6 】

回路の動作について説明する。なお、図中で用いている電源電位は、V D D 1、V D D 2、V S S の 3 電位であり、 $V S S < V D D 1 < V D D 2$  である。本実施例では  $V S S = 0 [V]$ 、 $V D D 1 = 5 [V]$ 、 $V D D 2 = 1.6 [V]$  とした。また、図中、5 0 1、5 0 3、5 0 6、5 0 8 で示される T F T は W ゲート構造をとっているが、これらの T F T はシングルゲートであっても良いし、3 つ以上のゲート電極を有するマルチゲート構造でも良い。他の T F T に関しても、ゲート電極の数による制限はしない。

【 0 0 4 7 】

信号入力部 1 ( 1 ) より、V D D 1 - V S S の振幅を有する C K が入力される。C K が H i 電位するとき、T F T 5 0 2、5 0 4 が O N し、T F T 5 0 3 のゲート電極の電位が L o 電位となって O F F する。よって出力ノード には L o 電位が出力される。C K が L o 電位するとき、T F T 5 0 2、5 0 4 は O F F する。よって、飽和動作している T F T 5 0 1 を通じて、T F T 5 0 3 のゲート電極電位は V D D 2 側に引き上げられ、その電位が V D D 2 - V t h N となったところで T F T 5 0 1 は O F F し、T F T 5 0 3 のゲート電極が浮遊状態となる。これにより T F T 5 0 3 が O N し、出力ノード の電位は V D D 2 側に引き上げられる。ここで、容量 5 0 5 の働きにより、出力ノード の電位上昇に伴って、浮遊状態となっている T F T 5 0 3 のゲート電極電位も引き上げられ、その電位は V D D 2 よりも高い電位を取り、その電位が V D D + V t h N を上回ることによって、出力ノード の H i 電位は V D D 2 に等しくなる。よって、出力信号の L o 電位は V S S、H i 電位は V D D 2 となり、振幅変換が完了する。

20

30

【 0 0 4 8 】

一方、信号入力部 2 ( 2 ) より、C K と同じく V D D 1 - V S S の振幅を有する C K B が入力され、T F T 5 0 6 ~ 5 0 9 および容量 5 1 0 によって構成されたレベルシフタによって振幅変換が行われ、出力ノード には、V D D 2 - V S S の振幅を有する信号が出力される。なお、ノード および には出力される信号は、入力された C K および C K B に対して、極性が逆となっている。

【 0 0 4 9 】

本実施例の表示装置に用いたレベルシフタは、振幅変換後のパルスに対する負荷を考慮して、バッファ段を設けている ( S t a g e 2 ~ S t a g e 4 )。このバッファ段を構成するインバータ回路は 2 入力型であり、入力信号およびその反転信号を必要とする。図 5 では、S t a g e 2 に示すバッファ回路において、T F T 5 1 1 のゲート電極に入力される信号と、T F T 5 1 2 のゲート電極に入力される信号は、極性が反転した信号を必要とする。T F T 5 1 6、5 1 7 についても同様である。そこで、ここでは C K、C K B が互いの極性反転信号であることから、前述のレベルシフタ出力を、互いの信号の反転入力として用いている。

40

【 0 0 5 0 】

バッファ段を構成しているインバータ回路の動作について説明する。ここでは、T F T 5 1 1 ~ 5 1 4 および容量 5 1 5 によって構成されたインバータ回路における動作についてのみ詳細に述べるが、他のインバータ回路に関しても動作は同様である。

50

## 【0051】

TFT511のゲート電極に入力される信号がHi電位の時、TFT511がONし、TFT513のゲート電極の電位はVDD2側に引き上げられ、その電位がVDD2 - VthNとなったところでTFT511がOFFし、TFT513のゲート電極は浮遊状態となる。一方、TFT512、514のゲート電極にはLo電位が入力されてOFFする。続いてTFT513がONし、出力ノードの電位がVDD2側に引き上げられる。ここで、前述のシフトレジスタおよびレベルシフタと同様、容量515の働きにより、浮遊状態となっているTFT513のゲート電極の電位が引き上げられ、VDD2 + VthNよりも高い電位を取る。よって、出力ノードのHi電位がVDD2に等しくなる。

## 【0052】

10

一方、TFT511のゲート電極に入力される信号がLo電位の時、TFT511がOFFし、TFT512、514のゲート電極にはHi電位が入力されてONする。したがって、TFT513のゲート電極の電位がLo電位となり、出力ノードの電位はLo電位となる。

## 【0053】

TFT516～519および容量520によって構成されたインバータ回路においても上記と同様の動作をし、出力ノードにパルスが出力される。出力ノードには、出力ノードに出力される信号と極性が反転したパルスが出力される。

## 【0054】

20

以後、Stage3、Stage4においても同様の動作によって、最終的に信号出力部3(3)および信号出力部4(4)より、パルスが出力される。なお、図5(A)においては、Stage2の出力をStage3に入力する際、Stage1からStage2の場合とは逆に、論理が反転しないように入力しているが、最終的に使用者が必要とするパルスの論理に合わせて接続すれば良く、特にStage間の接続に関しては制限を設けない。

## 【0055】

図5(B)は、クロック信号(CK)の振幅変換の様子を示したものである。入力信号の振幅は0～5[V]であり、出力信号の振幅は0～1.6[V]となっている。

## 【0056】

30

図5(C)は、スタートパルス用のレベルシフタ(LS2)を示している。スタートパルスの場合、その反転信号を持たないことから、1入力型のレベルシフタ回路(Stage1)を用い、1入力型のインバータ回路(Stage2)、2入力型のインバータ回路(Stage3)と続く構成とした。回路動作に関しては、クロック信号用のレベルシフタの項で説明したものと同様であるので、ここでは説明を省略する。

## 【0057】

図5(D)は、スタートパルス(SP)の振幅変換の様子を示したものである。入力信号の振幅は5[V]であり、出力信号の振幅は1.6[V]となっている。

## 【0058】

40

図6(A)はバッファ(Buf.)の構成を示しており、1入力型インバータ回路(Stage1)および3段の2入力型インバータ回路(Stage2～Stage4)によって構成されている。1入力型インバータ回路の動作に関しては、入力されるパルスの振幅がVDD2 - VSSであって、入出力パルス間の振幅変換がないことを除いて、レベルシフタ回路と同様である。

## 【0059】

2入力型インバータ回路の動作は、TFT607に、入力信号として前段からの出力信号が入力され、TFT606には、入力信号の反転信号として、前段のインバータへの入力信号を用いている。TFT606、TFT607が排他的に動作することによって、TFT608のゲート電極の電位は前述のレベルシフタ回路と同様に制御される。以後のインバータ回路においても、入力信号は前段からの出力信号、入力信号の反転信号は前段への入力信号を用いて動作している。

50

## 【 0 0 6 0 】

図 6 ( B ) は、サンプリングスイッチの構成を示している。信号入力部 2 5 ( 2 5 ) より、サンプリングパルスが入力され、並列に配された 1 2 個の T F T 6 2 1 が同時に制御される。信号入力部 1 ( 1 ) ~ 1 2 ( 1 2 ) より、アナログ映像信号が入力され、サンプリングパルスの入力によって、そのときの映像信号の電位を、ソース信号線に書き込む働きをする。

## 【 0 0 6 1 】

本実施例にて示した駆動回路を構成する回路のうち、インバータ回路、レベルシフト回路に関しては、同発明者らにより、特願 2 0 0 1 - 1 3 3 4 3 1 号にて出願された発明に記載されているものと同様のものを用いている。

10

## 【 0 0 6 2 】

本実施例にて示した表示装置は、画素部を含む表示装置全体を構成する駆動回路を、画素 T F T と同一の極性を有する一極性の T F T ( 例えば N 型 T F T ) のみを用いて作製している。これにより、半導体層に P 型を付与するイオンドーピング工程を省略することが可能となり、製造コストの削減や歩留まり向上等に寄与することが出来る。

## 【 0 0 6 3 】

なお、本実施例の表示装置を構成した T F T の極性は N 型であるが、P 型 T F T のみを用いて駆動回路および画素 T F T を構成することも、本発明によってももちろん可能となる。この場合は、省略されるイオンドーピング工程は、半導体層に N 型を付与する工程であることを付記する。また、本発明は液晶表示装置のみならず、絶縁体上に駆動回路を一体形成して作製する装置ならばいずれの物にも適用が可能である。

20

## 【 実施例 3 】

## 【 0 0 6 4 】

本実施例においては、実施形態において、図 1 で示したパルス出力回路の構成を簡略化した例について説明する。

## 【 0 0 6 5 】

図 7 は、本実施例のシフトレジスタを示したものである。図 7 ( A ) において、ブロック 7 0 0 が 1 段分のパルスを出力するパルス出力回路であり、図 7 ( A ) のシフトレジスタは n 段のパルス出力回路で構成されている。図 7 ( B ) に詳細な回路構成を示す。図 1 ( A ) で示したシフトレジスタと、図 7 ( A ) のシフトレジスタのブロック図は同様であり、入力される信号も同様である。本実施例が異なる点は、図 7 ( B ) において、パルス出力回路を T F T 7 0 1 ~ 7 0 4 の 4 つの T F T と、容量 7 0 5 にて構成している点である。図 7 ( B ) において、ブロック 7 1 0 は振幅補償回路である。図 7 ( C ) にさらなる詳細図を示す。図 7 ( C ) において、電源 V D D に接続された T F T 7 0 1 と、電源 V S S に接続された T F T 7 0 2 とを用いて振幅補償回路が構成されている。

30

## 【 0 0 6 6 】

回路の動作について説明する。m 段目 (  $1 < m \leq n$  ) において、T F T 7 0 1 のゲート電極には m - 1 段目より出力されたパルスが入力され ( m = 1 のとき、すなわち第 1 段目においては S P が入力される )、T F T 7 0 1 のゲート電極の電位は H i 電位となり、O N する。これにより、ノード の電位は V D D 側に引き上げられ、その電位が V D D - V t h N となったところで T F T 7 0 1 が O F F し、ノード は浮遊状態となって T F T 7 0 3 が O N する。一方、T F T 7 0 2、7 0 4 のゲート電極にはこの時点ではパルスが入力されておらず、L o 電位のままであるので、O F F している。よって、T F T 7 0 3 の不純物領域の一端、すなわち第 1 の入力信号線 ( 1 ) から入力される C K が H i 電位となるのに伴い、出力ノードの電位が V D D 側に引き上げられる。

40

## 【 0 0 6 7 】

ここで、T F T 7 0 3 のゲートと出力ノード間には、容量 7 0 5 が設けてあり、さらに今、ノード、すなわち T F T 7 0 3 のゲート電極は浮遊状態にあるため、出力ノードの電位が上昇するのに伴い、ブートストラップによって T F T 7 0 3 のゲート電極の電位は V D D - V t h N からさらに引き上げられる。これにより、T F T 7 0 3 のゲート電極の

50

電位は、 $V_{DD} + V_{thN}$ よりも高い電位を取る。よって出力ノードの電位は、TFT703のしきい値によって電位が低下することなく、完全に $V_{DD}$ まで上昇する。

【0068】

同様に、 $m + 1$ 段目においてはCKBに従ってパルスが出力される。 $m + 1$ 段目の出力パルスは、 $m$ 段目に帰還し、TFT702、704のゲート電極に入力される。TFT702、704のゲート電極がHi電位となってONすることにより、ノードの電位はVSS側に引き下げられてTFT703がOFFし、出力ノードの電位はLo電位となる。

【0069】

以後、最終段まで同様の動作により、順次 $V_{DD} - V_{SS}$ 間の振幅を有するパルスが出力される。最終段においては、図7(B)において第3の入力信号線(3)より入力されるべき次段出力パルスがないため、CKがそのまま出力されつづけるが、実施形態と同様、ダミー段として扱えば問題はない。図7に示した本実施例においては、スタートパルスを最終段の第3の入力信号線に入力することによって、次の水平期間の直前で最終段出力パルスを停止させている。この他の方法としては、実施形態の項で述べたようにリセット信号を用意して、帰線期間中に最終段の第3の入力信号線に入力してやることによって、パルス出力を停止する方法や、全段の出力ノードを帰線期間中にLo電位に固定するようにリセット信号を入力する方法など(図15と同様でよい)がある。

10

【0070】

本実施例にて示したパルス出力回路は、実施形態において示したパルス出力回路と比較して素子数が少ない点、また、サンプリングパルスの入出力がない期間で浮遊状態をとる部分が多いことなどから、特に駆動周波数が高い部分向きであるといえる。よって、表示装置においては、ソース信号線駆動回路等に用いるのが望ましい。

20

【実施例4】

【0071】

図13を参照する。本発明の実施形態および実施例1、実施例3等に示したシフトレジスタにおいて、CKは図13(A)に示すように、Hi電位の期間1301とLo電位の期間1302の長さが等しく、CKBはその極性が反転したものが入力される。このとき、サンプリングパルスのパルス幅は、CKおよびCKBのパルス幅に等しいため、その出力は図13(A)において、1303~1307に示すようになる。1303は第1段目のサンプリングパルス、1304は第2段目のサンプリングパルス、以下、3~5段目のサンプリングパルスを示している。

30

【0072】

ここで、CKその他の入出力信号は、Lo電位からHi電位に変化する際の立ち上がり時間および、Hi電位からLo電位に変化する際の立ち下がり時間を有しているため、これに起因して、理想的には現れないはずのパルスの重なりが生ずる場合がある。図13(A)において、サンプリングパルス1303~1307は、隣接したパルス間で、立ち上がり期間と立ち下がり期間が重複している様子が現れている。

【0073】

特にアナログ映像信号をサンプリングすることによって映像表示を行う表示装置の場合、このような隣接したサンプリングパルスの重複によって、不正なタイミングで映像信号のサンプリングが行われる場合があり、表示品質の低下を招くことになる。

40

【0074】

よって、このようなサンプリングパルスの重複を回避するため、図13(C)に示すように、CKのパルス幅に差を与える。この場合、Hi電位の期間1308は、Lo電位の期間1309よりもやや短くなっている。CKBも同様に、Hi電位の期間をLo電位の期間よりもやや短くしている。このようにすることで、CKの立ち上がり期間とCKBの立ち下がり期間、あるいはCKの立ち下がり期間とCKBの立ち上がり期間の重複がなくなり、したがってサンプリングパルスも、1310~1314に示すように、隣接パルス間での立ち上がり期間、立ち下がり期間の重複をなくすことが出来る。

50

## 【 0 0 7 5 】

ここで、再び図 1 を参照する。図 1 ( B ) にて示したパルス出力回路の動作は、T F T 1 0 5 が O N している期間に、C K もしくは C K B が出力ノードに出力されることによってサンプリングパルスが出力される。すなわち、ノード の電位が上昇を始めてから、次段のサンプリングパルスによってその電位が L o 電位に引き落とされるまでの間、C K もしくは C K B がそのまま出力される。よって、C K の立ち上がり期間と C K B の立ち下がり期間、あるいは C K の立ち下がり期間と C K B の立ち上がり期間が重複している場合、サンプリングパルスの前後に、不正なパルスが出力される場合がある。

## 【 0 0 7 6 】

図 1 3 ( A ) において、サンプリングパルス 1 3 0 5 が出力されるシフトレジスタには、前段のサンプリングパルス 1 3 0 4 が入力され、その瞬間より、C K もしくは C K B ( サンプリングパルス 1 3 0 5 が出力される段では、C K ) がそのまま出力ノードに現れるため、1 3 1 5 にて示されるタイミング、すなわち前段のサンプリングパルス 1 3 0 4 が立ち上がり始めるタイミングで、C K が L o 電位に下がりきっていないと、図 1 3 ( B ) に示すように、本来出力されるサンプリングパルス 1 3 0 5 の前に不正パルス 1 3 1 6 が現れる。よって、本実施例で示したように、C K 、C K B のパルス幅を変調させることによって、これらの誤動作を回避することが出来る。

## 【 実施例 5 】

## 【 0 0 7 7 】

実施形態およびこれまでの実施例においては、Nチャネル型の T F T のみを用いて回路を構成した例を示したが、電源電位の高低を置き換えることにより、Pチャネル型 T F T のみを用いても同様の回路が構成出来る。

## 【 0 0 7 8 】

図 1 5 ( A ) ( B ) は、Pチャネル型の T F T のみを用いて構成したシフトレジスタの例である。図 1 6 ( A ) に示したブロック図に関しては、図 1 に示した Nチャネル型の T F T のみを用いて構成したシフトレジスタと同様の構成であり、ブロック 1 6 0 0 が、1 段分のサンプリングパルスを入力するパルス出力回路である。Nチャネル型 T F T によって構成されたシフトレジスタと異なる点として、図 1 6 ( B ) に示すように、電源電位の高低が逆となっている。

## 【 0 0 7 9 】

図 1 7 に、タイミングチャートおよび出力パルスを示す。各部の動作は、実施形態にて図 1 、図 2 を用いて説明したので、ここでは詳細な説明は省略する。図 2 に示したものは、ちょうど H i 電位と L o 電位が逆転した形となる。

## 【 実施例 6 】

## 【 0 0 8 0 】

本発明は、様々な電子機器に用いられている表示装置の作製に適用が可能である。このような電子機器には、携帯情報端末 ( 電子手帳、モバイルコンピュータ、携帯電話等 ) 、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、携帯電話等が挙げられる。それらの一例を図 8 に示す。

## 【 0 0 8 1 】

図 8 ( A ) は液晶ディスプレイ ( L C D ) であり、筐体 3 0 0 1 、支持台 3 0 0 2 、表示部 3 0 0 3 等により構成されている。本発明は、表示部 3 0 0 3 に適用が可能である。

## 【 0 0 8 2 】

図 8 ( B ) はビデオカメラであり、本体 3 0 1 1 、表示部 3 0 1 2 、音声入力部 3 0 1 3 、操作スイッチ 3 0 1 4 、バッテリー 3 0 1 5 、受像部 3 0 1 6 等により構成されている。本発明は、表示部 3 0 1 2 に適用が可能である。

## 【 0 0 8 3 】

図 8 ( C ) はノート型のパーソナルコンピュータであり、本体 3 0 2 1 、筐体 3 0 2 2 、表示部 3 0 2 3 、キーボード 3 0 2 4 等により構成されている。本発明は、表示部 3 0 2 3 に適用が可能である。

10

20

30

40

50

【 0 0 8 4 】

図 8 ( D ) は携帯情報端末であり、本体 3 0 3 1、スタイラス 3 0 3 2、表示部 3 0 3 3、操作ボタン 3 0 3 4、外部インターフェイス 3 0 3 5 等により構成されている。本発明は、表示部 3 0 3 3 に適用が可能である。

【 0 0 8 5 】

図 8 ( E ) は音響再生装置、具体的には車載用のオーディオ装置であり、本体 3 0 4 1、表示部 3 0 4 2、操作スイッチ 3 0 4 3、3 0 4 4 等により構成されている。本発明は表示部 3 0 4 2 に適用が可能である。また、本実施例では車載用オーディオ装置を例に挙げたが、携帯型もしくは家庭用のオーディオ装置に用いても良い。

【 0 0 8 6 】

図 8 ( F ) はデジタルカメラであり、本体 3 0 5 1、表示部 ( A ) 3 0 5 2、接眼部 3 0 5 3、操作スイッチ 3 0 5 4、表示部 ( B ) 3 0 5 5、バッテリー 3 0 5 6 等により構成されている。本発明は、表示部 ( A ) 3 0 5 2 および表示部 ( B ) 3 0 5 5 に適用が可能である。

【 0 0 8 7 】

図 8 ( G ) は携帯電話であり、本体 3 0 6 1、音声出力部 3 0 6 2、音声入力部 3 0 6 3、表示部 3 0 6 4、操作スイッチ 3 0 6 5、アンテナ 3 0 6 6 等により構成されている。本発明は、表示部 3 0 6 4 に適用が可能である。

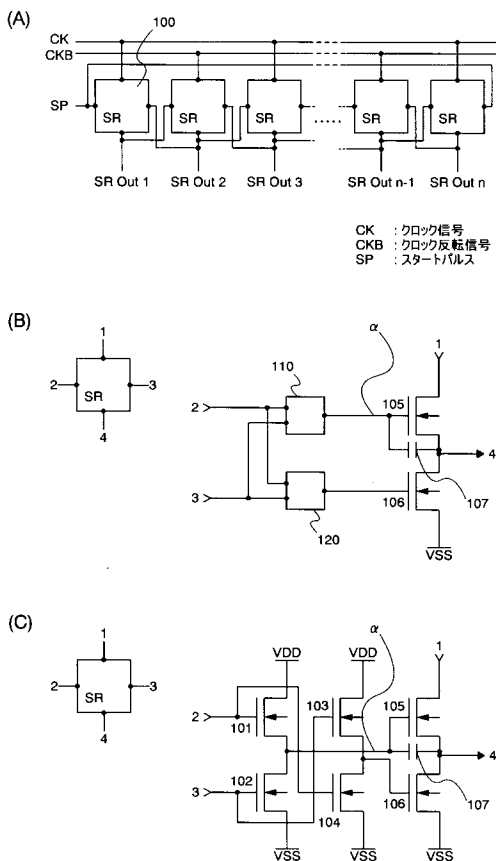
【 0 0 8 8 】

なお、本実施例に示した例はごく一例であり、これらの用途に限定しないことを付記する。

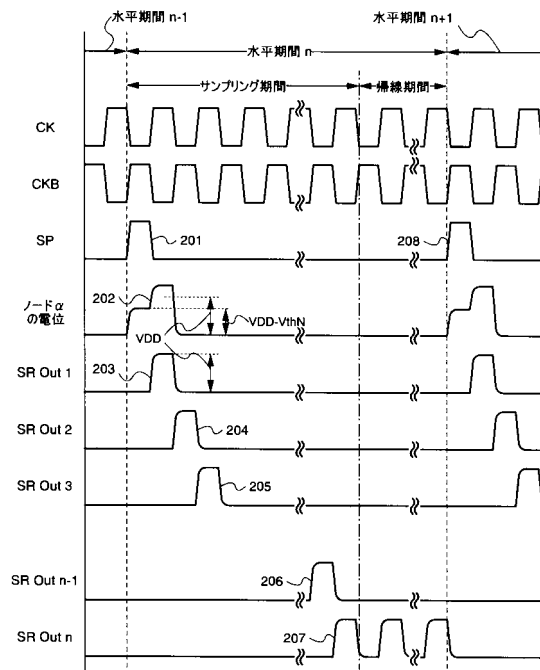
10

20

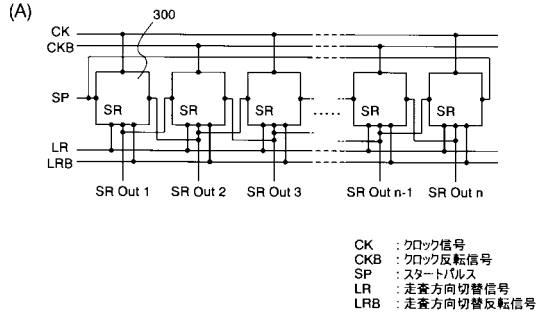
【 図 1 】



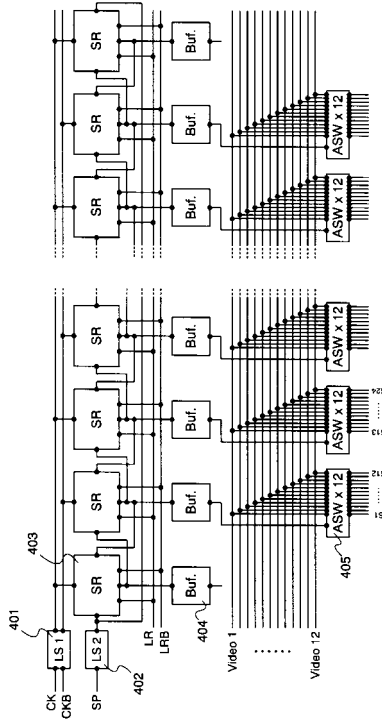
【 図 2 】



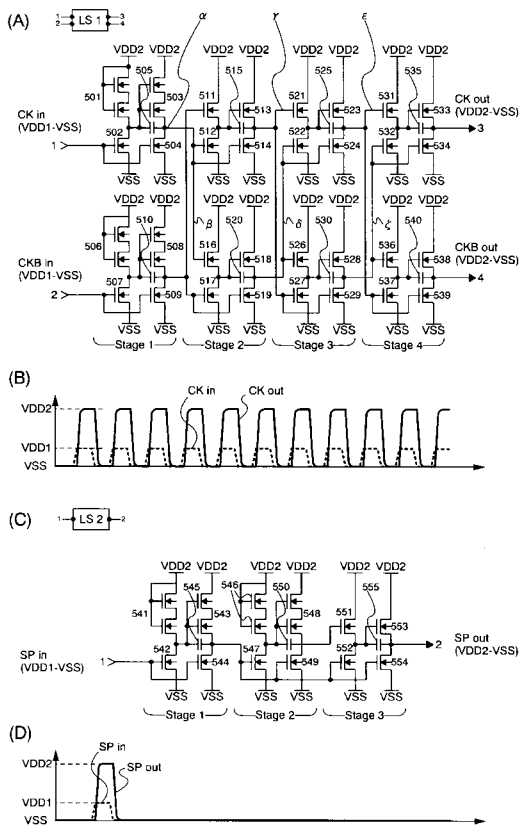
【 図 3 】



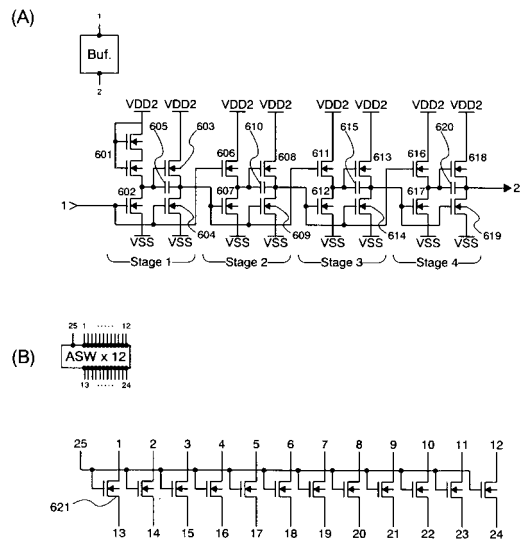
【 図 4 】



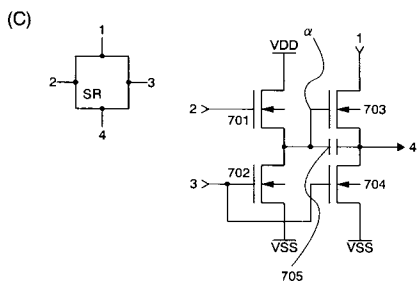
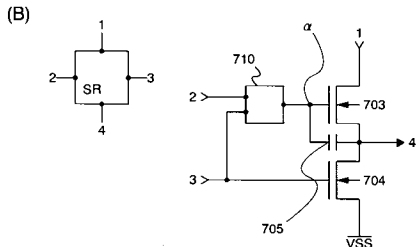
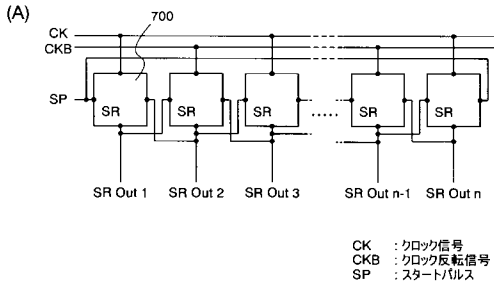
【 図 5 】



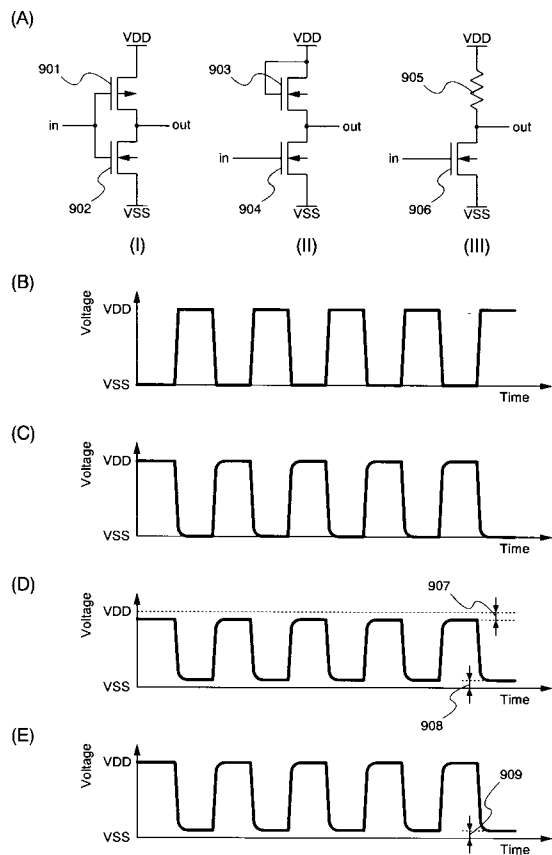
【 図 6 】



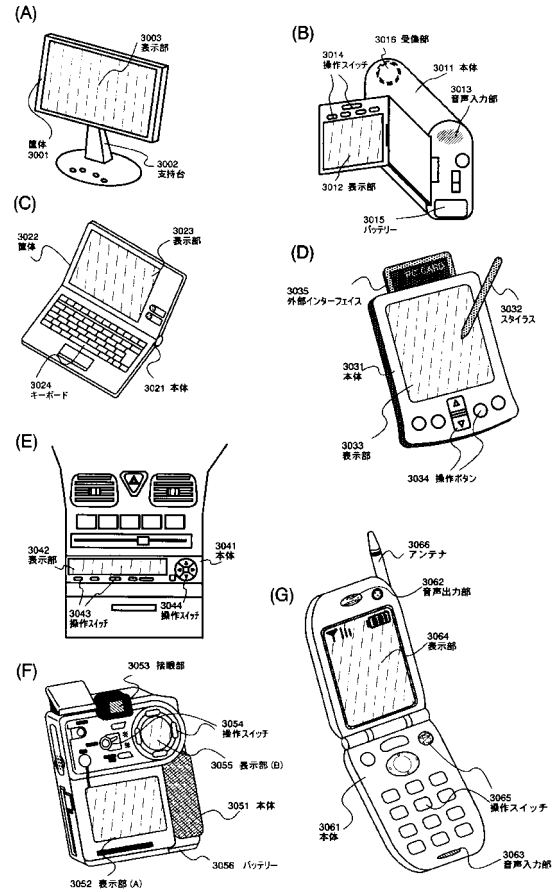
【 図 7 】



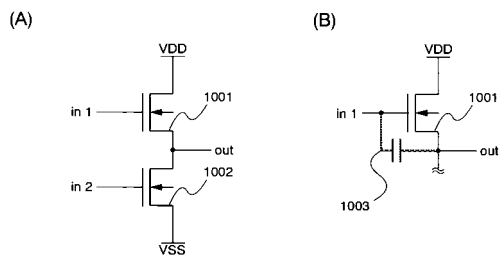
【 図 9 】



【 図 8 】

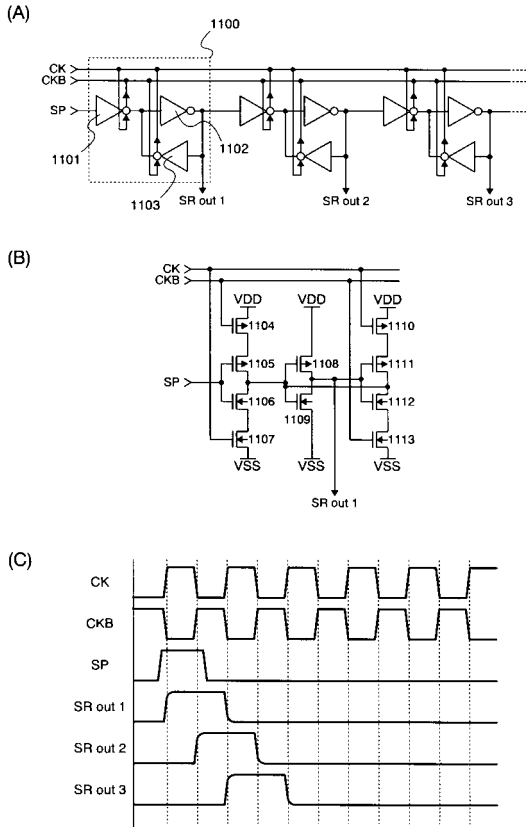


【 図 10 】

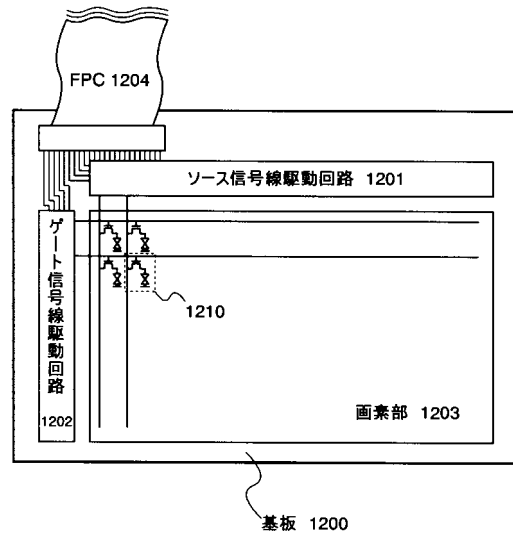




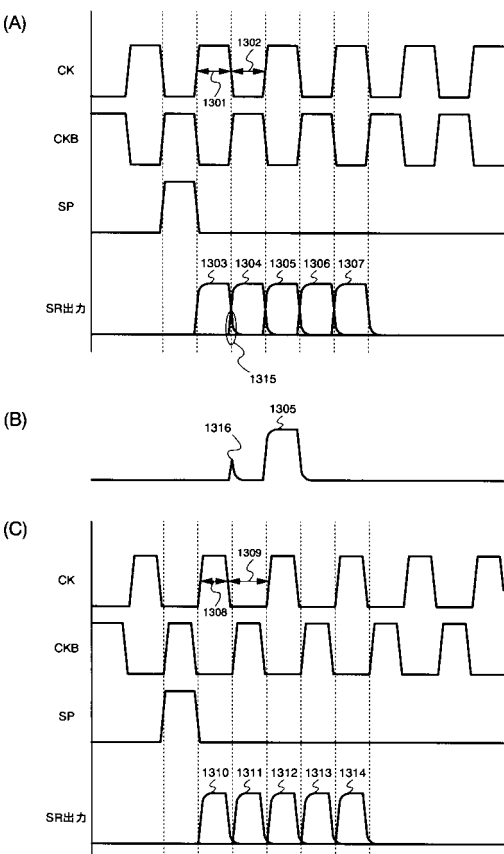
【 図 1 1 】



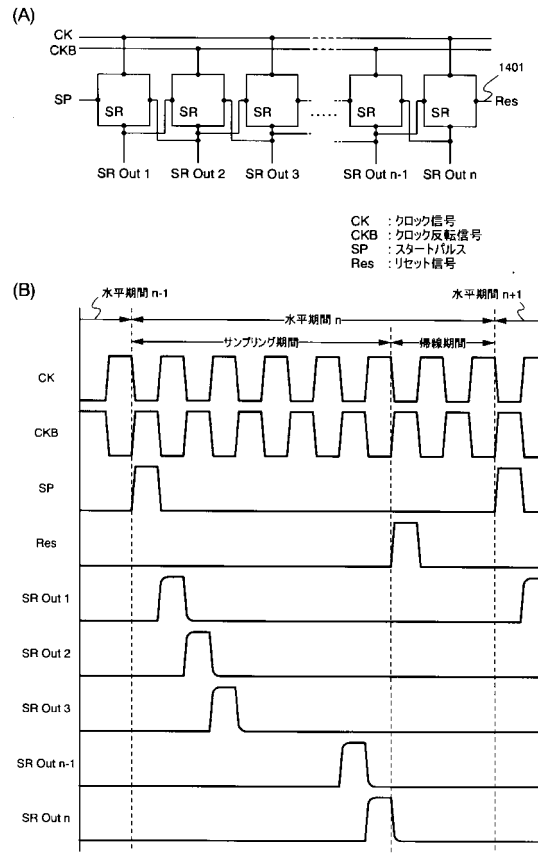
【 図 1 2 】



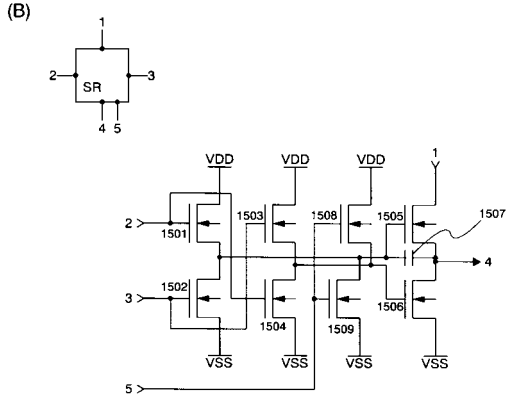
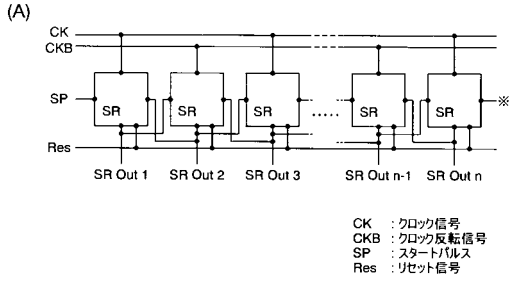
【 図 1 3 】



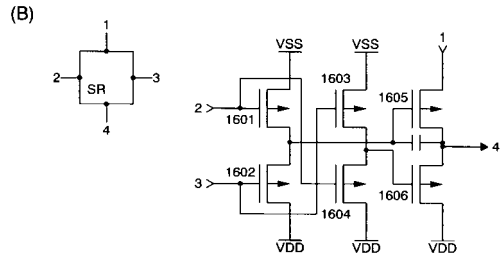
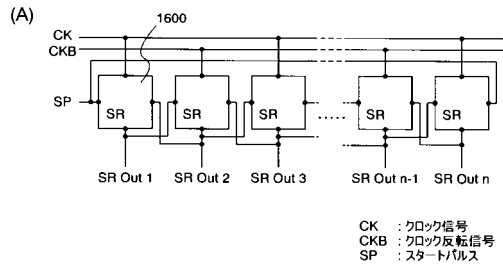
【 図 1 4 】



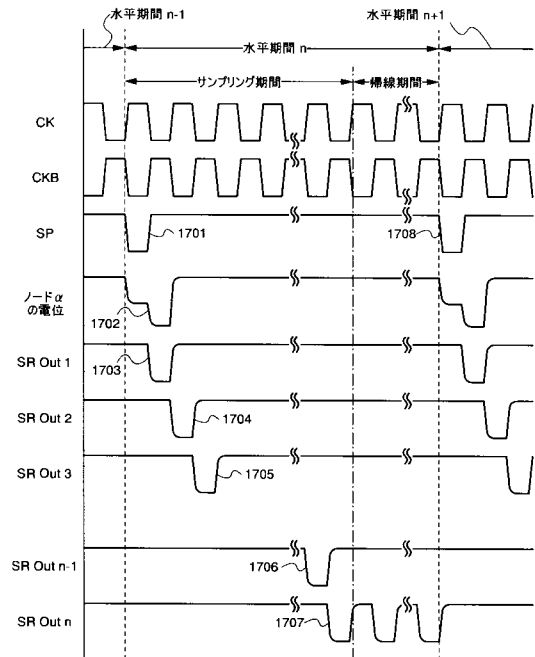
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



---

フロントページの続き

(51)Int.Cl.

**G 0 2 F 1/1368 (2006.01)**

F I

G 0 9 G 3/20 6 2 3 R

G 0 2 F 1/1368

テーマコード(参考)