



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년09월13일  
(11) 등록번호 10-1182407  
(24) 등록일자 2012년09월06일

<p>(51) 국제특허분류(Int. Cl.) <i>H03M 3/02</i> (2006.01)</p> <p>(21) 출원번호 10-2008-0131642</p> <p>(22) 출원일자 2008년12월22일 심사청구일자 2008년12월22일</p> <p>(65) 공개번호 10-2010-0073059</p> <p>(43) 공개일자 2010년07월01일</p> <p>(56) 선행기술조사문헌 JP2008529474 A* *는 심사관에 의하여 인용된 문헌 기술이전 희망 : 기술양도, 실시권허여, 기술지도</p>	<p>(73) 특허권자 한국전자통신연구원 대전광역시 유성구 가정로 218 (가정동)</p> <p>(72) 발명자 김이경 대전광역시 서구 만년남로 8, 106동 1306호 (만년동, 상록수아파트) 조민형 대전광역시 서구 갈마로 262, 114동 2401호 (내동, 맑은아침아파트) 권종기 대전광역시 서구 신갈마로 46, 101동 706호 (내동, 롯데아파트)</p> <p>(74) 대리인 신영무</p>
--	---

전체 청구항 수 : 총 13 항

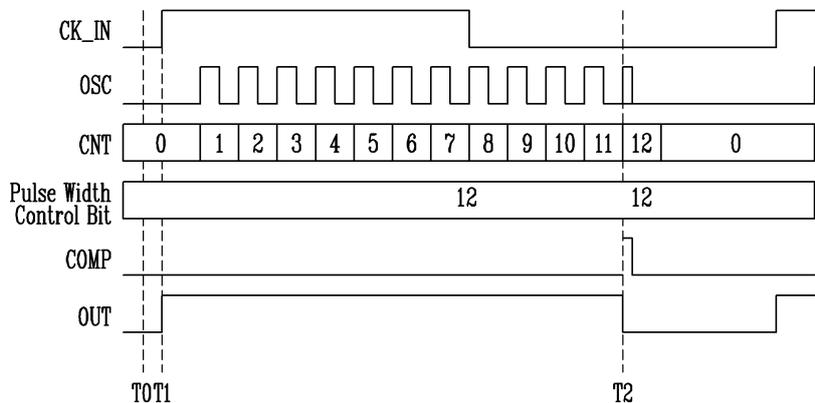
심사관 : 장석환

(54) 발명의 명칭 펄스 생성기 및 연속시간 시그마-델타 변조기

(57) 요약

본 발명은 연속시간 시그마-델타 변조기에 사용되는 클럭 생성기에 대한 것으로서, 이 클럭 생성기는 인에이블 신호에 따라 발진하여 펄스를 생성하는 발진기, 상기 발진기의 펄스를 세어 누적된 펄스 수를 출력하는 계수기, 그리고 상기 계수기의 펄스수가 펄스폭조절값과 같아지면 비활성화된 출력신호를 출력하는 출력부를 포함하며, 상기 발진기는 비안정 멀티바이브레이터를 포함한다. 따라서, 지터가 있는 클럭으로부터 지터가 적은 펄스를 생성하는 비안정 멀티바이브레이터를 발진기로 사용함으로써 신호대잡음비 효율을 높이고, 디지털 회로만으로 구성되어 회로설계가 용이하고 펄스폭 조절이 용이하다. 또한 비안정 멀티바이브레이터의 구조에 따라 연속시간 시그마-델타 변조기에 사용된 저항과 커패시터 공정 변화와 연동되어 펄스폭이 조정되도록 설계가 가능하다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업  
과제고유번호 2008-S-015-01  
부처명 지식경제부 및 정보통신연구진흥원  
연구사업명 IT성장동력기술  
연구과제명 45nm급 혼성 SoC용 아날로그 회로  
주관기관 한국전자통신연구원  
연구기간 2008년 03월 01일 ~ 2011년 02월 28일

---

**특허청구의 범위**

**청구항 1**

인에이블 신호에 따라 발진하여 펄스를 생성하는 발진기,  
 상기 발진기의 펄스를 세어 누적된 펄스 수를 출력하는 계수기, 그리고  
 상기 계수기의 펄스 수가 펄스폭조절값과 같아지면 비활성화된 출력신호를 출력하는 출력부  
 를 포함하며,  
 상기 발진기는 불안정 멀티바이브레이터를 포함하는  
 펄스 생성기.

**청구항 2**

제1항에 있어서,  
 상기 출력부는  
 상기 펄스폭조절값과 상기 계수기의 펄스 수를 비교하여 동일하면 활성화된 비교 신호를 출력하는 비교기, 그  
 리고  
 상기 비교 신호를 수신하고, 상기 비교 신호가 활성화될 때, 비활성화된 상기 출력 신호를 생성하는 래치  
 를 포함하는  
 펄스 생성기.

**청구항 3**

제2항에 있어서,  
 상기 래치는  
 외부 클럭을 수신하고, 외부 클럭이 활성화 신호일 때, 활성화된 상기 출력 신호를 생성하는  
 펄스 생성기.

**청구항 4**

제2항에 있어서,  
 상기 발진기는 상기 출력 신호를 상기 인에이블 신호로 수신하는  
 펄스 생성기.

**청구항 5**

제4항에 있어서,  
 상기 불안정 멀티바이브레이터는  
 슈미트트리거 회로를 포함하는  
 펄스 생성기.

**청구항 6**

제5항에 있어서,  
 상기 불안정 멀티바이브레이터는  
 상기 인에이블 신호를 수신하는 상기 슈미트트리거 회로,

상기 슈미트트리거 회로의 입력단과 출력단 사이에 연결되어 있는 저항, 그리고  
 상기 입력단과 접지 사이에 연결되어 있는 커패시터  
 를 포함하는  
 펄스 생성기.

**청구항 7**

제6항에 있어서,  
 상기 비안정 멀티바이브레이터는  
 상기 저항과 상기 커패시터의 소자 값을 조절하여 펄스 주파수를 설정하는  
 펄스 생성기.

**청구항 8**

입력 신호와 디지털-아날로그 변환기의 출력을 빼는 뺄셈기,  
 상기 뺄셈기의 출력을 적분하여 상기 입력 신호의 잡음을 양자화하는 적분기,  
 상기 적분기의 출력과 기준 전압을 비교하여 비교 신호를 출력하는 양자화기,  
 클럭 신호에 따라 상기 양자화기의 출력을 아날로그 변환하여 상기 뺄셈기로 출력하는 상기 디지털-아날로그  
 변환기, 그리고  
 비안정 멀티바이브레이터를 이용하여 지터 없는 소정 펄스폭의 상기 클럭 신호를 생성하고 상기 디지털-아날로그  
 그 변환기에 출력하는 클럭 생성기  
 를 포함하는  
 연속시간 시그마-델타 변조기.

**청구항 9**

제8항에 있어서,  
 상기 클럭 생성기는  
 외부 클럭 및 펄스폭조절값을 수신하고, 상기 비안정 멀티바이브레이터를 이용하여 상기 외부 클럭이 활성화된  
 때부터 상기 펄스폭조절값과 동일한 펄스폭 동안 활성화된 출력을 가지는 상기 클럭 신호를 생성하는  
 연속시간 시그마-델타 변조기.

**청구항 10**

제9항에 있어서,  
 상기 비안정 멀티바이브레이터는  
 슈미트트리거 회로를 포함하는  
 연속시간 시그마-델타 변조기.

**청구항 11**

제10항에 있어서,  
 상기 클럭 생성기는  
 상기 클럭 신호를 인에이블 신호로 수신하고, 상기 인에이블 신호가 활성화될 때 발진하여 펄스를 생성하는 상  
 기 비안정 멀티바이브레이터,  
 상기 비안정 멀티바이브레이터의 펄스를 세어 누적된 펄스수를 출력하는 계수기, 그리고

상기 계수기의 펄스 수가 상기 펄스폭조절값과 같아지면 비활성화된 상기 클럭 신호를 출력하는 출력부를 포함하는 연속시간 시그마-델타 변조기.

**청구항 12**

제11항에 있어서,  
 상기 출력부는  
 상기 펄스폭조절값과 상기 계수기의 펄스 수를 비교하여 동일하면 활성화된 비교 신호를 출력하는 비교기, 그리고  
 상기 비교 신호를 수신하고, 상기 비교 신호가 활성화될 때 비활성화된 상기 클럭 신호를 생성하는 래치를 포함하는 연속시간 시그마-델타 변조기.

**청구항 13**

제12항에 있어서,  
 상기 래치는  
 상기 외부 클럭을 수신하고, 상기 외부 클럭이 활성화될 때, 활성화된 상기 클럭 신호를 생성하는 연속시간 시그마-델타 변조기.

**명세서**

**발명의 상세한 설명**

**기술분야**

- [0001] 본 발명은 연속시간 시그마-델타 변조기에 대한 것으로서, 저지터 펄스를 사용하는 시그마-델타 변조기에 관한 것이다.
- [0002] 본 발명은 지식경제부 및 정보통신연구진흥원의 IT성장동력기술개발사업의 일환으로 수행한 연구로부터 도출된 것이다[과제관리번호: 2008-S-015-01, 과제명: 45nm급 혼성 SoC용 아날로그 회로].

**배경기술**

- [0003] 시그마-델타 변조기(sigma-delta modulator: SDM)는 이산시간구조 혹은 연속시간구조로 구성될 수 있다.
- [0004] 이산시간구조는 일반적으로 스위치드 커패시터 기법을 이용하여, 신호를 커패시터에 전하로 저장하고 전달하는 방식을 이용한다. 즉, 클럭의 샘플링 위상에서 입력신호와 피드백신호인 디지털-아날로그 변환기신호를 커패시터에 전하로 저장하고, 적분 위상에서 샘플링된 전하를 적분용 커패시터에 전달하는 방식으로, 적분기와 디지털-아날로그 변환기로 구현된다.
- [0005] 연속시간구조는 입력신호에 대해 샘플링 과정이 없이 동작을 하며, 디지털-아날로그 변환기는 클럭 신호에 맞춰 아날로그의 전류 신호를 적분기에 전달한다.
- [0006] 이러한 연속시간구조는 이산시간구조에 비해 적분기에 사용되는 증폭기의 설계요구조건이 낮아 시그마-델타 변조기의 저전력 및 고속 동작이 가능하다. 또한 적분기가 샘플링을 하지 않으므로 본질적으로 안티-앨리어싱 필터 기능을 가지고 있으며, 입력이 저항소자 혹은 트랜지스터 소자의 게이트로 연결이 되므로, 시그마-델타 변조기를 포함하는 시스템 구성 시 시그마-델타 변조기의 앞 회로블록의 설계가 용이하다.
- [0007] 그러나 연속시간 시그마-델타 변조기는 디지털-아날로그 변환기에 인가되는 클럭의 지터에 의해 시그마-델타 변조기의 신호대잡음비(SNR) 성능이 크게 좌우된다는 단점이 있다.
- [0008] 디지털-아날로그 변환기에 인가되는 클럭펄스폭이 지터에 의해 일정하지 않은 경우, 디지털-아날로그 변환기신

호에 잡음이 추가로 발생하는 것과 같은 효과가 나타나게 된다. 즉, 시그마-델타 변조기의 주파수 특성에서 점선과 같은 잡음이 추가 발생하게 되는 것이다. 따라서 시그마-델타 변조기의 신호대역 신호대잡음비 성능이 저하된다.

**발명의 내용**

**해결 하고자하는 과제**

[0009] 본 발명이 이루고자 하는 기술적 과제는 연속시간 시그마-델타 변조기에서 외부클럭의 지터 성능에 의해 시그마-델타 변조기의 신호대잡음 성능이 저하되는 것을 막기 위한 것으로서, 지터가 있는 클럭으로부터 지터가 적은 클럭을 생성하는 클럭 생성부를 포함하는 시그마-델타 변조기를 제공하는 것이다.

**과제 해결수단**

[0010] 본 발명에 따른 펄스 생성기는 인에이블 신호에 따라 발진하여 펄스를 생성하는 발진기, 상기 발진기의 펄스를 세어 누적된 펄스 수를 출력하는 계수기, 그리고 상기 계수기의 펄스 수가 펄스폭조절값과 같아지면 비활성화된 출력신호를 출력하는 출력부를 포함하며, 상기 발진기는 불안정 멀티바이브레이터를 포함한다.

[0011] 상기 출력부는 상기 펄스폭조절값과 상기 계수기의 펄스 수를 비교하여 동일하면 활성화된 비교 신호를 출력하는 비교기, 그리고 상기 비교 신호를 수신하고, 상기 비교 신호가 활성화될 때, 비활성화된 상기 출력 신호를 생성하는 래치를 포함할 수 있다.

[0012] 상기 래치는 외부 클럭을 수신하고, 외부 클럭이 활성화 신호일 때, 활성화된 상기 출력 신호를 생성할 수 있다.

[0013] 상기 발진기는 상기 출력 신호를 상기 인에이블 신호로 수신할 수 있다.

[0014] 상기 불안정 멀티바이브레이터는 슈미트트리거 회로를 포함할 수 있다.

[0015] 상기 불안정 멀티바이브레이터는 상기 인에이블 신호를 수신하는 상기 슈미트트리거 회로, 상기 슈미트트리거 회로의 입력단과 출력단 사이에 연결되어 있는 저항, 그리고 상기 입력단과 접지 사이에 연결되어 있는 커패시터를 포함할 수 있다.

[0016] 상기 불안정 멀티바이브레이터는 상기 저항과 상기 커패시터의 소자 값을 조절하여 펄스 주파수를 설정할 수 있다.

[0017] 또한, 본 발명에 따른 연속시간 시그마-델타 변조기는 입력 신호와 디지털-아날로그 변환기의 출력을 빼는 뺄셈기, 상기 뺄셈기의 출력을 적분하여 상기 입력 신호의 잡음을 양자화하는 적분기, 상기 적분기의 출력과 기준 전압을 비교하여 비교 신호를 출력하는 양자화기, 클럭 신호에 따라 상기 양자화기의 출력을 아날로그 변환하여 상기 뺄셈기로 출력하는 상기 디지털-아날로그 변환기, 그리고 불안정 멀티바이브레이터를 이용하여 지터 없는 소정 펄스폭의 상기 클럭 신호를 생성하고 상기 디지털-아날로그 변환기에 출력하는 클럭 생성기를 포함한다.

[0018] 상기 클럭 생성기는 외부 클럭 및 펄스폭조절값을 수신하고, 상기 불안정 멀티바이브레이터를 이용하여 상기 외부 클럭이 활성화된 때부터 상기 펄스폭조절값과 동일한 펄스폭 동안 활성화된 출력을 가지는 상기 클럭 신호를 생성할 수 있다.

[0019] 상기 불안정 멀티바이브레이터는 슈미트트리거 회로를 포함할 수 있다.

[0020] 상기 클럭 생성기는 상기 클럭 신호를 인에이블 신호로 수신하고, 상기 인에이블 신호가 활성화될 때 발진하여 펄스를 생성하는 상기 불안정 멀티바이브레이터, 상기 불안정 멀티바이브레이터의 펄스를 세어 누적된 펄스수를 출력하는 계수기, 그리고 상기 계수기의 펄스 수가 상기 펄스폭조절값과 같아지면 비활성화된 상기 클럭 신호를 출력하는 출력부를 포함할 수 있다.

[0021] 상기 출력부는 상기 펄스폭조절값과 상기 계수기의 펄스 수를 비교하여 동일하면 활성화된 비교 신호를 출력하는 비교기, 그리고 상기 비교 신호를 수신하고, 상기 비교 신호가 활성화될 때 비활성화된 상기 클럭 신호를 생성하는 래치를 포함할 수 있다.

[0022] 상기 래치는 상기 외부 클럭을 수신하고, 상기 외부 클럭이 활성화될 때, 활성화된 상기 클럭 신호를 생성할

수 있다.

**효 과**

- [0023] 본 발명은 연속시간 시그마-델타 변조기에서 외부클럭의 지터성능에 의해 시그마-델타 변조기의 신호대잡음 성능이 저하되는 것을 막기 위한 것으로, 지터가 있는 클럭으로부터 지터가 적은 펄스를 생성하는 펄스 생성기에 관한 것이다. 본 발명은 비안정 멀티바이브레이터, 계수기, 래치 등의 디지털 회로만으로 구성되어 회로설계가 용이하고 펄스폭 조정이 용이하다.
- [0024] 또한 비안정 멀티바이브레이터의 구조에 따라 연속시간 시그마-델타 변조기에 사용된 저항과 커패시터 공정 변화와 연동되어 펄스폭이 조정되도록 설계가 가능하다.

**발명의 실시를 위한 구체적인 내용**

- [0025] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0026] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우 뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.
- [0027] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0028] 또한, 명세서에 기재된 "...부", "...기", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0029] 도 1은 본 발명에 따른 2차 1비트 시그마-델타 변조기의 구성도이다.
- [0030] 도 1을 참고하면, 본 발명에 따른 시그마-델타 변조기는 과도 샘플링을 수행하여 양자화 잡음의 전력을 줄이고 양자화기에서 인가된 양자화잡음은 대역폭 안에서는 크기가 작아지고 대역폭 밖에서는 크기가 커지는 형태로 변화는 잡음 변형 과정을 거친다.
- [0031] 이러한 시그마-델타 변조기는 뺄셈기(100, 300), 적분기(200, 400), 디지털-아날로그 변환기(600, 700) 및 비교기(500)으로 구성되어, 비교기(500)의 출력이 뺄셈기(100, 300)로 연결되는 네거티브 피드백 구조를 이룬다.
- [0032] 즉, 비교기(500)는 인가된 신호와 공통모드 전압을 비교하여 1비트의 디지털 신호(OUT)를 출력하며, 비교기(500)에서 나온 1비트의 디지털 신호(OUT)를 디지털-아날로그 변환기(600, 700)에서 변환하고, 이를 입력 신호(IN)와 적분기(200, 400)의 출력신호에서 빼주어 네거티브 피드백을 수행한다.
- [0033] 본 예의 시그마-델타 변조기는 도 1과 같이 2개의 적분기(200, 400), 2개의 뺄셈기(100, 300) 및 2개의 디지털-아날로그 변환기(600, 700)를 포함하며, 2개의 디지털-아날로그 변환기(600, 700)가 클럭( $F_{DAC}$ )에 동기하여 비교기(500)의 신호를 아날로그 신호로 변환한다.
- [0034] 즉, 2개의 디지털-아날로그 변환기(600, 700)는 클럭 생성부(800)로부터의 각 비트의 클럭 신호( $F_{DAC}$ )에 따라 전류신호를 적분기(200, 400)에 전달한다. 이러한 디지털-아날로그 변환기(600, 700)는 전압원과 저항 사이를 클럭 신호( $F_{DAC}$ )에 따라 연결하는 스위치를 통하여 구현할 수 있고, 전류원으로 구현될 수도 있다.
- [0035] 클럭 생성부(800)는 외부로부터의 기준 클럭( $F_{CLK}$ )를 이용하여 비교기(500)로 샘플링 클럭 신호( $F_{samp}$ )를 출력하고, 2개의 디지털-아날로그 변환기(600, 700)로 클럭 신호( $F_{DAC}$ )를 출력한다.
- [0036] 이때, 외부로부터의 기준 클럭( $F_{CLK}$ )에 지터가 있더라도, 디지털-아날로그 변환기(600, 700)로 지터의 영향 없는 클럭 신호( $F_{DAC}$ )를 제공할 수 있는 클럭 생성부(800)를 설명한다.
- [0037] 도 2는 본 발명에 따른 클럭 생성부의 구성도이고, 도 3은 도 2의 클럭 생성부의 동작을 설명하는 타이밍도이다.

- [0038] 도 2를 참고하면, 본 발명에 따른 클럭 생성부(800)는 인에이블 입력신호(EN)를 가지는 발진기(810), 계수기(820), 비교기(830), 그리고 래치(840)를 포함한다.
- [0039] 발진기(810)는 비안정 멀티바이브레이터로서, 인에이블 입력신호(EN)가 하이, 즉, 활성화될 때, 발진을 하여 펄스를 생성하고, 인에이블 입력신호(EN)가 로우, 즉, 비활성화될 때 출력(OSC)을 로우로 리셋한다.
- [0040] 계수기(820)는 발진기(810)의 출력(OSC)을 수신하고, 출력 펄스의 수를 세어 출력 수를 누적하고 누적된 출력 수(CNT)를 출력한다.
- [0041] 비교기(830)는 디지털 비교기로서, 펄스폭조절값(Pulse Width Control Bit;PW)을 수신하고, 계수기(820)의 출력(CNT)을 수신하여, 계수기(820)의 출력(CNT)과 펄스폭조절값(PW)이 일치하는지 비교하고, 일치하면 하이, 일치하지 않으면 로우의 비교 신호(COMP)를 출력한다.
- [0042] 래치(840)는 S-R 래치로서, 외부 클럭(CK\_IN)을 S 단자로 받아 외부 클럭(CK\_IN)이 하이일 때, 하이의 출력 신호(OUT)를 출력하고, 비교기(830)의 출력(COMP)을 R 단자로 받아 비교기(830)의 출력(COMP)이 하이이면 로우의 출력 신호(OUT)를 출력한다.
- [0043] 이때, 비교기(830)는 계수기(820)의 출력의 특정 비트만을 이용해도 되므로 생략이 가능하며, 래치(840)는 다른 회로를 이용하여 변형이 가능하다.
- [0044] 이하에서는 도 3를 참고하여 도 2의 클럭 생성부의 동작을 설명한다.
- [0045] 먼저, 초기시간, T0에서 클럭 생성부(800)의 출력 신호(OUT)가 비활성화되므로 발진기(810)는 이를 인에이블 입력신호(EN)로 받아 리셋되며, 계수기(820)도 이를 클리어 단자로 받아 클리어 상태가 된다.
- [0046] 다음으로, T1에서, 외부에서 인가되는 외부 클럭(CK\_IN)이 비활성화 되면 도 2의 래치(840)의 출력 신호(OUT)가 하이이 된다. 그리고 래치(840)의 출력 신호(OUT)가 하이이 됨에 따라 발진기(810)가 발진을 시작하여 펄스를 생성한다. 생성되는 펄스는 계수기(820)에 입력되어 계수기(820)는 출력 펄스 수를 누적하여 비교기(830)에 출력한다.
- [0047] T2에서 계수기(820)의 출력 펄스 수와 펄스폭조절값(PW)이 일치하면 비교기(830)는 하이의 비교 신호(COMP)를 내보낸다. 따라서, 비교기(830)의 출력이 하이이되면, 래치(840)의 출력 신호(OUT)가 로우로 천이하고, 외부 클럭(CK\_IN)이 하이로 활성화될 때까지 발진기(810)와 계수기(820)는 리셋 및 클리어 상태를 유지한다.
- [0048] 이와 같은 동작에 의하면, 클럭 생성부(800)의 출력 신호(OUT)는 펄스폭조절값(PW)이 일정하면 일정한 개수의 발진기(810)의 펄스 수만큼의 펄스폭을 가지는 클럭이 된다.
- [0049] 따라서, 출력 신호(OUT)의 지터 특성은 발진기(810)의 지터 특성에 의존하므로, 발진기(810)로 저지터의 비안정 멀티바이브레이터를 사용함으로써 펄스의 저지터 특성을 충족시킬 수 있다.
- [0050] 이러한 출력 신호(OUT)를 도 1의 연속시간 시그마-델타 변조기의 디지털-아날로그 변환기(600, 700)의 클럭 신호(F<sub>DAC</sub>)로 사용함으로써, 연속시간 시그마-델타 변조기의 클럭 지터에 의한 신호대잡음비 성능저하 현상을 막을 수 있다.
- [0051] 그리고 디지털 신호인 펄스폭조절값(PW)을 변경함으로써 펄스폭이 조절되므로, 펄스폭 조절이 용이하다. 또한 회로구성이 정밀한 아날로그 회로로 구성된 것이 아니고, 디지털 회로만으로 구성되어 회로설계가 용이하다는 장점도 있다.
- [0052] 도 4는 도 2의 발진기로 사용할 수 있는 비안정 멀티바이브레이터의 한 예로, 슈미트트리거 회로를 이용한 회로이다.
- [0053] 도 4의 발진기(810)는 인에이블 입력신호(EN)를 인가받아 동작하는 슈미트트리거 회로(815), 슈미트트리거 회로(815)의 입력단과 출력단 사이에 연결되어 있는 저항(R), 그리고 슈미트트리거 회로(815)의 입력단과 접지 사이에 연결되어 있는 커패시터(C)를 포함한다.
- [0054] 이러한 발진기는 슈미트트리거 회로(815)를 이용한 것으로서, 저항(R)과 커패시터(C)의 값을 변화하면서, RC시정수를 조절함으로써 발진 주파수를 설정할 수 있다. 즉, 소자값의 변화량에 연동되어 주파수가 변화하는데, RC시정수가 증가하면 발진주파수가 느려지고, RC시정수가 줄어들면 발진주파수가 빨라지게 된다. 이때, 사용되는 인에이블 신호가 있는 슈미트트리거 회로(815)는 다양한 소자의 변형으로 구현될 수 있다.

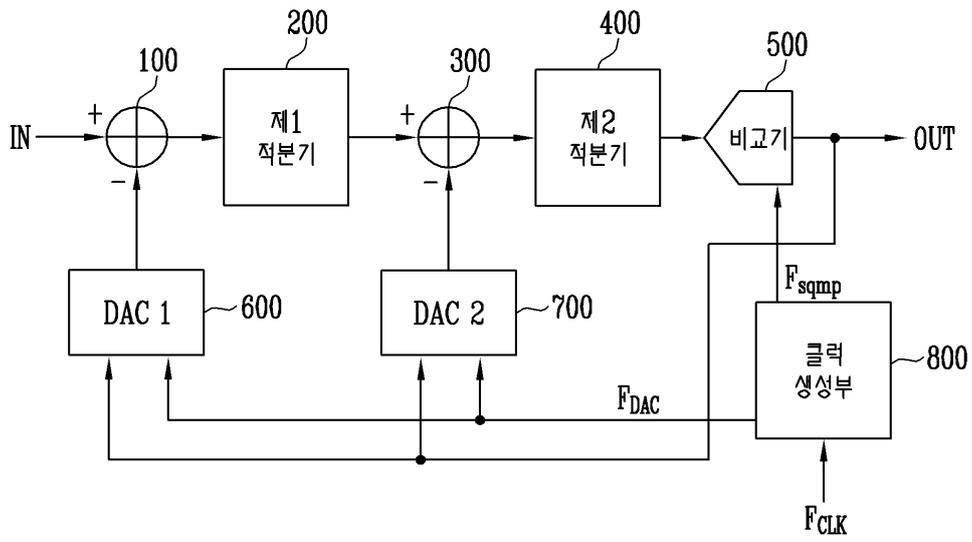
- [0055] 도5는 인에이블 신호가 있는 슈미트트리거 회로(815)의 한 예이다. 슈미트트리거 회로(815)는 입력 슈미트트리거 회로(816), 인에이블 인버터(817), 그리고 인버터(818)를 포함한다. 입력 슈미트트리거 회로(816)는 기준전압(VDD)과 접지전압 사이에 연결되는 6개의 트랜지스터(Q1-Q6)를 포함하고, 입력 슈미트트리거 회로(816)와 연결되는 제1 노드(n1)와 인버터(818)와 연결되는 제2 노드(n2)사이에 연결되어 있는 인에이블 인버터(817)는 기준전압(VDD) 또는 접지전압을 전달하는 5개의 트랜지스터(Q7-Q11)을 포함하며, 인버터 회로(818)는 기준전압(VDD)과 접지전압 사이에 연결되는 2개의 트랜지스터(Q12, Q13)을 포함한다.
- [0056] 이때, 입력 슈미트트리거 회로(816)와 인버터 회로(818)는 일반적으로 널리 쓰이는 회로이므로 설명을 생략한다.
- [0057] 인에이블 기능을 부여하기 위해 추가된 인에이블 인버터(817)는 인에이블 신호(EN)가 하이일 때는 일반적인 인버터로 동작을 하고, 인에이블 신호(EN)가 로우일 때는 인에이블 인버터(817)의 출력이 하이로 고정된다. 그 결과 인에이블 신호(EN)가 하이 레벨일 때 슈미트트리거 회로(815)가 동작하고 로우레벨일 때는 출력(OUT)이 로우로 리셋된다.
- [0058] 그러나 본 발명에서 표기하는 인에이블 신호(EN)가 있는 불안정 멀티바이브레이터(810)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 인에이블 기능을 위해 널리 알려진 불안정 멀티바이브레이터를 용이하게 수정한 것을 포함한다.
- [0059] 이하에서는 저지터 발진기를 포함하는 클럭 생성부의 효과에 대하여 도 6을 참고하여 설명한다.
- [0060] 도6은 디지털-아날로그 변환기 신호의 지터가 시그마-델타 변조기의 성능에 미치는 영향을 보여준다.
- [0061] 신호대역에서는 양자화잡음이 시그마-델타 변조기 잡음변형특성에 의해 억제되어 신호대역에서 높은 신호대잡음비율을 얻는다.
- [0062] 그러나, 디지털-아날로그 변환기(600, 700)에 인가되는 클럭 신호( $F_{DAC}$ )의 펄스폭이 지터에 의해 일정하지 않은 경우, 디지털-아날로그 변환기(600, 700)의 신호에 잡음이 추가로 발생하는 것과 같은 효과가 나타나게 된다. 즉, 도6의 SDM 주파수특성에서 점선과 같은 잡음이 추가 발생하게 되는 것이다. 그러므로 시그마-델타 복조기의 신호대역에서 신호대잡음비 성능이 저하된다.
- [0063] 이때 본 발명의 클럭 생성부(800)를 사용하는 경우, 디지털-아날로그 변환기(600, 700)에 인가되는 클럭 신호( $F_{DAC}$ )의 펄스폭이 일정하게 유지됨으로써 지터가 없어 SDM 주파수특성은 실선과 같이 나타나며 신호대역에서 높은 신호대잡음비를 가질 수 있다.
- [0064] 이상에서 설명한 본 발명의 실시예는 장치 및 방법을 통해서만 구현이 되는 것은 아니며, 본 발명의 실시예의 구성에 대응하는 기능을 실현하는 프로그램 또는 그 프로그램이 기록된 기록 매체를 통해 구현될 수도 있으며, 이러한 구현은 앞서 설명한 실시예의 기재로부터 본 발명이 속하는 기술분야의 전문가라면 쉽게 구현할 수 있는 것이다.
- [0065] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

**도면의 간단한 설명**

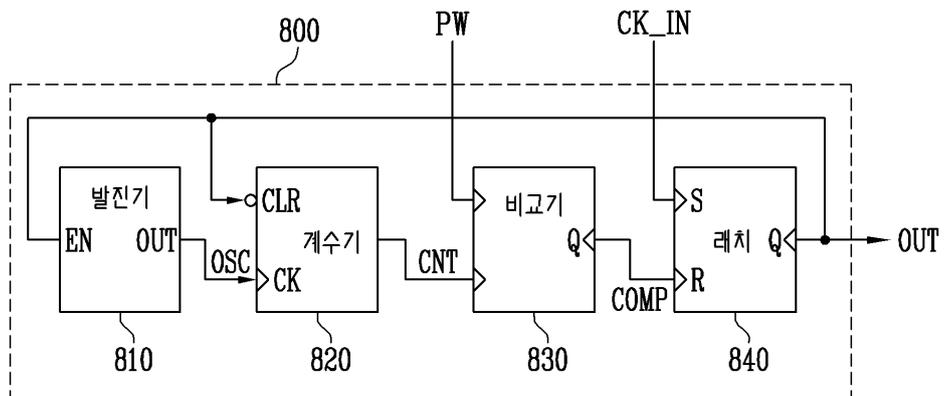
- [0066] 도 1은 본 발명에 따른 시그마-델타 변조기의 구성도이다.
- [0067] 도 2는 본 발명에 따른 클럭 생성부의 구성도이다.
- [0068] 도 3은 도 2의 클럭 생성부의 동작을 설명하는 타이밍도이다.
- [0069] 도 4는 도 2의 발진기로 사용할 수 있는 불안정 멀티바이브레이터의 한 예를 도시한 것이다.
- [0070] 도 5는 도 4의 슈미트트리거 회로를 나타낸 것이다.
- [0071] 도 6은 디지털-아날로그 변환기 신호의 지터가 시그마-델타 변조기의 성능에 미치는 영향을 보여주는 것이다.

도면

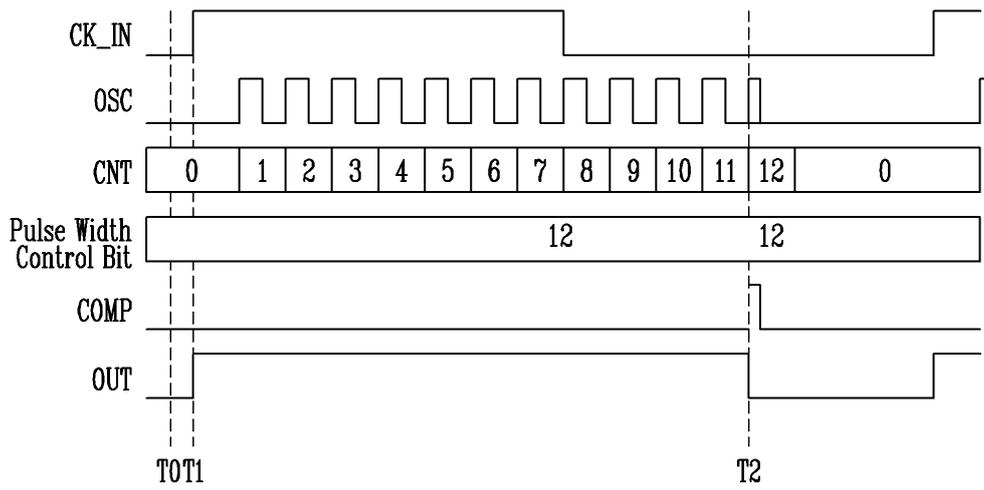
도면1



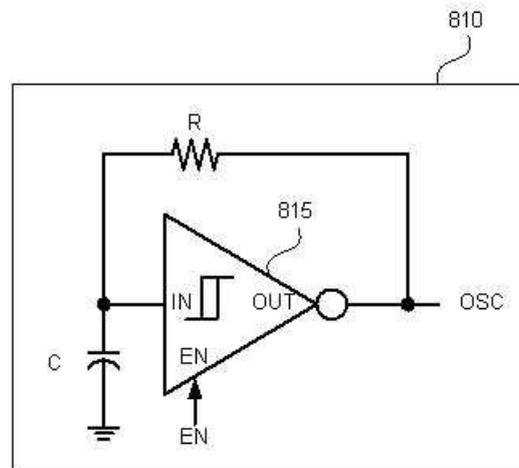
도면2



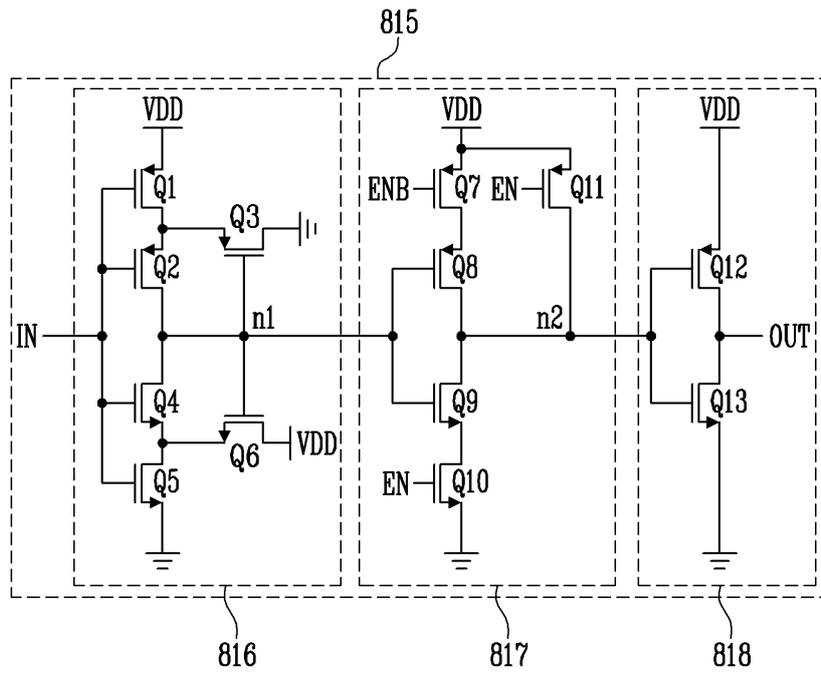
도면3



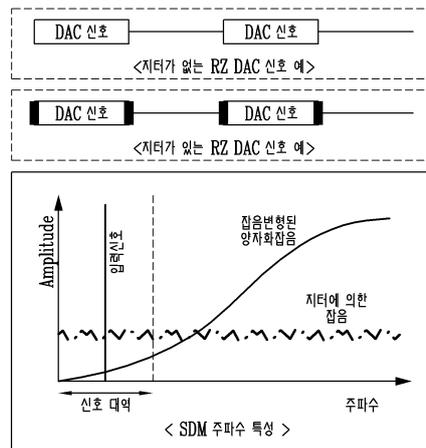
도면4



도면5



도면6



\* RZ: Return to Zero