(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0101095
(43) 공개일자 2017년09월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *G02F 1/1345* (2006.01)
H01L 51/52 (2006.01) *H05K 3/32* (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
G02F 1/1345 (2013.01)
(21) 출원번호 10-2016-0153603
(22) 출원일자 2016년11월17일
심사청구일자 2016년11월17일
(30) 우선권주장
JP-P-2016-035722 2016년02월26일 일본(JP)

(71) 출원인
가부시키가이샤 재팬 디스프레이
일본국 도쿄토 미나토쿠 니시신바시 3쵸메 7반 1고
(72) 발명자
오다까 가즈히로
일본 도꾜도 미나또꾸 니시신바시 3-7-1 가부시키가이샤 재팬 디스프레이 내
(74) 대리인
장수길, 이중희

전체 청구항 수 : 총 20 항

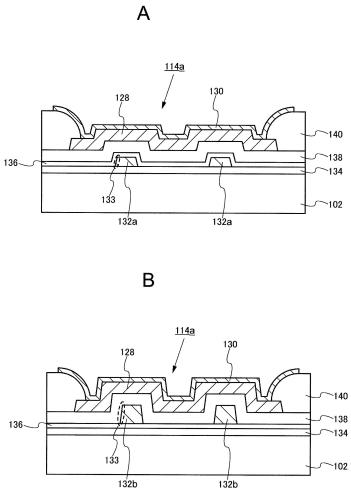
(54) 발명의 명칭 **표시 장치**

(57) 요 약

표시 장치에 있어서의 단자부의 신뢰성 향상을 도모하는 것을 목적의 하나로 한다.

기판 상에, 회로 소자를 포함하는 화소부와, 회로 소자와 전기적으로 접속되는 단자부를 포함하고, 화소부는, 화소 전극과, 화소 전극과 전기적으로 접속된, 제1 반도체층, 게이트 절연층 및 게이트 전극을 포함하는 트랜지스터를 포함하고, 단자부는, 단자 전극과, 단자 전극과 기판 사이에 형성되어 적어도 하나의 경사면과 평탄면으로 구성되는 면을 갖는 하지 구조층을 갖고, 단자 전극은, 표면에 하지 구조층의 경사면과 평탄면으로 구성되는 면을 따른 단차면을 갖는 표시 장치가 제공된다.

대 표 도 - 도5



(52) CPC특허분류
H01L 51/5203 (2013.01)
H05K 3/323 (2013.01)

명 세 서

청구범위

청구항 1

기판 상에, 회로 소자를 포함하는 화소부와, 상기 회로 소자와 전기적으로 접속되는 단자부를 포함하고,

상기 단자부는, 단자 전극과, 상기 단자 전극과 상기 기판 사이에 형성되어 적어도 하나의 경사면과 평탄면으로 구성되는 면을 갖는 하지 구조층을 갖고,

상기 단자 전극은, 표면에 상기 하지 구조층의 상기 경사면과 평탄면으로 구성되는 면을 따른 단차면을 갖는 것을 특징으로 하는 표시 장치.

청구항 2

제1항에 있어서, 상기 하지 구조층은, 하지면을 노출하는, 격자 형상 패턴 또는 스트라이프 형상 패턴을 갖고, 상기 격자 형상 패턴 또는 상기 스트라이프 형상 패턴의 측단부가 상기 경사면과 평탄면으로 구성되는 면에 대응하는, 표시 장치.

청구항 3

제1항에 있어서, 상기 하지 구조층은, 하지면을 노출하는 관통 구멍을 갖고, 상기 관통 구멍의 개구단부가 상기 경사면과 평탄면으로 구성되는 면에 대응하는, 표시 장치.

청구항 4

제1항에 있어서, 상기 하지 구조층은, 섬 형상 패턴을 갖고, 상기 섬 형상 패턴의 단부가 상기 경사면과 평탄면으로 구성되는 면에 대응하는, 표시 장치.

청구항 5

제1항에 있어서, 상기 단자 전극과, 상기 하지 구조층 사이에 절연층을 갖는 표시 장치.

청구항 6

제1항에 있어서, 상기 하지 구조층은 복수의 경사면과 평탄면으로 구성되는 면을 포함하는, 표시 장치.

청구항 7

제1항에 있어서, 상기 하지 구조층이 반도체층 또는 금속층인, 표시 장치.

청구항 8

제1항에 있어서, 상기 하지 구조층이, 반도체층과 금속층이 겹쳐진 구조를 갖는 표시 장치.

청구항 9

제8항에 있어서, 상기 반도체층과 상기 금속층 사이에 절연층을 갖는 표시 장치.

청구항 10

제1항에 있어서, 상기 단자 전극이 이방성 도전 필름과 접하는, 표시 장치.

청구항 11

기판 상에, 회로 소자를 포함하는 화소부와, 상기 회로 소자와 전기적으로 접속되는 단자부를 포함하고,

상기 화소부는, 화소 전극과, 상기 화소 전극과 전기적으로 접속된, 제1 반도체층, 게이트 절연층 및 게이트 전극을 포함하는 트랜지스터를 포함하고,

상기 단자부는, 단자 전극과, 상기 단자 전극과 상기 기판 사이에 형성되어 적어도 하나의 경사면과 평탄면으로 구성되는 면을 갖는 하지 구조층을 갖고,

상기 단자 전극은, 표면에 상기 하지 구조층의 상기 경사면과 평탄면으로 구성되는 면을 따른 단차면을 갖는 것을 특징으로 하는 표시 장치.

청구항 12

제11항에 있어서, 상기 하지 구조층이, 상기 제1 반도체층과 동일한 층에서 배치되는 제2 반도체층, 또는 상기 게이트 전극과 동일한 층에서 배치되는 금속층인, 표시 장치.

청구항 13

제11항에 있어서, 상기 하지 구조층이, 상기 제1 반도체층과 동일한 층에서 배치되는 제2 반도체층, 및 상기 게이트 전극과 동일한 층에서 배치되는 금속층인, 표시 장치.

청구항 14

제13항에 있어서, 상기 제2 반도체층과 상기 금속층 사이에, 상기 게이트 절연층과 동일층의 절연층을 갖는 표시 장치.

청구항 15

제11항에 있어서, 상기 하지 구조층은, 하지면을 노출하는, 격자 형상 패턴 또는 스트라이프 형상 패턴을 갖고, 상기 격자 형상 패턴 또는 스트라이프 형상 패턴의 측단부가 상기 경사면과 평탄면으로 구성되는 면에 대응하는, 표시 장치.

청구항 16

제11항에 있어서, 상기 하지 구조층은, 하지면을 노출하는 관통 구멍을 갖고, 상기 관통 구멍의 개구단부가 상기 경사면과 평탄면으로 구성되는 면에 대응하는, 표시 장치.

청구항 17

제11항에 있어서, 상기 하지 구조층은, 섬 형상 패턴을 갖고, 상기 섬 형상 패턴의 단부가 상기 경사면과 평탄면으로 구성되는 면에 대응하는, 표시 장치.

청구항 18

제11항에 있어서, 상기 화소 전극과 상기 트랜지스터 사이에 층간 절연막을 갖고, 상기 층간 절연막은 상기 단자 전극과 상기 하지 구조층 사이에 연장 형성되어 있는, 표시 장치.

청구항 19

제11항에 있어서, 상기 하지 구조층은 복수의 경사면과 평탄면으로 구성되는 면을 포함하는, 표시 장치.

청구항 20

제11항에 있어서, 상기 단자 전극이 이방성 도전 필름과 접하는, 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 표시 장치에 관한 것이며, 본 명세서에서 개시되는 발명의 일 실시 형태는, 표시 장치에 형성되는 단자부의 구조에 관한 것이다.

배 경 기 술

[0002] 액정의 전기 광학 효과, 유기 일렉트로루미네센스 재료의 발광 현상을 이용한 표시 장치는, 기판의 일단부에 화상을 표시하는 제어 신호(영상 신호, 클럭 신호 등)가 입력되는 단자부가 형성된다. 예를 들어, 유리 기판 상

에 형성된 박막 트랜지스터에 의해 화소 회로가 형성되는 표시 장치는, 유리 기판의 단부에 영상 신호가 입력되는 단자부가 형성된다. 단자부는, 이방성 도전 필름(이하, 「ACF(Anisotropic Conductive Film)」이라고도 한다.)에 의해 플렉시블 배선 기판(이하, 「FPC(Flexible printed circuits) 기판이라고도 한다.)과 접속된다.

[0003] 단자부에 있어서의 각 단자 전극은, FPC 기판과 양호한 콘택트(전기적인 접속)를 형성할 필요가 있다. 예를 들어, 일본 특허 공개 제2003-202583호 공보에는, ACF에 포함되는 도전성 입자가, 단자 전극과 FPC 기판의 전극 사이에 확실하게 포착되도록, 당해 단자 전극의 표면을 요철화한 구조가 개시되어 있다.

발명의 내용

해결하려는 과제

[0004] ACF는, 열경화성 수지에 미세한 도전성 입자가 혼합되어 있다. 표시 장치의 단자부와 FPC 기판은, ACF를 끼워서 열 압착됨으로써, 전기적 및 물리적으로 접속된다. 이때, ACF의 접착력이 약하면, FPC 기판은 표시 장치로부터 박리되어버리는 것이 문제가 된다. 즉, 도전성 입자를 단자 전극 상에 포착하도록 해도, 열경화성 수지와의 접착력이 약하면, 전기적 접속의 신뢰성이 저하되어버리는 것이 문제가 된다.

과제의 해결 수단

[0005] 본 발명의 일 실시 형태에 의하면, 기판 상에, 회로 소자를 포함하는 화소부와, 회로 소자와 전기적으로 접속되는 단자부를 포함하고, 단자부는, 단자 전극과, 단자 전극과 기판 사이에 형성되어 적어도 하나의 경사면과 평탄면으로 구성되는 면을 갖는 하지 구조층을 갖고, 단자 전극은, 표면에 하지 구조층의 경사면과 평탄면으로 구성되는 면을 따른 단차면을 갖는 표시 장치가 제공된다.

[0006] 본 발명의 일 실시 형태에 의하면, 기판 상에, 회로 소자를 포함하는 화소부와, 회로 소자와 전기적으로 접속되는 단자부를 포함하고, 화소부는, 화소 전극과, 화소 전극과 전기적으로 접속된, 제1 반도체층, 게이트 절연층 및 게이트 전극을 포함하는 트랜지스터를 포함하고, 단자부는, 단자 전극과, 단자 전극과 기판 사이에 형성되어 적어도 하나의 경사면과 평탄면으로 구성되는 면을 갖는 하지 구조층을 갖고, 단자 전극은, 표면에 하지 구조층의 경사면과 평탄면으로 구성되는 면을 따른 단차면을 갖는 표시 장치가 제공된다.

도면의 간단한 설명

[0007] 도 1은 본 발명의 일 실시 형태에 따른 표시 장치의 구성을 도시하는 사시도이다.

도 2는 본 발명의 일 실시 형태에 따른 표시 장치의 기능적인 회로 구성을 도시하는 도면이다.

도 3a는 본 발명의 일 실시 형태에 따른 표시 장치의 단자부의 구성을 도시하는 평면도이며, FPC 기판과 접속되는 단자 전극을 도시한다.

도 3b는 본 발명의 일 실시 형태에 따른 표시 장치의 단자부의 구성을 도시하는 평면도이며, 드라이버 IC와 접속되는 단자 전극을 도시한다.

도 4는 발명의 일 실시 형태에 따른 표시 장치의 단자 전극의 구성을 도시하는 평면도이다.

도 5의 A는 본 발명의 일 실시 형태에 따른 표시 장치의 단자 전극의 구성을 도시하는 단면도이며, 제1 단면 형태를 도시한다.

도 5의 B는 본 발명의 일 실시 형태에 따른 표시 장치의 단자 전극의 구성을 도시하는 단면도이며, 제2 단면 형태를 도시한다.

도 6은 본 발명의 일 실시 형태에 따른 표시 장치의 단자 전극의 구성을 도시하는 단면도이며, 제3 단면 형태를 도시한다.

도 7은 본 발명의 일 실시 형태에 따른 표시 장치의 단자 전극의 구성을 도시하는 평면도이다.

도 8은 본 발명의 일 실시 형태에 따른 표시 장치의 단자 전극의 구성을 도시하는 평면도이다.

도 9는 본 발명의 일 실시 형태에 따른 표시 장치의 단자 전극의 구성을 도시하는 평면도이다.

도 10은 발명의 일 실시 형태에 따른 표시 장치의 단자 전극과 FPC 기판의 접속 구조를 도시하는 단면도이다.

도 11은 발명의 일 실시 형태에 따른 표시 장치의 단자 전극과 드라이버 IC의 접속 구조를 도시하는 단면도이다.

도 12는 발명의 일 실시 형태에 따른 표시 장치의 화소 구조를 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 이하, 본 발명의 실시 형태를, 도면 등을 참조하면서 설명한다. 단, 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 이하에 예시하는 실시 형태의 기재 내용에 한정하여 해석되는 것이 아니다. 도면은 설명을 보다 명확하게 하기 위해서, 실제의 형태에 비해, 각 부의 폭, 두께, 형상 등에 대하여 모식적으로 표현되는 경우가 있지만, 어디까지나 일례이며, 본 발명의 해석을 한정하는 것이 아니다. 또한, 본 명세서와 각 도면에 있어서, 기출의 도면에 대하여 전술한 것과 동일한 요소에는, 동일한 부호(또는 숫자 다음에 a, b 등을 붙인 부호)를 붙이고, 상세한 설명을 적절히 생략하는 경우가 있다. 또한 각 요소에 대한 「제1」, 「제2」라고 부기된 문자는, 각 요소를 구별하기 위하여 사용되는 편의적인 표시이며, 특별한 설명이 없는 한 그 이상의 의미를 갖지 않는다.

[0009] 본 명세서에 있어서, 어떤 부재 또는 영역이 다른 부재 또는 영역의 「상에(또는 하에)」 있다고 하는 경우, 특별의 한정이 없는 한 이것은 다른 부재 또는 영역의 바로 위(또는 바로 아래)에 있는 경우뿐만 아니라 다른 부재 또는 영역의 상방(또는 하방)에 있는 경우를 포함하고, 즉, 다른 부재 또는 영역의 상방(또는 하방)에 있어서 사이에 다른 구성 요소가 포함되어 있는 경우도 포함한다. 또한, 이하의 설명에서는, 특별히 언급하지 않는 한, 단면에서 본 경우에는, 제1 기판에 대하여 제2 기판이 배치되는 측을 「위」 또는 「상방」이라고 하고, 그 반대를 「아래」 또는 「하방」으로 하여 설명한다.

[0010] 도 1은, 본 발명의 일 실시 형태에 따른 표시 장치(100)의 사시도를 도시한다. 표시 장치(100)는 제1 기판(102)에, 화소부(104), 제1 구동 회로(108), 제2 구동 회로(110)가 형성되어 있다. 화소부(104)는 복수의 화소가 배열되어 있다. 제1 구동 회로(108)는 영상 신호를 화소부(104)에 출력하는 회로이다. 제1 구동 회로(108)는 예를 들어, 드라이버 IC라고 불리는 반도체칩이며, 제1 기판(102)에 실장되어 있다. 제2 구동 회로(110)는 주사 신호를 화소부(104)에 출력하는 회로이다. 화소부(104)는 밀봉 부재(120)에 의해 밀봉되어 있다.

[0011] 제1 기판(102)에는, 단자 전극(114)이 배열되는 단자부(112)가 형성되어 있다. 단자부(112)는 제1 기판(102)의 단부에 있어서, 밀봉 부재(120)로 밀봉되지 않는 영역에 형성되어 있다. 단자부(112)는 ACF에 의해 FPC 기판(116)과 접속되어 있다. FPC 기판(116)은 표시 장치(100)와 다른 기능 회로 또는 외부 기기를 접속한다. 단자부(112)는 FPC 기판(116)을 통하여 영상 신호 등이 입력된다.

[0012] 제1 기판(102)은 유리 기판, 유기 수지 기판이 사용된다. 유기 수지 기판은, 예를 들어, 폴리이미드 기판이 사용된다. 유기 수지 기판은, 판 두께를 수 마이크로미터부터 수십 마이크로미터로 할 수 있고, 가요성을 갖는 시트 디스플레이를 실현하는 것이 가능하게 된다. 표시 장치(100)의 단자부(112)는 제1 기판(102)이 가요성을 갖는 경우에도, FPC 기판(116)과 확실하게 접속되는 접착면이 필요하게 되어 있다. 본 실시 형태에 따른 표시 장치(100)는 후술되는 바와 같이, 단자 전극(114)에 요철 형상이 형성되어 있다.

[0013] 도 2는, 표시 장치(100)의 기능적인 회로 구성을 도시한다. 단자부(112)에 형성되는 복수의 단자 전극(114)은 복수개 형성되고, 소정의 간격으로 배열되어 있다. 단자 전극(114)은 제1 구동 회로(108), 제2 구동 회로(110)에 연결되는 배선과 접속되어 있다. 도 2는, 단자부(112)가 제1 기판(102)의 일단부에 정렬하는 형태를 도시하지만, 본 발명은 이것에 한정되지 않는다. 예를 들어, 단자부(112)는 제1 기판(102)의 복수의 개소에 분할하여 형성되어 있어도 되고, 제1 기판(102)의 단부가 아니고 내측 영역에 형성되어 있어도 된다. 또한, 단자 전극(114)의 배열도 임의여서, 인접하는 단자 전극이 번갈아 배치되어 있어도 된다.

[0014] 도 2는, 제1 구동 회로(108)의 실장면에 형성되는 단자 전극(114b)을 점선으로 나타내고 있다. 단자 전극(114b)은 제1 구동 회로(108)가 드라이버 IC에 의해 실현될 때, 드라이버 IC의 범프와 접속되는 부위가 된다. 본 명세서에 있어서, FPC 기판과 접속되는 단자 전극과, 드라이버 IC와 접속되는 단자 전극을 구별하여 칭할 경우에는, 전자를 제1 단자 전극(114a), 후자를 제2 단자 전극(114b)이라고 하는 것으로 하고, 그 이외의 경우에는, 총괄하여 단자 전극(114)이라 칭하는 것으로 한다.

[0015] 제1 단자 전극(114a)과 제2 단자 전극(114b)은, 제1 기판(102) 상에 형성되고, 평면적인 형상, 접속부의 면적 등에 차이가 포함되지만, 실질적으로 동일한 구조를 갖고 있다. 즉, 단자 전극(114)의 상면이 요철 형상을 갖고 있다.

[0016] 화소부(104)는 복수의 화소(106)가 행방향 및 열방향으로 배열되어 있다. 화소(106)의 배열수는 임의이다. 예를 들어, 행방향(X 방향)으로 m개, 열방향(Y 방향)으로 n개의 화소(106)가 배열되어 있다. 화소(106)에는, 표시 소자가 형성되어 있다. 표시 소자로서는, 발광 소자(유기 일렉트로루미네센스 소자), 액정 소자 등이 적용된다. 화소부(104)에는, 행 방향으로 제1 주사 신호선(122a) 및 제2 주사 신호선(122b)이 형성되고 열방향으로 영상 신호선(124)이 형성되어 있다. 또한, 화소부(104)에는 전원선(126)이 형성되어 있다. 또한, 도 2는, 화소(106)가 정사각 배열하는 예를 도시했지만, 본 발명은 이것에 한정되지 않고, 델타 배열 등, 다른 배열 형식도 적용 가능하다.

[0017] 제1 구동 회로(108)는 영상 신호선(124)에 영상 신호를 출력한다. 화소부(104)에 인접하여 형성되는 제2 구동 회로(110)는 제1 주사 신호선(122a), 제2 주사 신호선(122b)에 신호를 출력한다. 단자부(112)에 있어서의 각각의 단자 전극(114)에는, 제1 구동 회로(108), 제2 구동 회로(110)를 동작시키는 신호가 입력된다. 화소부(104)에 배치되는 전원선(126)이 형성되는 경우, 이것과 접속하는 단자 전극이 단자부(112)에 포함된다. 또한, 도 2에서 도시하는 제1 기판(102)의 구성은 일례이며, 구동 회로의 구성, 주사 신호선, 영상 신호선, 전원선은 임의여서, 다른 구성을 갖고 있어도 된다.

[0018] 도 3a는, 단자부(112)에 있어서의 제1 단자 전극(114a)의 배열을 나타낸다. 제1 단자 전극(114a)은 제1 기판(102)의 단부에 있어서, 복수의 제1 단자 전극(114a)이 배열되어 있다. 제1 단자 전극(114a)은 단부가 절연층으로 덮여 있고, 제1 개구단부(142a)의 내측의 영역이 노출되어 있다. 제1 단자 전극(114a)의 상면부, 즉 노출면에는 점선으로 나타내는 바와 같이 요철 형상이 형성되어 있다. 제1 단자 전극(114a)의 상면부는, 예를 들어, 점선으로 나타내어지는 격자 형상 패턴이 볼록부가 되는 요철 형상이 형성되어 있다.

[0019] 도 3b는, 단자부(112)에 있어서의 제2 단자 전극(114b)의 배열을 도시한다. 제2 단자 전극(114b)은 제1 구동 회로(108)가 형성되는 영역에 배열되어 있다. 제2 단자 전극(114b)도, 제1 단자 전극(114a)과 마찬가지로 단부가 절연층으로 덮여 있고, 제2 개구단부(142b)의 내측의 영역이 노출되어 있다. 또한, 제2 단자 전극(114b)도, 제1 단자 전극(114a)과 마찬가지로 상면부에 요철 형상이 형성되어 있다.

[0020] 도 4는, 제1 단자 전극(114a)의 평면도를 도시한다. 또한, 도 4에서 도시하는 A-B선을 따른 단면 구조를 도 5의 A에 도시하였다. 이하의 설명에서는, 이 양 도면을 참조하여 단자 전극의 상세를 설명한다.

[0021] 제1 단자 전극(114a)은 제1 도전층(128)과 제2 도전층(130)을 포함하고 있다. 제1 도전층(128)은 하나 또는 복수의 금속층을 포함한다. 예를 들어, 제1 도전층(128)은 알루미늄층을 포함하고, 이 알루미늄층의 한쪽 또는 양쪽 면에 티타늄층이 형성된 구조를 갖는다. 제2 도전층(130)은 도전성 금속 산화물층이다. 예를 들어, 제2 도전층(130)은 산화인듐주석(ITO: Indium Tin Oxide), 산화인듐아연(IZO: Indium Zinc Oxide) 등의 도전성 금속 산화물로 형성된다.

[0022] 또한, 제1 단자 전극(114a)에 있어서, 제1 도전층(128)은 200nm 내지 2000nm의 두께를 갖고, 예를 들어, 500nm 내지 1000nm의 두께로 형성된다. 또한, 제2 도전층(130)은 50nm 내지 500nm의 두께를 갖고, 예를 들어, 100nm 내지 250nm의 두께로 형성된다.

[0023] 이러한 제1 단자 전극(114a)의 하지측에는, 적어도 1층의 절연층이 형성되어 있다. 도 5의 A는, 제1 단면 형태를 도시하고, 제1 기판(102)과 제1 단자 전극(114a) 사이에, 제1 절연층(134), 제2 절연층(136), 제3 절연층(138)이 형성되는 형태를 도시한다. 제1 기판(102)과 제1 단자 전극(114a) 사이에 적어도 1층의 절연층이 형성됨으로써, 제1 기판(102)이 유기 수지 기판인 경우에도, 제1 단자 전극(114a)의 하지면에 대한 밀착성을 높일 수 있다.

[0024] 제1 단자 전극(114a)은 단부가 제4 절연층(140)으로 덮여 있다. 바꾸어 말하면, 제4 절연층(140)은 개구부를 갖고, 개구단부(142)가 제1 단자 전극(114a)의 제1 도전층(128) 상에 배치되어 있다. 제4 절연층(140)은 유기 절연 재료로 형성된다. 제1 도전층(128)의 단부는, 제4 절연층(140)에 의해 덮임으로써 보호되어 있다. 또한, 이러한 구조에 의해, 인접하는 단자 전극과의 단락이 방지되어 있다. 제2 도전층(130)은 제1 도전층(128)의 상면으로부터 제4 절연층(140)의 표면을 따라 형성되어 있다. 이에 의해, 제1 도전층(128)의 표면은, 제4 절연층(140) 및 제2 도전층(130)에 의해 덮인 구조로 된다. 제2 도전층(130)은 제1 도전층(128)과 비교하여 경질이기 때문에, 제1 단자 전극(114a)의 상면에 ACF가 형성되는 경우에도, 도전성 입자의 압접에 의한 대미지가 방지된다. 또한, 제1 단자 전극(114a)은 도전성 금속 산화물에 의한 제2 도전층(130)이 최표면에 배치됨으로써, 금속의 산화에 의해(예를 들어, 알루미늄의 산화) 표면이 절연화되는 것을 방지하고 있다. 이에 의해, FPC 기판과 양호한 접속이 형성된다.

[0025] 제1 도전층(128)과 제1 기판(102) 사이에는, 경사면과 평탄면으로 구성되는 면을 포함하는 하지 구조층(132)이 형성되어 있다. 구체적으로는, 제1 절연층(134), 제2 절연층(136) 및 제3 절연층(138) 중 어느 하나의 층간, 또는 제1 기판(102)과 제1 절연층(134) 사이에 하지 구조층(132)이 형성되어 있다. 하지 구조층(132)은 적어도 하나의 경사면과 평탄면으로 구성되는 면(133)을 포함하고, 이 경사면과 평탄면으로 구성되는 면(133)이 제1 단자 전극(114a)의 개구부 내(제1 개구단부(142a)의 내측)에 배치되도록 형성되어 있다.

[0026] 도 5의 A는, 제1 하지 구조층(132a)이 제1 절연층(134)과 제2 절연층(136) 사이에 형성되는 형태를 도시한다. 또한, 도 5의 B는, 제2 단면 형태를 도시하고, 제2 하지 구조층(132b)이 제2 절연층(136)과 제3 절연층(138) 사이에 형성되는 형태를 도시한다. 제1 하지 구조층(132a)의 상층측에 배치되는 제2 절연층(136) 및 제3 절연층(138)은 산화 실리콘막, 질화 실리콘막, 또는 산질화 실리콘막 등의 무기 절연막이다. 그로 인해, 제2 절연층(136) 및 제3 절연층(138)은 제1 하지 구조층(132a)의 경사면과 평탄면으로 구성되는 면(133)을 따라 형성된다. 그로 인해, 제1 도전층(128)의 하지면은 경사면과 평탄면으로 구성되는 면(133)의 형상이 반영된 요철 형상을 갖고 있다. 이 요철 형상은, 제1 도전층(128)의 표면 형상으로서 나타난다. 제1 도전층(128) 상에 형성되는 제2 도전층(130)은 전술한 바와 같이 제1 도전층(128)보다도 막 두께가 얇으므로, 결과적으로 제1 단자 전극(114a)의 표면에는 요철 형상을 갖게 된다.

[0027] 또한, 하지 구조층(132)은 절연층에 매설되기 때문에, 임의의 재료로 형성된다. 도 5의 A는, 제1 하지 구조층(132a)이 반도체층으로 형성되는 일례를 도시한다. 또한, 도 5의 B는, 제2 하지 구조층(132b)이 금속층으로 형성되는 일례를 도시한다. 어느 경우에도, 하지 구조층(132)은 적어도 하나의 단부가 제1 단자 전극(114a)과 겹치도록 형성된다. 그리고, 하지 구조층(132)의 막 두께 분의 경사면과 평탄면으로 구성되는 면(133)이 제1 단자 전극(114a)과 겹치는 영역에, 적어도 하나 포함되도록 형성된다. 즉, 도 5의 A에서는, 제1 하지 구조층(132a)을 형성하는 반도체층의 막 두께에 대응한 높이의 단차가 형성되고, 도 5의 B에서는, 제2 하지 구조층(132b)을 형성하는 금속층의 막 두께에 따른 높이의 단차가 형성된다. 도 5의 A는, 제1 하지 구조층(132a)이 경사면과 평탄면으로 구성되는 면(133a)을 갖고, 도 5의 B는, 제2 하지 구조층(132b)이 경사면과 평탄면으로 구성되는 면(133b)을 포함하는 형태를 도시한다.

[0028] 또한, 도 6은, 제3 단면 형태를 도시하고, 제1 하지 구조층(132a)과, 제2 하지 구조층(132b)이 중첩하도록 배치된 형태를 도시한다. 이 경우, 예를 들어, 제1 하지 구조층(132a)은 반도체층으로 형성되고, 제2 하지 구조층(132b)은 금속층으로 형성된다. 이와 같이, 서로 다른 층으로 형성되는 하지 구조층을 적층함으로써, 경사면과 평탄면으로 구성되는 면의 높이를 보다 높게 할 수 있다.

[0029] 또한, 도 5의 A 및 도 5의 B, 도 6은, 하지 구조층(132)이 반도체층 또는 금속층에 의해 형성되는 일례를 도시하지만, 본 발명은 이것에 한정되지 않는다. 예를 들어, 하지 구조층을, 경사면과 평탄면으로 구성되는 면을 형성할 수 있는 소정의 패턴으로 성형된 절연층으로 형성해도 된다.

[0030] 도 4는, 하지 구조층(132)의 평면적 형상이, 격자 형상의 패턴으로 형성되는 일례를 도시한다. 즉, 하지 구조층(132)은 하지면을 노출하는 격자 형상의 패턴을 갖고 있다. 이에 의해, 제1 도전층(128) 및 제2 도전층(130)과 중첩하는 영역에, 복수의 경사면과 평탄면으로 구성되는 면(133)이 형성된다. 제1 단자 전극(114a)은 이러한 요철 형상이 표면에 형성됨으로써, 표면적이 증가한다. 즉, 제1 단자 전극(114a) 상에 형성되는 ACF의 접촉 면적이 증대하여, 접착력을 높이는 것이 가능하게 된다. 또한, ACF에 포함되는 도전성 입자와의 접촉 면적도 증가하므로, 접촉 저항을 저감하는 효과를 더 갖는다.

[0031] 도 7은, 하지 구조층(132)의 평면적 형상이, 스트라이프 형상의 패턴으로 형성되는 일례를 도시한다. 하지 구조층(132)이 스트라이프 형상의 패턴이어도, 제1 단자 전극(114a)의 표면을 요철 형상으로 할 수 있다. 도 7은, 하지 구조층(132)의 스트라이프 형상의 패턴이, 제1 단자 전극(114a)의 길이 방향을 따라서 형성되는 형태를 나타내지만, 스트라이프 형상의 패턴이 연장되는 방향은 이것에 한정되지 않는다. 예를 들어, 제1 단자 전극(114a)의 길이 방향과 교차하는 방향으로 하지 구조층(132)의 패턴이 형성되어 있어도 된다.

[0032] 도 8은, 제1 단자 전극(114a)과 겹치는 하지 구조층(132)에, 관통 구멍이 형성된 형태를 도시한다. 하지 구조층(132)을 관통하는 개구부를, 제1 단자 전극(114a)과 겹치는 영역에 형성함으로써, 하지 구조층(132)의 막 두께 분의 경사면과 평탄면으로 구성되는 면(133)을 형성할 수 있다. 한편, 도 9에서 도시하는 바와 같이, 하지 구조층(132)을 섬 형상의 패턴으로 형성해도 된다. 즉, 제1 단자 전극(114a)과 겹치는 영역에서, 하지 구조층(132)을 이산적인 섬 형상 패턴으로 형성함으로써, 섬 형상 영역의 두께 분의 경사면과 평탄면으로 구성되는 면(133)을 형성할 수 있다. 또한, 하지 구조층(132)의 구조에 있어서, 관통 구멍이나 섬 형상 패턴의 평면적인 형태는, 도 8 및 도 9에 도시하는 원형에 한정되는 것은 아니고, 삼각형 이상의 다각형이나, 타원, 기타 직선과

곡선으로 구성되는 형상, 복수의 곡선으로 구성되는 형상이어도 된다.

[0033] 이와 같이, 본 발명의 일 실시 형태에 의하면, 제1 단자 전극(114a)과 겹치는 영역에, 적어도 하나의 단부를 포함하는 하지 구조층(132)을 형성함으로써, 제1 단자 전극(114a)의 표면을 요철화할 수 있다. 이에 의해, 제1 단자 전극(114a)의 표면적을 증가시킬 수 있다. 즉, 본 실시 형태에 따르면, 제1 단자 전극(114a)의 표면에 특별한 가공을 하지 않아도, 당해 표면을 요철화할 수 있다. 이 경우에 있어서, 하지 구조층(132)은 절연층에 매설되므로, 하지 구조층(132)이 도전성을 갖고 있어도, 인접하는 단자 전극과 단락하는 것이 방지된다. 따라서, 하지 구조층(132)은 단자부(112)에 있어서, 복수의 단자 전극에 걸쳐서 연속하는 패턴으로 형성할 수도 있다.

[0034] 또한, 도 4 내지 도 9는, 제1 기판(102)의 단부에 형성되는 제1 단자 전극(114a)에 대하여 설명했지만, 제1 구동 회로(108)와 접속하는 제2 단자 전극(114b)에 대해서도 동일한 구성을 적용할 수 있다.

[0035] 도 10은, 제1 단자 전극(114a)과 FPC 기판(116)의 접속 구조를 단면도로 도시한다. FPC 기판(116)은 수지 필름 기판(146)에 금속 배선(148)이 형성된 구조를 갖고 있다. FPC 기판(116)은 금속 배선(148)이 제1 단자 전극(114a)과 대향하도록 배치된다. 제1 단자 전극(114a)과 FPC 기판(116) 사이에는, ACF(118)가 형성된다. ACF(118)는 수지층(150) 중에 도전성 입자(152)가 분산된 구조를 갖고 있다. 제1 단자 전극(114a)과 FPC 기판(116)은, 도전성 입자(152)를 통하여 전기적으로 접속된다. 구체적으로는, 제2 도전층(130)과 금속 배선(148)이 도전성 입자(152)와 접촉함으로써, 전기적인 접속이 형성된다.

[0036] ACF(118)의 수지층(150)은 예를 들어, 열경화형의 수지이며, 경화에 의해 제1 단자 전극(114a) 및 FPC 기판(116)과 접착한다. 이 경우에 있어서, 제1 단자 전극(114a)의 표면이 요철 형상을 갖고 있음으로써, 수지층(150)과의 접촉 면적이 증가되어 있다. 이에 의해, ACF(118)와 제1 단자 전극(114a)의 밀착력을 향상시킬 수 있어, FPC 기판(116)이 박리되는 것을 방지할 수 있다.

[0037] 도 11은, 제2 단자 전극(114b)과 제1 구동 회로(108)로서 형성되는 드라이버 IC(154)의 접속 구조를 단면도로 도시한다. 드라이버 IC(154)는, 단자 전극(156)이 제2 단자 전극(114b)과 대향하도록 배치된다. 제2 단자 전극(114b)과 드라이버 IC(154) 사이에는 ACF(118)가 형성된다. 제2 단자 전극(114b)과 드라이버 IC(154)는, 도전성 입자(152)를 통하여 전기적으로 접속된다. 구체적으로는, 제2 도전층(130)과 단자 전극(156)이 도전성 입자(152)와 접촉함으로써, 전기적인 접속이 형성된다. 이 경우에 있어서도, 제2 단자 전극(114b)의 표면이 요철 형상을 갖고 있음으로써, 수지층(150)과의 접촉 면적이 증가되어 있다. 이에 의해, ACF(118)와 제2 단자 전극(114b)의 밀착력을 향상시킬 수 있어, 드라이버 IC(154)가 박리되는 것, 또는 접속부의 전기 저항이 증대하는 것을 방지할 수 있다.

[0038] 그런데, 단자 전극(114)과 중첩하도록 형성되는 하지 구조층(132)은 표시 장치(100)의 화소(106)를 구성하는 부재를 사용하여 제작할 수 있다. 하지 구조층(132)과 화소(106)를 구성하는 부재의 관계를 설명하기 위해서, 도 12를 참조하여 화소(106)의 단면 구조를 설명한다.

[0039] 도 12에서 도시하는 바와 같이, 화소(106)는 트랜지스터(158), 용량 소자(166), 표시 소자(172)를 포함한다. 트랜지스터(158)는 제1 절연층(134) 상에 형성된다. 트랜지스터(158)는 반도체층(160a), 게이트 절연막으로서 기능하는 제2 절연층(136), 게이트 전극(162)이 적층된 구조를 갖는다. 반도체층(160a)은 아몰퍼스 실리콘, 폴리실리콘 등의 실리콘계 반도체 재료, 및 반도체 특성을 나타내는 금속 산화물(「산화물 반도체」라고도 불린다)로 형성되고, 제1 절연층(134) 상에 형성된다. 반도체층(160a)은 트랜지스터(158)의 배치에 대응하여, 섬 형상으로 분리된 패턴을 갖고, 50nm 내지 500nm의 두께로 형성된다. 반도체층(160a)은 제2 절연층(136)에 의해 피복된다.

[0040] 게이트 전극(162)은 게이트 절연막으로서 기능하는 제2 절연층(136)을 통하여 반도체층(160a)과 겹치는 영역을 포함하여 형성된다. 게이트 전극(162)은 알루미늄, 티타늄, 몰리브덴, 텅스텐 등의 금속막으로 형성되고, 예를 들어, 티타늄과 알루미늄이 적층된 구조를 갖는다. 게이트 전극(162)은 개략 100nm 내지 1000nm의 두께를 갖는다. 제2 절연층(136)은 무기 절연 재료로 형성되고, 예를 들어, 산화 실리콘막, 질화 실리콘막, 산질화 실리콘막 등이 사용된다. 예를 들어, 반도체층(160a)이 폴리실리콘이라면, 제2 절연층(136)으로서 산화 실리콘막이 바람직하게 사용된다.

[0041] 게이트 전극(162)의 상층에는, 제3 절연층(138)이 형성된다. 제3 절연층(138)은 무기 절연 재료로 제작되고, 예를 들어, 산화 실리콘막, 질화 실리콘막의 단층 또는 복수의 층이 적층된 구조를 갖는다. 제3 절연층(138)은 대략 500nm 내지 2000nm의 두께를 갖도록 형성된다.

[0042] 제2 절연층(136) 및 제3 절연층(138)은 플라즈마 CVD(Chemical Vapor Deposition)법이나, 스퍼터링법 등의 박

막 제조 기술에 의해 제작되는 무기 절연막이다. 이러한 무기 절연막은, 하지의 요철에 따라서 박막이 성장한다. 그로 인해, 반도체층(160a)이나 게이트 전극(162)의 단차 구조가 있으면, 이 위에 퇴적된 절연층의 표면 형상은, 단차 구조를 포함하는 형상으로 된다.

[0043] 제3 절연층(138) 상에는, 소스·드레인 배선(164a, 164b)이 형성된다. 소스·드레인 배선(164a, 164b)은, 티타늄, 몰리브덴, 알루미늄 등의 금속막으로 형성되고, 예를 들어, 알루미늄막의 상층 및 하층을 티타늄막으로 끼운 구조를 갖는다. 소스·드레인 배선(164a, 164b) 상에는, 제4 절연층(140)이 형성된다. 제4 절연층(140)은 유기 절연 재료로 제작된다. 유기 절연 재료로서는, 아크릴, 폴리이미드 등이 사용된다. 제4 절연층(140)은 스핀 도포법, 증착 중합법 등에 의해 제작된다. 이러한 성막법에 의하면, 제4 절연층(140)은 하지의 요철(단차 구조)을 피복하여, 평탄한 표면을 얻을 수 있다. 즉, 제4 절연층(140)은 평탄화막으로서 사용할 수 있다.

[0044] 제4 절연층(140) 상에는 표시 소자(172)가 형성된다. 도 12는, 표시 소자(172)가 발광 소자인 경우를 도시한다. 즉, 표시 소자(172)는 화소 전극(174), 유기층(178), 대향 전극(180)이 적층된 구조를 갖는다. 화소 전극(174)은 적어도 제4 절연층(140)에 형성된 콘택트 홀(165)에 의해, 소스·드레인 배선(164a)과 전기적으로 접속된다. 즉, 화소 전극(174)은 소스·드레인 배선(164a)을 통하여 트랜지스터(158)와 전기적으로 접속된다.

[0045] 화소 전극(174)의 주연부 및 콘택트 홀(165)이 형성되는 영역은, 제6 절연층(176)으로 덮인다. 제6 절연층(176)은 화소 전극(174)보다 상층에 배치되고, 화소 전극(174)의 내측 영역을 노출시키는 개구부(144)를 갖는다. 유기층(178) 및 대향 전극(180)은 화소 전극(174)의 상면으로부터, 제6 절연층(176)의 상면에 걸쳐서 형성된다.

[0046] 유기층(178)은 일층 또는 복수층으로 구성되고, 유기 일렉트로루미네센스 재료를 포함한다. 대향 전극(180)은 유기층(178)의 상층에 형성된다. 대향 전극(180)의 상층에는 패시베이션층으로서의 제7 절연층(182)을 갖는다. 제7 절연층(182)은 질화 실리콘막의 단층, 질화 실리콘막과 산화 실리콘막의 적층, 질화 실리콘막과 유기 절연막이 적층된 구조를 갖는다. 본 실시 형태에 있어서, 표시 장치(100)는 소위 톱에미션형인 것으로 하고, 대향 전극(180)의 측으로 광이 출사된다. 이때, 반사 전극이 되는 화소 전극(174)은 투명 도전막과 금속막의 적층 구조에 의해 유기층(178)에서 발광한 광을 반사하는 구성이 채용된다. 예를 들어, 화소 전극(174)은 적어도 2층의 투명 도전막과, 그 2층의 투명 도전막에 끼워진 금속막(예를 들어, 은(Ag), 알루미늄(Al) 등의 반사율이 높은 재료가 바람직하다.)을 갖는다. 대향 전극(180)은 산화인듐주석 등의 투명 도전막으로 형성되어, 유기층(178)에서 발광한 광을 투과한다.

[0047] 제1 용량 소자(166a)는 제2 절연층(136)을 유전체층으로서 사용하고, 게이트 전극(162)과 동일한 층에서 형성되는 제1 용량 전극(168a)과, 일 도전형을 부여하는 불순물이 첨가된 반도체층(160b)을 포함한다. 제1 용량 소자(166a)의 다른 쪽 전극이 되는 반도체층(160b)은 트랜지스터(158)의 채널을 형성하는 반도체층(160a)으로부터 연장된 영역이다. 제2 용량 소자(166b)는 제4 절연층(140)의 상면에 형성되는 제2 용량 전극(168b), 제2 용량 전극(168b)의 상층에 형성되는 제5 절연층(170), 제2 용량 전극(168b)과 적어도 일부가 중첩하는 화소 전극(174)을 포함한다. 또한, 제2 용량 전극(168b)은 알루미늄, 티타늄, 몰리브덴, 텅스텐 등의 금속막으로 형성된다.

[0048] 도 12에서 도시하는 구조를 갖는 화소(106)와, 도 5의 A에서 도시하는 제1 단자 전극(114a) 및 그의 하층의 구조를 대비하면, 제1 하지 구조층(132a)은 반도체층이며, 이 반도체층은 트랜지스터(158)의 반도체층(160a)과 동일한 층에서 형성된다. 또한, 도 5의 B에서 도시하는 제2 하지 구조층(132b)은 금속층이며, 게이트 전극(162)과 동일한 층에서 형성된다. 또한, 도 6에서 도시하는 제1 하지 구조층(132a)은 반도체층이며, 이 반도체층은 트랜지스터(158)의 반도체층(160a)과 동일한 층에서 형성되고, 제2 하지 구조층(132b)은 금속층이며, 게이트 전극(162)과 동일한 층에서 형성된다. 화소(106)를 구성하는 층과 동일한 층에서 형성되는 하지 구조층(132)의 평면적인 형태는, 단자 전극(116)의 상면에 요철 형상(달리 말하면 복수의 경사면과 평탄면으로 구성되는 면)이 포함되도록, 도 4, 도 7, 도 8, 도 9에서 도시하는 각 형상으로 할 수 있다.

[0049] 이와 같이, 본 실시 형태에 따르면, 제1 단자 전극(114a)의 표면에 요철 형상을 형성하기 위한 하지 구조층을, 화소를 구성하는 층(반도체층, 배선층)을 사용하여 형성할 수 있다. 이에 의해, 하지 구조층을 위하여 새로운 층을 형성할 필요가 없어, 제조 공정을 간략화할 수 있다. 예를 들어, 반도체층(160a)은 트랜지스터(158)의 배치에 맞춰서 패터닝되기 때문에, 동일한 공정으로 제1 하지 구조층(132a)의 단차 패턴을 형성할 수 있다. 이것은, 소스·드레인 배선(164)에 대응하는 제2 하지 구조층(132b)에 대해서도 마찬가지이다.

[0050] 또한, 제1 단자 전극(114a)의 제1 도전층(128)은 소스·드레인 배선(164)과 동일한 도전층으로 형성된다. 또한, 도 5의 A에 있어서의 제1 절연층(134), 제2 절연층(136), 제3 절연층(138) 및 제4 절연층(140)은 도 12에서 설명하는 각 절연층에 대응하는 절연층이며, 화소부(104)로부터 단자부(112)로 연장 형성되어 있다. 즉, 제1 도전층(128)의 단부를 덮는 제4 절연층(140)은 유기 절연 재료로 형성되고, 평탄화막으로서 사용되기 때문에, 단자부(112)에 있어서도 제1 도전층(128)의 단부 상면을 평탄화한다. 제4 절연층(140)에 의해, 제1 도전층(128)은 박리가 방지되고, 제1 단자 전극(114a)은 FPC 기판(116)과 양호한 전기적 접속이 형성된다.

[0051] 이상, 설명한 바와 같이, 본 발명의 일 실시 형태에 의하면, 단자부의 전극(단자 전극)의 표면에 요철 형상을 형성하고, ACF의 수지층과의 접촉 면적을 증가시켜, 밀착력을 향상시킬 수 있다. 이에 의해, 단자부와 FPC 기판이나 드라이버 IC를 실장한 후의 박리를 방지할 수 있다. 또한, ACF에서 사용되는 수지층의 종류에 상관없이, 단자부와 FPC 기판이나 드라이버 IC와의 밀착성을 향상시킬 수 있으므로, ACF의 재질에 대하여 선택지의 범위를 확장할 수 있어, 범용성을 높일 수 있다.

[0052] 본 발명의 일 실시 형태에 따른 표시 장치의 구성은, 각 화소에 일렉트로루미네센스 재료를 사용한 발광 소자가 형성된 표시 장치, 액정의 전기 광학 효과를 이용하여 영상을 표시하는 표시 장치에 적용할 수 있다. 또한, 본 발명의 일 실시 형태에 따른 표시 장치의 단자부의 구성은, ACF에 의해 접속되는 단자를 갖는 다른 반도체 디바이스(집적 회로 등)에 적용할 수 있다.

부호의 설명

[0053] 100: 표시 장치

102: 제1 기판

104: 화소부

106: 화소

108: 제1 구동 회로

110: 제2 구동 회로

112: 단자부

114: 단자 전극

116: FPC 기판

118: ACF

120: 밀봉 부재

122: 주사 신호선

124: 영상 신호선

126: 전원선

128: 제1 도전층

130: 제2 도전층

132: 하지 구조층

133: 경사면과 평탄면으로 구성되는 면

134: 제1 절연층

136: 제2 절연층

138: 제3 절연층

140: 제4 절연층

142: 개구단부

144: 개구부

146: 수지 필름 기판

148: 금속 배선

150: 수지층

152: 도전성 입자

154: 드라이버 IC

156: 단자 전극

158: 트랜지스터

160: 반도체층

162: 게이트 전극

164: 소스·드레인 배선

165: 콘택트 홀

166: 용량 소자

168: 용량 전극

170: 제5 절연층

172: 표시 소자

174: 화소 전극

176: 제6 절연층

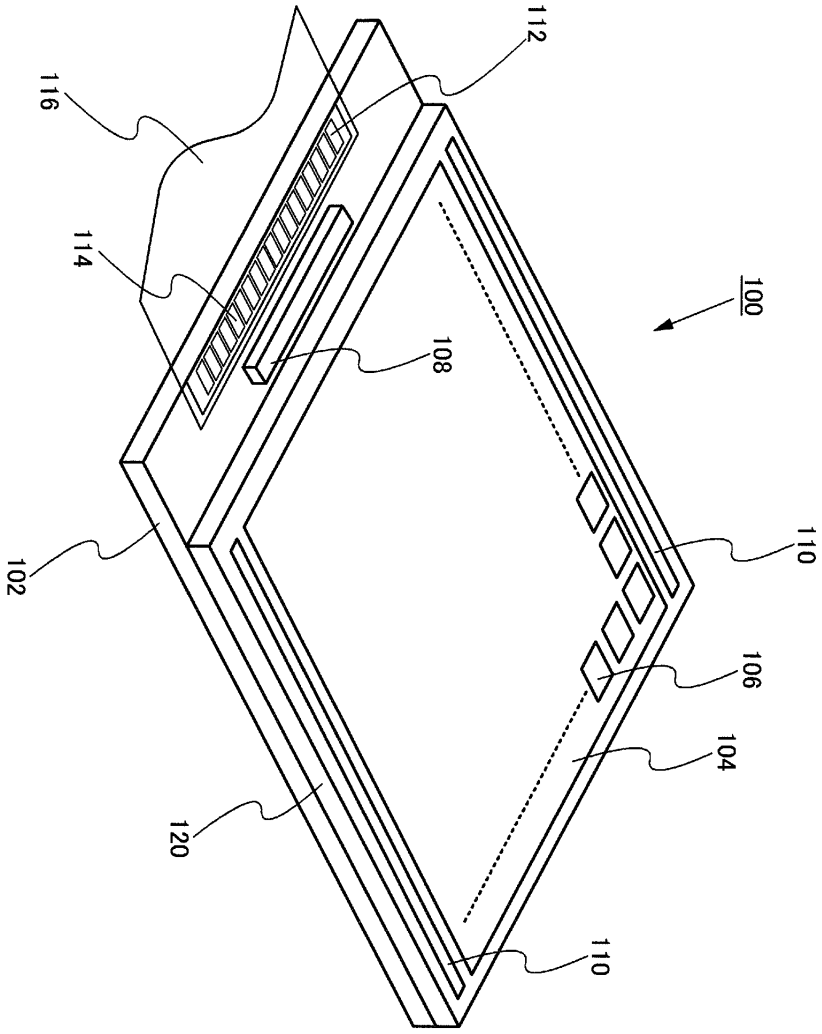
178: 유기층

180: 대향 전극

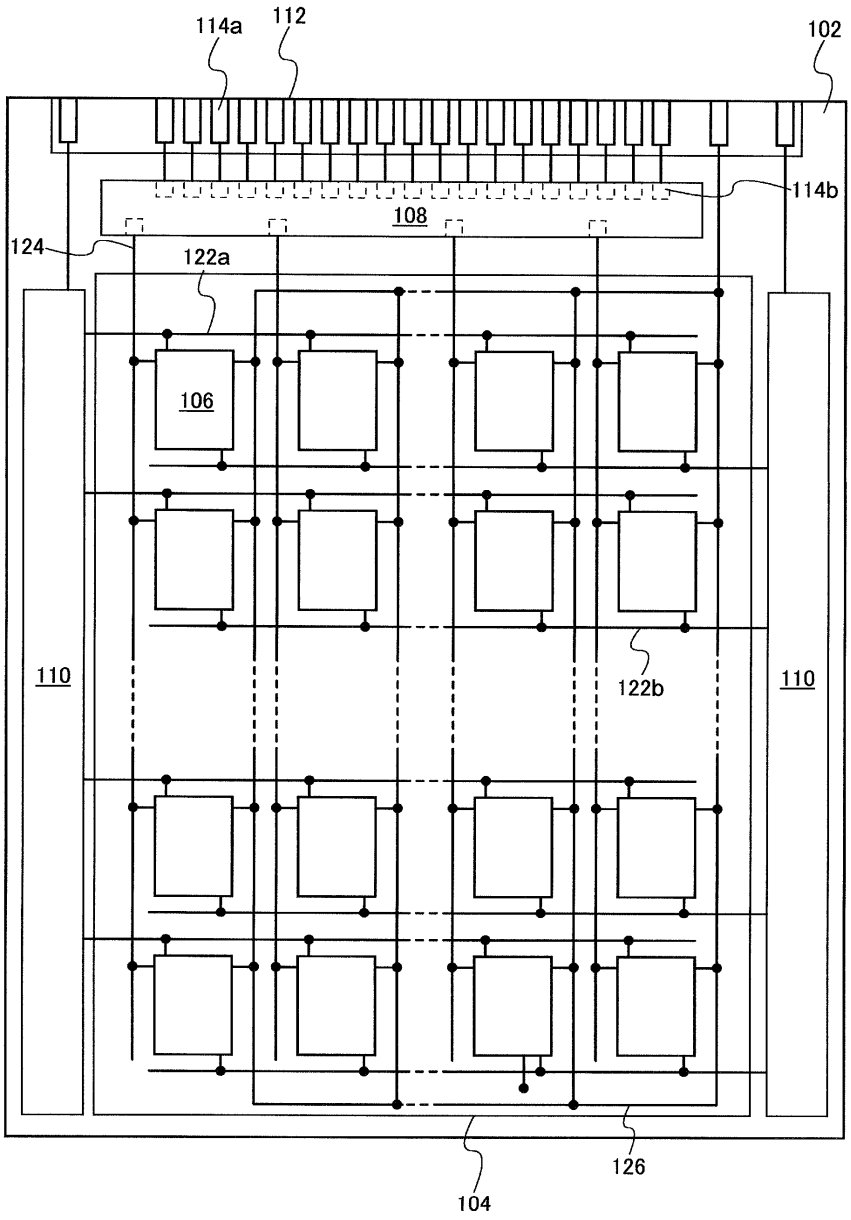
182: 제7 절연층

도면

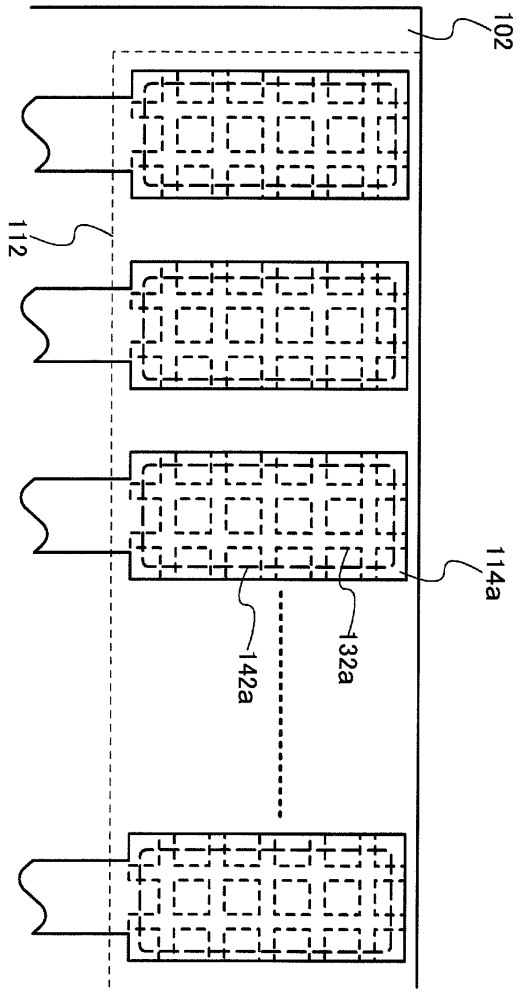
도면1



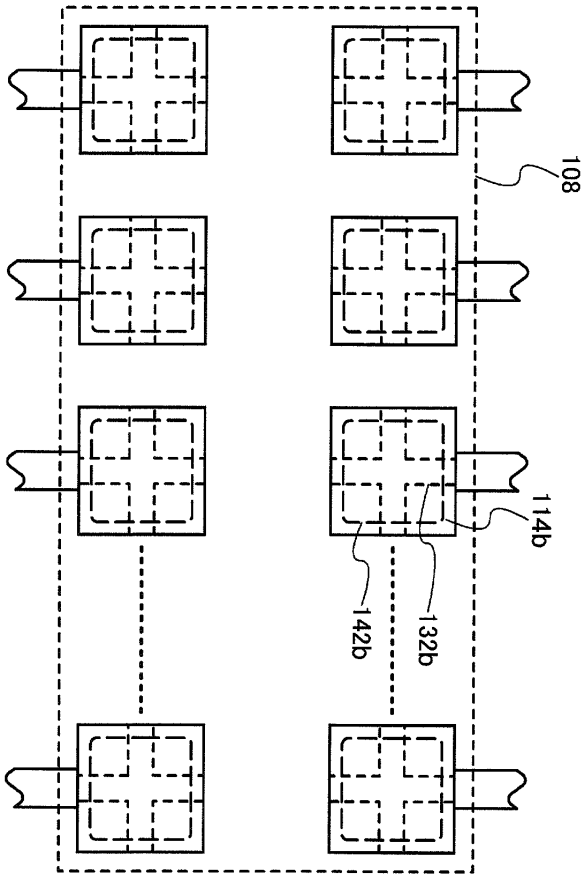
도면2



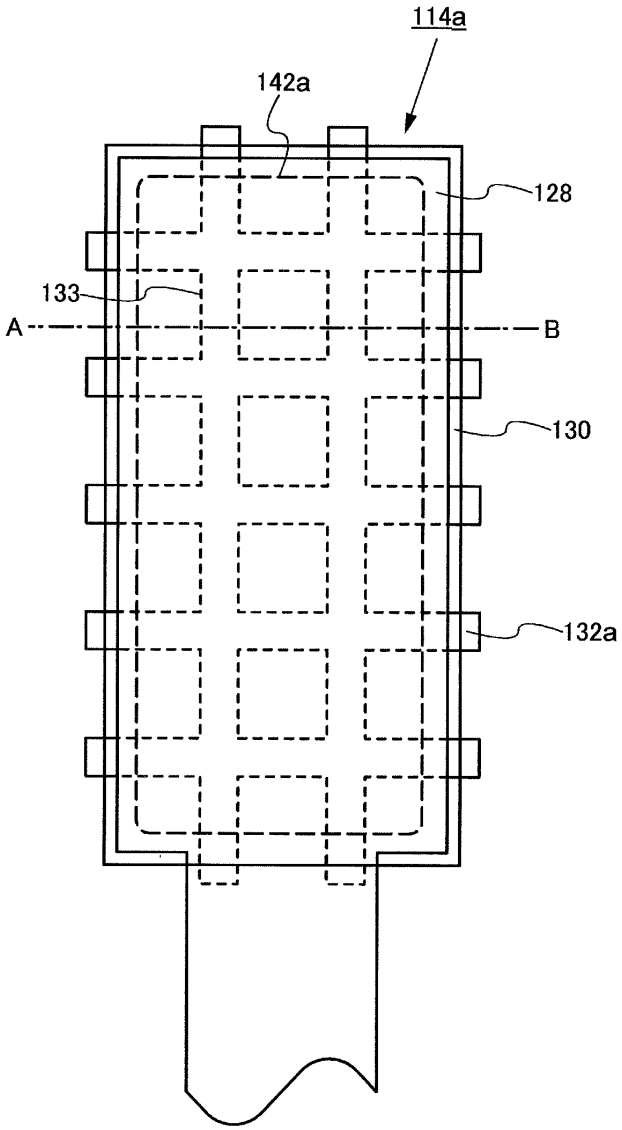
도면3a



도면3b

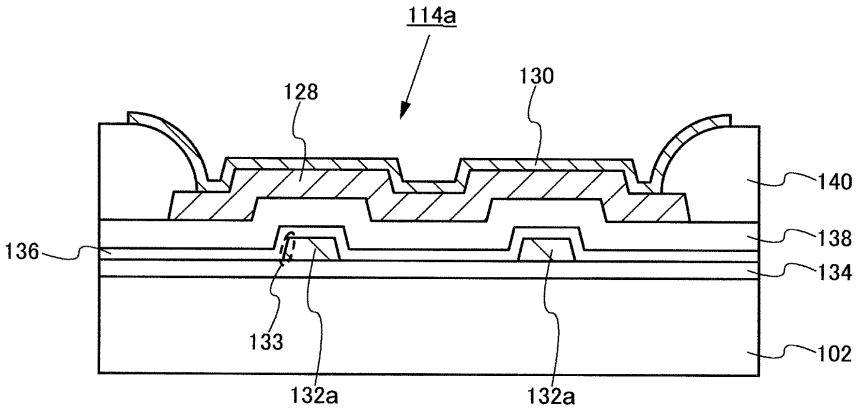


도면4

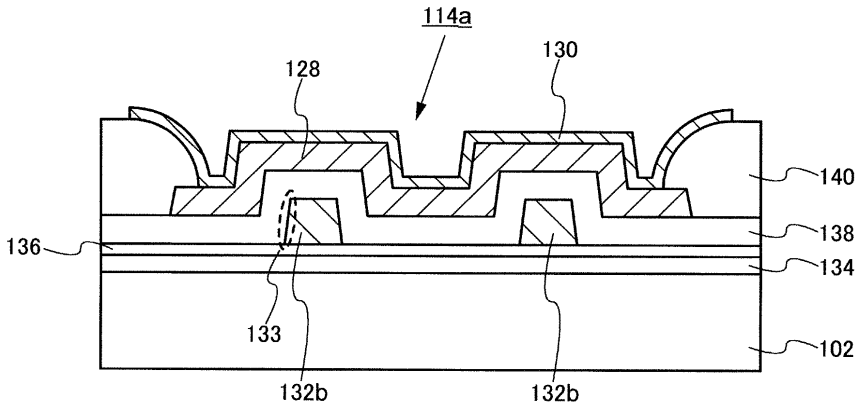


도면5

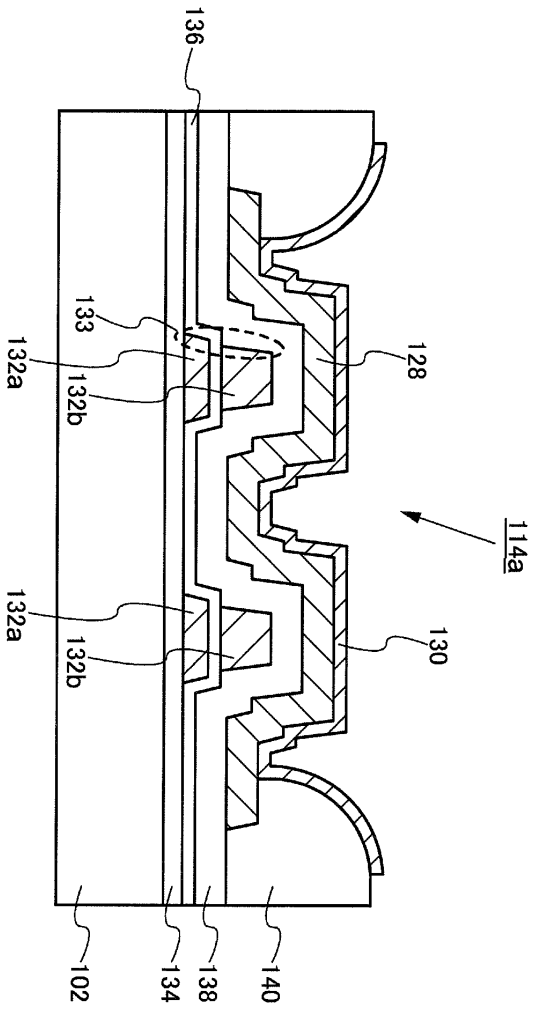
A


114a
128
130
140
136
138
134
133
102
132a
132a

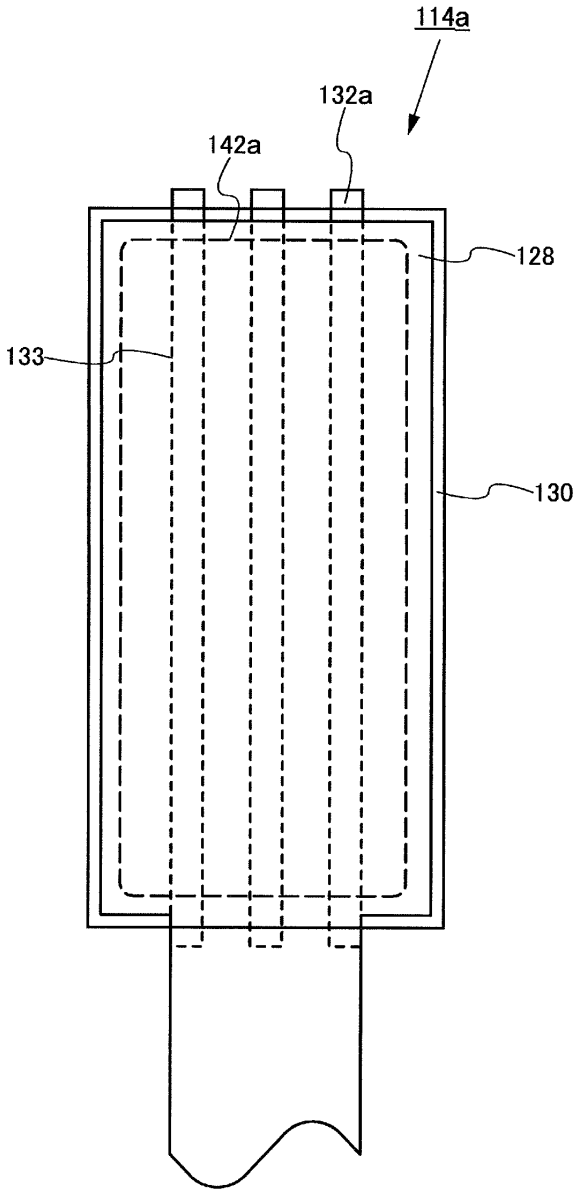
B


114a
128
130
140
136
138
134
133
102
132b
132b

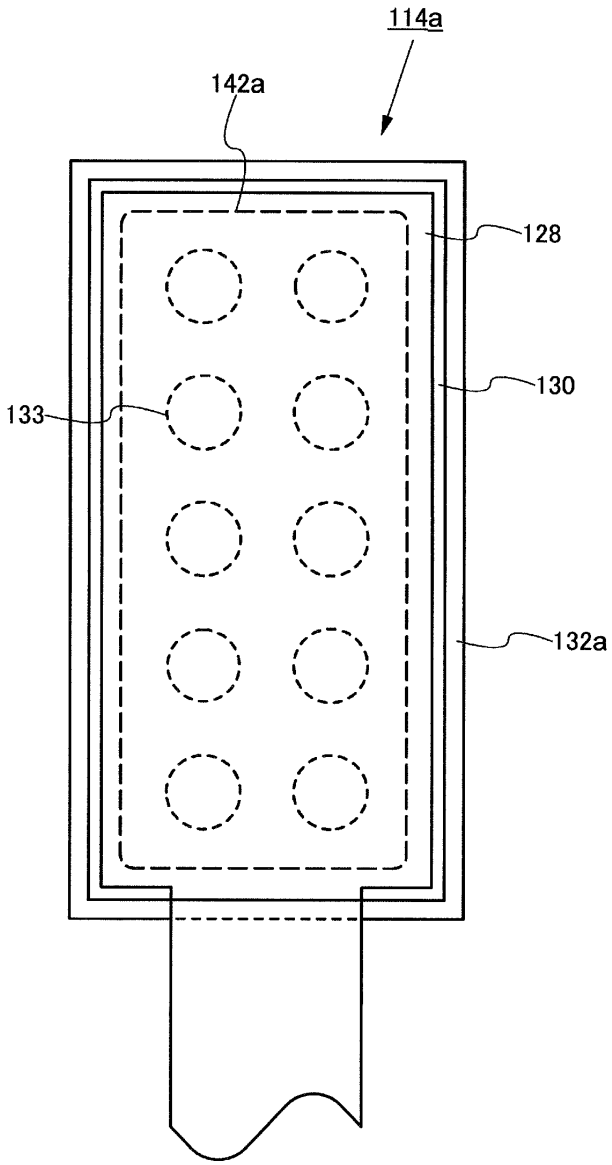
도면6



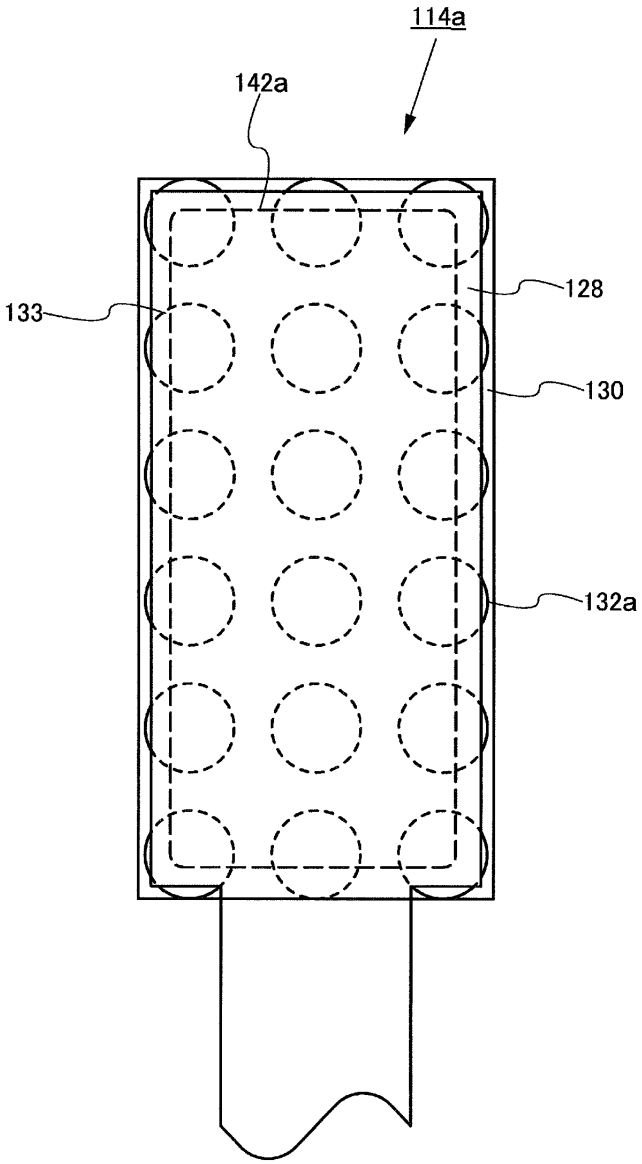
도면7



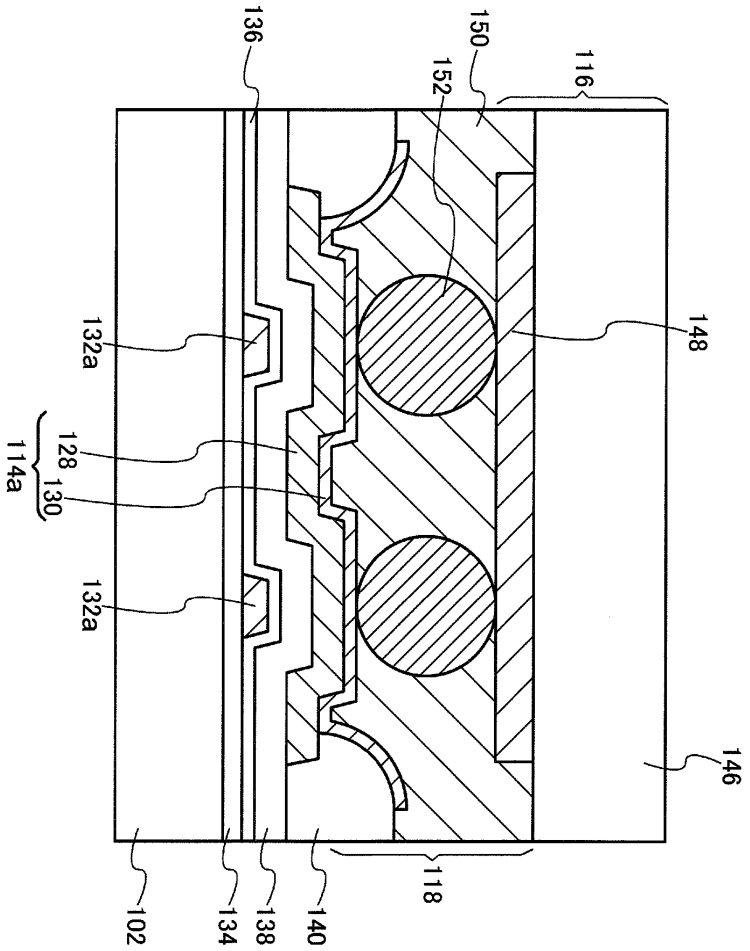
도면8



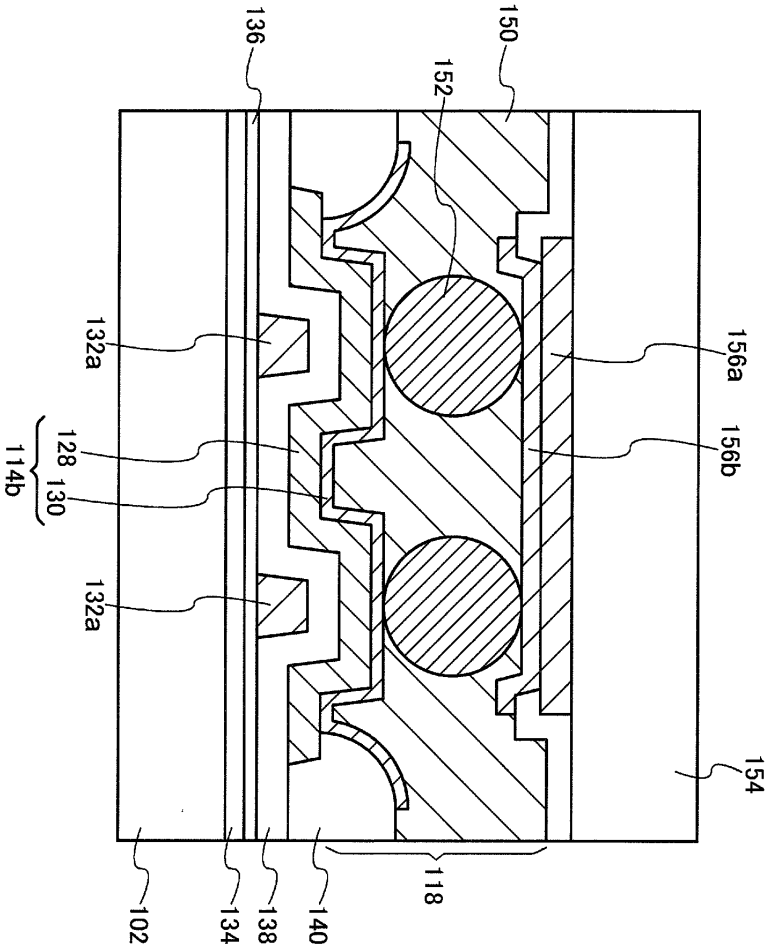
도면9



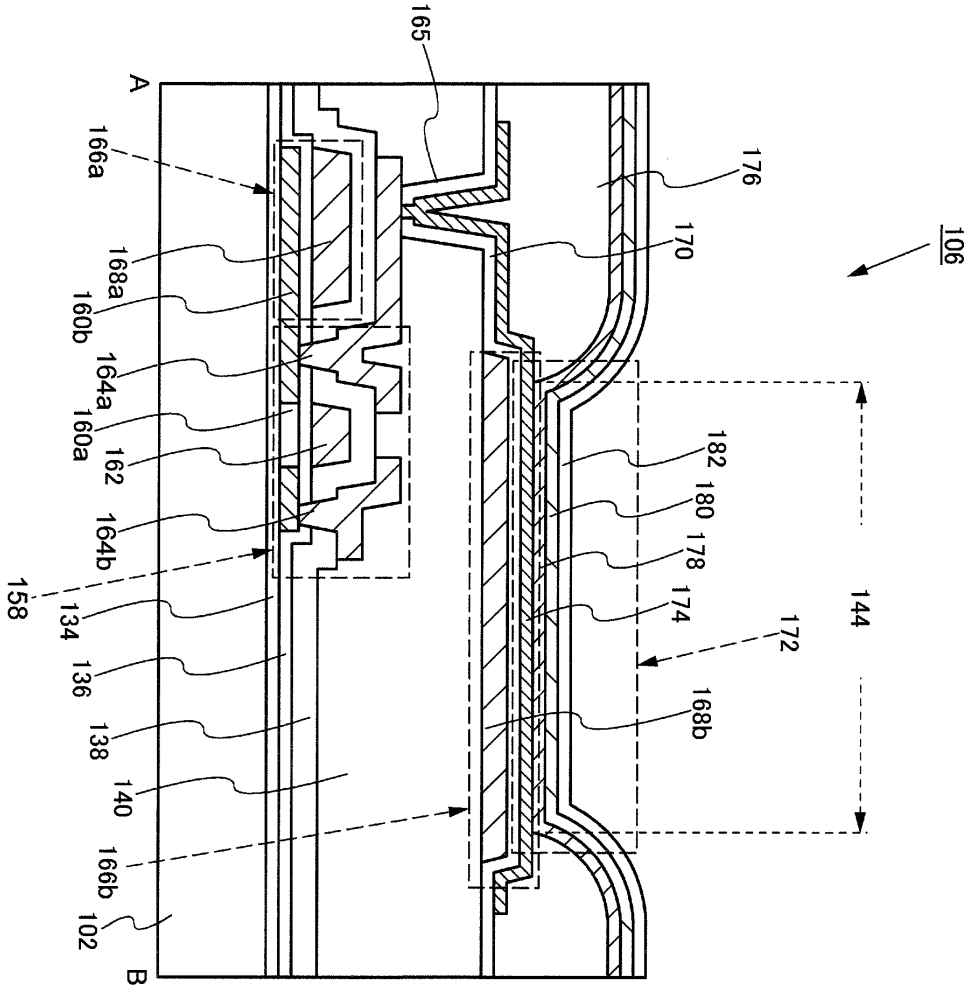
도면10


136
150
152
116
132a
148
128
114a
130
132a
146
102
134
138
140
118

도면11


136
150
152
132a
156a
128
130
114b
156b
132a
154
102
134
138
140
118

도면12


165
A
166a
168a
160b
164a
160a
162
164b
158
134
136
138
140
166b
102
B
176
170
106
182
180
178
174
172
168b
144