



(12) 发明专利申请

(10) 申请公布号 CN 117457610 A

(43) 申请公布日 2024. 01. 26

(21) 申请号 202311482768.2

H01L 23/31 (2006.01)

(22) 申请日 2023.11.08

H10B 80/00 (2023.01)

(71) 申请人 深圳市德明利技术股份有限公司
地址 518000 广东省深圳市福田区梅林街道梅都社区中康路136号深圳新一代产业园1栋A座2501、2401

(72) 发明人 谭少鹏

(74) 专利代理机构 深圳卓正专利代理事务所
(普通合伙) 44388
专利代理师 万正平 尧娟

(51) Int. Cl.

H01L 23/488 (2006.01)

H01L 23/498 (2006.01)

H01L 23/552 (2006.01)

H01L 23/13 (2006.01)

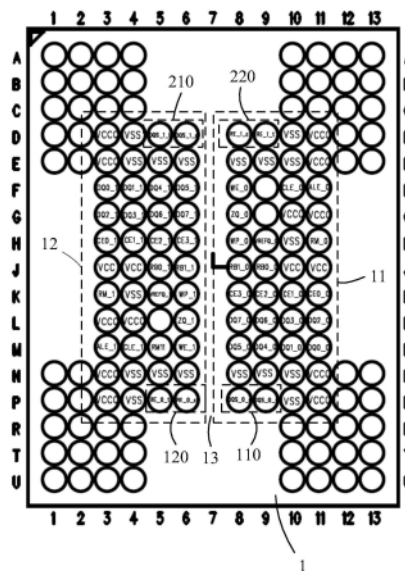
权利要求书2页 说明书9页 附图5页

(54) 发明名称

BGA封装基板及存储芯片BGA封装结构

(57) 摘要

本申请公开了一种BGA封装基板和存储芯片BGA封装结构,其中所述BGA封装基板包括基板、第一差分对焊盘和第二差分对焊盘,所述基板包括相对的第一表面和第二表面,所述第一表面用于固定存储芯片,所述第二表面包括第一通道区域、第二通道区域以及位于所述第一通道区域和所述第二通道区域之间的隔离区域,所述第一差分对焊盘设置于所述第一通道区域并紧邻所述隔离区域,所述第二差分对焊盘设置于所述第二通道区域并紧邻所述隔离区域。本申请的BGA封装基板可以有效解决现有技术中BGA封装差分对信号管脚布局不合理而影响传输速率的技术问题。



1. 一种BGA封装基板,其特征在于,包括:

基板,所述基板包括相对的第一表面和第二表面,其中所述第一表面用于固定存储芯片,所述第二表面包括第一通道区域、第二通道区域以及位于所述第一通道区域和所述第二通道区域之间的隔离区域;

第一差分对焊盘,其设置于所述第一通道区域并紧邻所述隔离区域;

第二差分对焊盘,其设置于所述第二通道区域并紧邻所述隔离区域。

2. 根据权利要求1所述的BGA封装基板,其特征在于,所述第一差分对焊盘和所述第二差分对焊盘用于传输第一通道的信号,所述第一差分对焊盘和所述第二差分对焊盘以所述隔离区域的中心线轴对称分布。

3. 根据权利要求2所述的BGA封装基板,其特征在于,所述第一差分对焊盘是数据总线选通差分对焊盘,其用于传输第一通道的数据总线选通差分信号;所述第二差分对焊盘是阅读使能差分对焊盘,其用于传输第一通道的阅读使能差分信号。

4. 根据权利要求2所述的BGA封装基板,其特征在于,进一步包括第三差分对焊盘和第四差分对焊盘,所述第三差分对焊盘设置于所述第二通道区域并紧邻所述隔离区域,所述第四差分对焊盘设置于所述第一通道区域并紧邻所述隔离区域。

5. 根据权利要求4所述的BGA封装基板,其特征在于,所述第三差分对焊盘和所述第四差分对焊盘用于传输第二通道的信号,所述第三差分对焊盘和所述第四差分对焊盘以所述隔离区域的中心线轴对称分布。

6. 根据权利要求5所述的BGA封装基板,其特征在于,所述第三差分对焊盘是数据总线选通差分对焊盘,其用于传输第二通道的数据总线选通差分信号;所述第四差分对焊盘是阅读使能差分对焊盘,其用于传输第二通道的阅读使能差分信号。

7. 根据权利要求5所述的BGA封装基板,其特征在于,所述第一差分对焊盘、所述第二差分对焊盘、所述第三差分对焊盘和所述第四差分对焊盘位于所述第一通道区域的顶部/底部。

8. 根据权利要求7所述的BGA封装基板,其特征在于,进一步包括多个接地焊盘,所述多个接地焊盘紧邻所述第一差分对焊盘、所述第二差分对焊盘、所述第三差分对焊盘和所述第四差分对焊盘并将所述第一差分对焊盘、所述第二差分对焊盘、所述第三差分对焊盘和所述第四差分对焊盘与其他焊盘隔离。

9. 根据权利要求1所述的BGA封装基板,其特征在于,进一步包括多个第一数据接口焊盘和多个第二数据接口焊盘,所述多个第一数据接口焊盘用于传输第一通道的数据信号,所述第一数据接口焊盘呈矩阵集中设置于所述第一通道区域;所述多个第二数据接口焊盘用于传输第二通道的数据信号,所述第二数据接口焊盘呈矩阵集中设置于所述第二通道区域。

10. 根据权利要求1-9任意一项所述的BGA封装基板,其特征在于,所述BGA封装基板进一步包括两对电源焊盘,其分别设置于所述第一通道区域和所述第二通道区域的居中并以所述两对电源焊盘以所述隔离区域的中心线为对称轴对称设置。

11. 一种存储芯片BGA封装结构,其特征在于,包括:

BGA封装基板,所述BGA封装基板是权利要求1-10任意一项所述的BGA封装基板;

存储芯片,固定于所述BGA封装基板;

塑封,设置于所述BGA封装基板并覆盖所述存储芯片;
多个焊球,分别连接于所述BGA封装基板的所述多个焊盘。

BGA封装基板及存储芯片BGA封装结构

技术领域

[0001] 本申请涉及半导体封装技术,特别涉及一种BGA封装基板及存储芯片BGA封装结构。

背景技术

[0002] Flash(闪存,Flash Memory)是一种长寿命的非易失性存储器。NOR Flash和NAND Flash是现在市场上两种主要的闪存。由于NAND的结构能提供极高的单元密度,可以达到高存储密度,并且写入和擦除的速度也很快,因此目前在各类电子产品中都可以看到它的身影。随着技术的发展以及对数据传输速率的需求日益增长,用于NAND Flash的开放闪存接口(Open NAND Flash Interface,OnFi)也在不停的更新换代,比如在OnFi5.0版本中,总线带宽(I/O频率)已经达到2400MB/S。

[0003] 球栅阵列封装(Ball Grid Array Package,BGA)是目前Flash存储器应用最广泛的封装,根据需求分为BGA132和BGA152两者规格,BGA132相对于BGA152而言是左右两侧少了一排NC/NU触点。为BGA152设计的主控板很容易就可以支持BGA132。然而受制于现有管脚定义规格的局限性,目前的BGA132和BGA152在管脚分布上严重影响其在OnFi5.0及更高要求的应用。

[0004] 请参看图1,是现有技术中一种BGA封装的管脚布局图。图1显示了一种BGA152封装规格的管脚布局图。在图示的管脚布局中,DQS_t、DQS_c和RE_t、RE_c两组差分对周围被其他管脚包围,并且两组差分对物理距离太近,两者之间没有完整的地隔离,信号之间互相干扰严重,另外RE_t、RE_c这一组差分对又相隔太远,影响这一差分对信号的完整性,从而使得现有技术中闪存BGA152管脚分布不适合更高的闪存I/O频率,限制了闪存的具体应用范围。

[0005] 另外,图2显示了现有技术中另一种BGA封装(BGA132)的管脚布局,其也具有与图1所示BGA封装管脚布局类似的技术问题。

[0006] 因此,如何解决存储芯片BGA封装技术中管脚分布不合理以适应更高I/O频率是本领域技术人员亟待解决的技术问题。

发明内容

[0007] 本申请实施例的目的之一在于提供一种BGA封装基板,以解决现有技术中BGA封装差分对信号管脚布局不合理而影响传输速率的技术问题。

[0008] 第一方面,本申请提供了一种BGA封装基板,包括:

[0009] 基板,所述基板包括相对的第一表面和第二表面,其中所述第一表面用于固定存储芯片,所述第二表面包括第一通道区域、第二通道区域以及位于所述第一通道区域和所述第二通道区域之间的隔离区域;

[0010] 第一差分对焊盘,其设置于所述第一通道区域并紧邻所述隔离区域;

[0011] 第二差分对焊盘,其设置于所述第二通道区域并紧邻所述隔离区域。

[0012] 本申请实施例提供的BGA封装基板,通过将传输同一组差分对信号的第一差分对焊盘和第二差分对焊盘分别设置于第二表面上的互相隔离的第一通道区域和第二通道区域内,提高了存储芯片的差分对信号的传输质量,解决了现有技术中差分对信号管脚布局不合理而影响传输速率的技术问题。

[0013] 在一个可能的实施方式中,所述第一差分对焊盘和所述第二差分对焊盘用于传输第一通道的信号,所述第一差分对焊盘和所述第二差分对焊盘以所述隔离区域的中心线轴对称分布。

[0014] 在一个可能的实施方式中,所述第一差分对焊盘是数据总线选通差分对焊盘,其用于传输第一通道的数据总线选通差分信号;所述第二差分对焊盘是阅读使能差分对焊盘,其用于传输第一通道的阅读使能差分信号。

[0015] 在一个可能的实施方式中,所述BGA封装基板进一步包括第三差分对焊盘和第四差分对焊盘,所述第三差分对焊盘设置于所述第二通道区域并紧邻所述隔离区域,所述第四差分对焊盘设置于所述第一通道区域并紧邻所述隔离区域。

[0016] 在一个可能的实施方式中,所述第三差分对焊盘和所述第四差分对焊盘用于传输第二通道的信号,所述第三差分对焊盘和所述第四差分对焊盘以所述隔离区域的中心线轴对称分布。

[0017] 在一个可能的实施方式中,所述第三差分对焊盘是数据总线选通差分对焊盘,其用于传输第二通道的数据总线选通差分信号;所述第四差分对焊盘是阅读使能差分对焊盘,其用于传输第二通道的阅读使能差分信号。

[0018] 在一个可能的实施方式中,所述第一差分对焊盘、所述第二差分对焊盘、所述第三差分对焊盘和所述第四差分对焊盘位于所述第一通道区域的顶部/底部。

[0019] 在一个可能的实施方式中,所述BGA封装基板进一步包括多个接地焊盘,所述多个接地焊盘紧邻所述第一差分对焊盘、所述第二差分对焊盘、所述第三差分对焊盘和所述第四差分对焊盘并将所述第一差分对焊盘、所述第二差分对焊盘、所述第三差分对焊盘和所述第四差分对焊盘与其他焊盘隔离。

[0020] 在一个可能的实施方式中,所述BGA封装基板进一步包括多个第一数据接口焊盘和多个第二数据接口焊盘,所述多个第一数据接口焊盘用于传输第一通道的数据信号,所述第一数据接口焊盘呈矩阵集中设置于所述第一通道区域;所述多个第二数据接口焊盘用于传输第二通道的数据信号,所述第二数据接口焊盘呈矩阵集中设置于所述第二通道区域。

[0021] 在一个可能的实施方式中,所述BGA封装基板进一步包括两对电源焊盘,其分别设置于所述第一通道区域和所述第二通道区域的居中并以所述两对电源焊盘以所述隔离区域的中心线为对称轴对称设置。

[0022] 第二方面,本申请实施例提供了一种存储芯片BGA封装结构,其包括:

[0023] BGA封装基板,所述BGA封装基板是第一方面或第一方面中任意一种可能的实施方式中的BGA封装基板;

[0024] 存储芯片,固定于所述BGA封装基板;

[0025] 塑封,设置于所述BGA封装基板并覆盖所述存储芯片;

[0026] 多个焊球,分别连接于所述BGA封装基板的所述多个焊盘。

[0027] 本申请的BGA封装基板和存储芯片BGA封装结构通过将成对的第一差分对焊盘放在一起,并与另外一对差分对焊盘也就是第二差分对焊盘分别设置在被隔离区域所隔离的两个通道区域,使得每一对差分对焊盘可对应传输完整的差分对信号,同时不同差分对焊盘被隔离开从而降低信号干扰以降低对传输速率的影响,从而使得本申请实施例的BGA封装管脚布局更为合理可靠。

附图说明

[0028] 为了更清楚地说明本申请中的方案,下面将对本申请实施例描述中所需要使用的附图作一个简单介绍,显而易见地,下面描述中的附图是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0029] 图1是现有技术中一种BGA封装的管脚布局图;

[0030] 图2是现有技术中另一种BGA封装的管脚布局图;

[0031] 图3是本申请一种实施方式BGA封装基板的管脚分布示意图;

[0032] 图4是本申请另一种实施方式BGA封装基板的管脚分布示意图;

[0033] 图5是本申请一种实施方式的存储芯片BGA封装结构示意图。

具体实施方式

[0034] 除非另有定义,本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同;本文中在申请的说明书中所使用的术语只是为了描述具体的实施例的目的,不是旨在限制本申请;本申请的说明书和权利要求书及上述附图说明中的术语“包括”和“具有”以及它们的任何变形,意图在于覆盖不排他的包含。本申请的说明书和权利要求书或上述附图中的术语“第一”、“第二”等是用于区别不同对象,而不是用于描述特定顺序或技术含义。而本申请所说“连接”、“联接”,如无特别说明,均包括直接和间接连接(联接)。

[0035] 另外,说明书中所描述的特点、操作或者特征可以以任意适当的方式结合形成各种实施方式。同时,方法描述中的各步骤或者动作也可以按照本领域技术人员所能显而易见的方式进行顺序调换或调整。因此,说明书和附图中的各种顺序只是为了清楚描述某一个实施例,并不意味着是必须的顺序,除非另有说明其中某个顺序是必须遵循的。

[0036] 下面通过具体实施方式结合附图对本申请作进一步详细说明。在以下的实施方式中,很多细节描述是为了使得本申请能被更好的理解。然而,本领域技术人员可以毫不费力的认识到,其中部分特征在不同情况下是可以省略的,或者可以由其他元件、材料、方法所替代。在某些情况下,本申请相关的一些操作并没有在说明书中显示或者描述,这是为了避免本申请的核心部分被过多的描述所淹没,而对于本领域技术人员而言,详细描述这些相关操作并不是必要的,他们根据说明书中的描述以及本领域的一般技术知识即可完整了解相关操作。

[0037] 请参看图3,是本申请一种实施方式BGA封装基板的管脚分布示意图。该BGA封装基板包括基板1、第一差分对焊盘110和第二差分对焊盘120。基板1包括相对的第一表面和第二表面,其中第一表面用于固定存储芯片,第二表面包括第一通道区域11、第二通道区域12以及位于第一通道区域11和第二通道区域12之间的隔离区域13。第一差分对焊盘110设置

于第一通道区域11并紧邻隔离区域13。第二差分对焊盘120设置于第二通道区域12并紧邻隔离区域13。

[0038] 本申请实施例通过将传输同一组差分对信号的第一差分对焊盘和第二差分对焊盘分别设置于第二表面上由隔离区域物理隔离的第一通道区域和第二通道区域内,该隔离区域对应作为预留空间可覆铜隔离,并在第一差分对焊盘和第二差分对焊盘周围设置地管脚,形成包地,确保差分对信号的信号质量和抗干扰能力,提高了存储芯片的差分对信号的传输质量,解决了现有技术中差分对信号管脚布局不合理而影响传输速率的技术问题。

[0039] 在一些实施例中,第一差分对焊盘和第二差分对焊盘用于传输第一通道的信号,第一差分对焊盘和第二差分对焊盘以隔离区域的中心线轴对称分布。

[0040] 在一些实施例中,第一差分对焊盘是数据总线选通差分对焊盘,其用于传输第一通道的数据总线选通差分信号;第二差分对焊盘是阅读使能差分对焊盘,其用于传输第一通道的阅读使能差分信号。

[0041] 在一些实施例中,BGA封装基板进一步包括第三差分对焊盘210和第四差分对焊盘220,第三差分对焊盘210设置于第二通道区域12并紧邻隔离区域,第四差分对焊盘220设置于第一通道区域11并紧邻隔离区域。

[0042] 在一些实施例中,第三差分对焊盘和第四差分对焊盘用于传输第二通道的信号,第三差分对焊盘和第四差分对焊盘以隔离区域的中心线轴对称分布。

[0043] 在一些实施例中,第三差分对焊盘是数据总线选通差分对焊盘,其用于传输第二通道的数据总线选通差分信号;第四差分对焊盘是阅读使能差分对焊盘,其用于传输第二通道的阅读使能差分信号。

[0044] 在一些实施例中,第一差分对焊盘、第二差分对焊盘、第三差分对焊盘和第四差分对焊盘位于第一通道区域的顶部/底部。在本实施例中,第一差分对焊盘和第二差分对焊盘与第三差分对焊盘和第四差分对焊盘分别设置在第一通道区域和第二通道区域的两相对端,在具体应用布线时,向外侧布线可选择同层和其他层,增加选择了空间。

[0045] 在一些实施例中,BGA封装基板进一步包括多个接地焊盘,多个接地焊盘紧邻第一差分对焊盘、第二差分对焊盘、第三差分对焊盘和第四差分对焊盘并将第一差分对焊盘、第二差分对焊盘、第三差分对焊盘和第四差分对焊盘与其他焊盘隔离。这些接地焊盘可以对第一差分对焊盘、第二差分对焊盘、第三差分对焊盘和第四差分对焊盘形成包地,从而进一步提高其中传输的差分对信号的信号质量和抗干扰能力。

[0046] 在一些实施例中,BGA封装基板进一步包括多个第一数据接口焊盘(DQ0_0~DQ7_0)和多个第二数据接口焊盘(DQ0_1~DQ7_1),多个第一数据接口焊盘用于传输第一通道的数据信号,第一数据接口焊盘呈矩阵集中设置于第一通道区域;多个第二数据接口焊盘用于传输第二通道的数据信号,第二数据接口焊盘呈矩阵集中设置于第二通道区域。在本实施例中,第一数据接口焊盘和第二数据接口焊盘分别呈2X4布局集中放置在两排,应用中只需要两层布线即可,从而降低了布线难度。

[0047] 在一些实施例中,BGA封装基板进一步包括两对电源焊盘,其分别设置于第一通道区域和第二通道区域的居中并以两对电源焊盘以隔离区域的中心线为对称轴对称设置。

[0048] 作为一个示例,本申请实施例的BGA封装基板可以用于BGA152规格的封装结构,其具体的管脚序号和对应的管脚定义请参看表1。在表1中“管脚序号”与图3(或图1)中的行列

序号对应,例如管脚序号D3表示的是图3(或图1)D行3列对应管脚,其定义是VCCQ。表1中“原定义”一列是图1所示现有技术中对应的原有的管脚定义,“优化后”一列是图3所示本申请实施例的BGA152规格的管脚定义。

[0049] 表1

[0050]

管脚序号	原定义	优化后	管脚序号	原定义	优化后
D3	VCCQ	VCCQ	P12	VCCQ	VCCQ
D4	VCCQ	VSS	P11	VCCQ	VSS
D5	DQ3_1	DQS_1_t	P10	DQ3_0	DQS_0_t
D6	VSS	DQS_1_c	P9	VSS	DQS_0_c
E3	VSS	VCCQ	N12	VSS	VCCQ
E4	DQ2_1	VSS	N11	DQ2_0	VSS
E5	VSS	VSS	N10	VSS	VSS
E6	DQS_1_t	VSS	N9	DQS_0_t	VSS
F3	DQ0_1	DQ0_1	M12	DQ0_0	DQ0_0
F4	DQ1_1	DQ1_1	M11	DQ1_0	DQ1_0
G3	VSS	DQ2_1	L12	VSS	DQ2_0
G4	VCCQ	DQ3_1	L11	VCCQ	DQ3_0
F5	DQS_1_c	DQ4_1	M10	DQS_0_c	DQ4_0
F6	RE_1_c	DQ5_1	M9	RE_0_c	DQ5_0
G5	ALE_1	DQ6_1	L10	ALE_0	DQ6_0
G6	CLE_1	DQ7_1	L9	CLE_0	DQ7_0
H3	NU	CE0_1	K12	NU	CE0_0
H4	NU	CE1_1	K11	NU	CE1_0
H5	WP_1	CE2_1	K10	WP_0	CE2_0
H6	NU	CE3_1	K9	NU	CE3_0
J3	VSS	VCC	J12	VSS	VCC
J4	VCC	VCC	J11	VCC	VCC
J5	RB0_0	RB0_1	J10	RB0_1	RB0_0
J6	RB1_0	RB1_1	J9	RB1_1	RB1_0
K3	RM_0	RM_1	H12	RM_1	RM_0
K4	ZQ_0	VSS	H11	ZQ_1	VSS
K5	CE0_0	VREFQ_1	H10	CE0_1	VREFQ_0
K6	CE1_0	WP_1	H9	CE1_1	WP_0
L3	VSS	VCCQ	G12	VSS	VCCQ
L4	VCCQ	VCCQ	G11	VCCQ	VCCQ
L5	CE2_0	NU	G10	CE2_1	NU
L6	CE3_0	ZQ_1	G9	CE3_1	ZQ_0

[0051]

M3	DQ7_0	ALE_1	F12	DQ7_1	ALE_0
M4	DQ6_0	CLE_1	F11	DQ6_1	CLE_0
M5	VREFQ_0	RM11	F10	VREFQ_1	RM10
M6	WE_1	WE_1	F9	WE_1	WE_0
N3	VSS	VCCQ	E12	VSS	VCCQ
N4	DQ5_0	VSS	E11	DQ5_1	VSS
N5	VSS	VSS	E10	VSS	VSS
N6	RE_0_t	VSS	E9	RE_1_t	VSS
P3	VCCQ	VCCQ	D12	VCCQ	VCCQ
P4	VCCQ	VSS	D11	VCCQ	VSS
P5	DQ4_0	RE_0_t	D10	DQ4_1	RE_1_t
P6	VCC	RE_0_c	D9	VCC	RE_1_c

[0052] 请参看图4,是本申请另一种实施方式BGA封装基板的管脚分布示意图。与图3所示实施例类似,并具有对应的效果,主要区别在于本例中BGA封装为BGA132规格,一共有132个焊盘(焊球、管脚)。具体的管脚序号和对应的管脚定义参看表2,其中“原定义”一列是图2所示现有技术中对应的管脚定义,“优化后”一列是图4所示本申请实施例的BGA132管脚定义。

[0053] 表2

[0054]

管脚序号	原定义	优化后	管脚序号	原定义	优化后
D2	VCCQ	VCCQ	P11	VCCQ	VCCQ
D3	VCCQ	VSS	P10	VCCQ	VSS
D4	DQ3_1	DQS_1_t	P9	DQ3_0	DQS_0_t
D5	VSS	DQS_1_c	P8	VSS	DQS_0_c
E2	VSS	VCCQ	N11	VSS	VCCQ
E3	DQ2_1	VSS	N10	DQ2_0	VSS
E4	VSS	VSS	N9	VSS	VSS
E5	DQS_1_t	VSS	N8	DQS_0_t	VSS
F2	DQ0_1	DQ0_1	M11	DQ0_0	DQ0_0
F3	DQ1_1	DQ1_1	M10	DQ1_0	DQ1_0

	G2	VSS	DQ2_1	L11	VSS	DQ2_0
	G3	VCCQ	DQ3_1	L10	VCCQ	DQ3_0
	F4	DQS_1_c	DQ4_1	M9	DQS_0_c	DQ4_0
	F5	RE_1_c	DQ5_1	M8	RE_0_c	DQ5_0
	G4	ALE_1	DQ6_1	L9	ALE_0	DQ6_0
	G5	CLE_1	DQ7_1	L8	CLE_0	DQ7_0
	H2	NU	CE0_1	K11	NU	CE0_0
	H3	NU	CE1_1	K10	NU	CE1_0
	H4	WP_1	CE2_1	K9	WP_0	CE2_0
	H5	NU	CE3_1	K8	NU	CE3_0
	J2	VSS	VCC	J11	VSS	VCC
	J3	VCC	VCC	J10	VCC	VCC
	J4	RB0_0	RB0_1	J9	RB0_1	RB0_0
	J5	RB1_0	RB1_1	J8	RB1_1	RB1_0
	K2	RM_0	RM_1	H11	RM_1	RM_0
	K3	ZQ_0	VSS	H10	ZQ_1	VSS
[0055]	K4	CE0_0	VREFQ_1	H9	CE0_1	VREFQ_0
	K5	CE1_0	WP_1	H8	CE1_1	WP_0
	L2	VSS	VCCQ	G11	VSS	VCCQ
	L3	VCCQ	VCCQ	G10	VCCQ	VCCQ
	L4	CE2_0	NU	G9	CE2_1	NU
	L5	CE3_0	ZQ_1	G8	CE3_1	ZQ_0
	M2	DQ7_0	ALE_1	F11	DQ7_1	ALE_0
	M3	DQ6_0	CLE_1	F10	DQ6_1	CLE_0
	M4	VREFQ_0	RM11	F9	VREFQ_1	RM10
	M5	WE_1	WE_1	F8	WE_1	WE_0
	N2	VSS	VCCQ	E11	VSS	VCCQ
	N3	DQ5_0	VSS	E10	DQ5_1	VSS
	N4	VSS	VSS	E9	VSS	VSS
	N5	RE_0_t	VSS	E8	RE_1_t	VSS
	P2	VCCQ	VCCQ	D11	VCCQ	VCCQ
	P3	VCCQ	VSS	D10	VCCQ	VSS
	P4	DQ4_0	RE_0_t	D9	DQ4_1	RE_1_t
	P5	VCC	RE_0_c	D8	VCC	RE_1_c

[0056] 请参看图5,是本申请一种实施方式的存储芯片BGA封装结构示意图。存储芯片BGA封装结构10包括存储芯片100、BGA封装基板102、焊球104和塑封106。存储芯片100具体可以

是NAND Flash芯片,存储芯片100固定于BGA封装基板102的一个表面(可以定义为第一表面),BGA封装基板102的另一个表面(可以定义为第二表面)上设置有多个与存储芯片102各个管脚连通的焊盘,每个焊盘对应连接一个焊球104,通过焊球104可以将整个BGA封装结构的存储芯片连接到PCB上,从而与PCB上的其他电子元件(比如CPU等)连通产生完整的功能应用电路。塑封106设置于BGA封装基板的第一表面并覆盖存储芯片100,以起到对存储芯片100的封装保护。

[0057] 本申请实施例的BGA封装基板和存储芯片BGA封装结构,其通过将成对的第一差分对焊盘放在一起,并与另外一对差分对焊盘也就是第二差分对焊盘分别设置在被隔离区域所隔离的两个通道区域,使得每一对差分对焊盘可对应传输完整的差分对信号,同时不同差分对焊盘被隔离从而降低信号干扰以降低对传输速率的影响,从而使得本申请实施例的BGA封装管脚布局更为合理可靠。

[0058] 总而言之,本申请实施例提高了存储芯片的差分对信号的传输质量,同时优化了接口焊盘布局,提高应用中电路板布线效率。

[0059] 应该理解的是,虽然附图的流程图中的各个步骤按照箭头的指示依次显示,但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明,这些步骤的执行并没有严格的顺序限制,其可以以其他的顺序执行。而且,附图的流程图中的至少一部分步骤可以包括多个子步骤或者多个阶段,这些子步骤或者阶段并不必然是在同一时刻执行完成,而是可以在不同的时刻执行,其执行顺序也不必然是依次进行,而是可以与其他步骤或者其他步骤的子步骤或者阶段的至少一部分轮流或者交替地执行。

[0060] 本文参照了各种示范实施例进行说明。然而,本领域的技术人员将认识到,在不脱离本文范围的情况下,可以对示范性实施例做出改变和修正。例如,各种操作步骤以及用于执行操作步骤的组件,可以根据特定的应用或考虑与系统的操作相关联的任何数量的成本函数以不同的方式实现(例如一个或多个步骤可以被删除、修改或结合到其他步骤中)。

[0061] 虽然在各种实施例中已经示出了本文的原理,但是许多特别适用于特定环境和操作要求的结构、布置、比例、元件、材料和部件的修改可以在不脱离本披露的原则和范围内使用。以上修改和其他改变或修正将被包含在本文的范围之内。

[0062] 前述具体说明已参照各种实施例进行了描述。然而,本领域技术人员将认识到,可以在不脱离本披露的范围的情况下进行各种修正和改变。因此,对于本披露的考虑将是说明性的而非限制性的意义上的,并且所有这些修改都将被包含在其范围内。同样,有关于各种实施例的优点、其他优点和问题的解决方案已如上所述。然而,益处、优点、问题的解决方案以及任何能产生这些的要素,或使其变得更明确的解决方案都不应被解释为关键的、必需的或必要的。本文中所用的术语“包括”和其任何其他变体,皆属于非排他性包含,这样包括要素列表的过程、方法或设备不仅包括这些要素,还包括未明确列出的或不属于该过程、方法、系统或设备的其他要素。此外,本文中所使用的术语“耦合”和其任何其他变体都是指物理连接、电连接、磁连接、光连接、通信连接、功能连接和/或任何其他连接。

[0063] 具有本领域技术的人将认识到,在不脱离本申请的基本原理的情况下,可以对上述实施例的细节进行许多改变。因此,本申请的范围应根据以下权利要求确定。

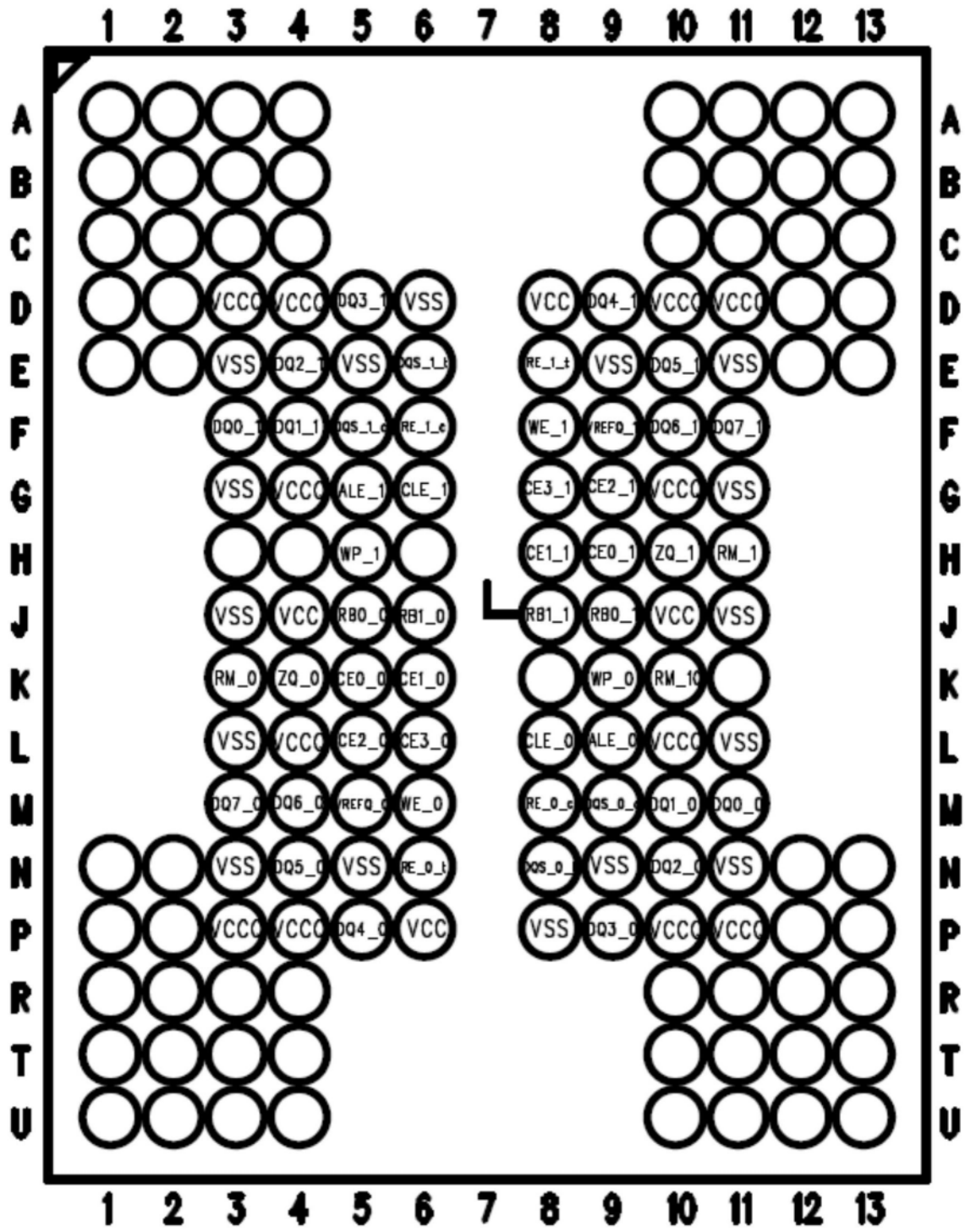


图1

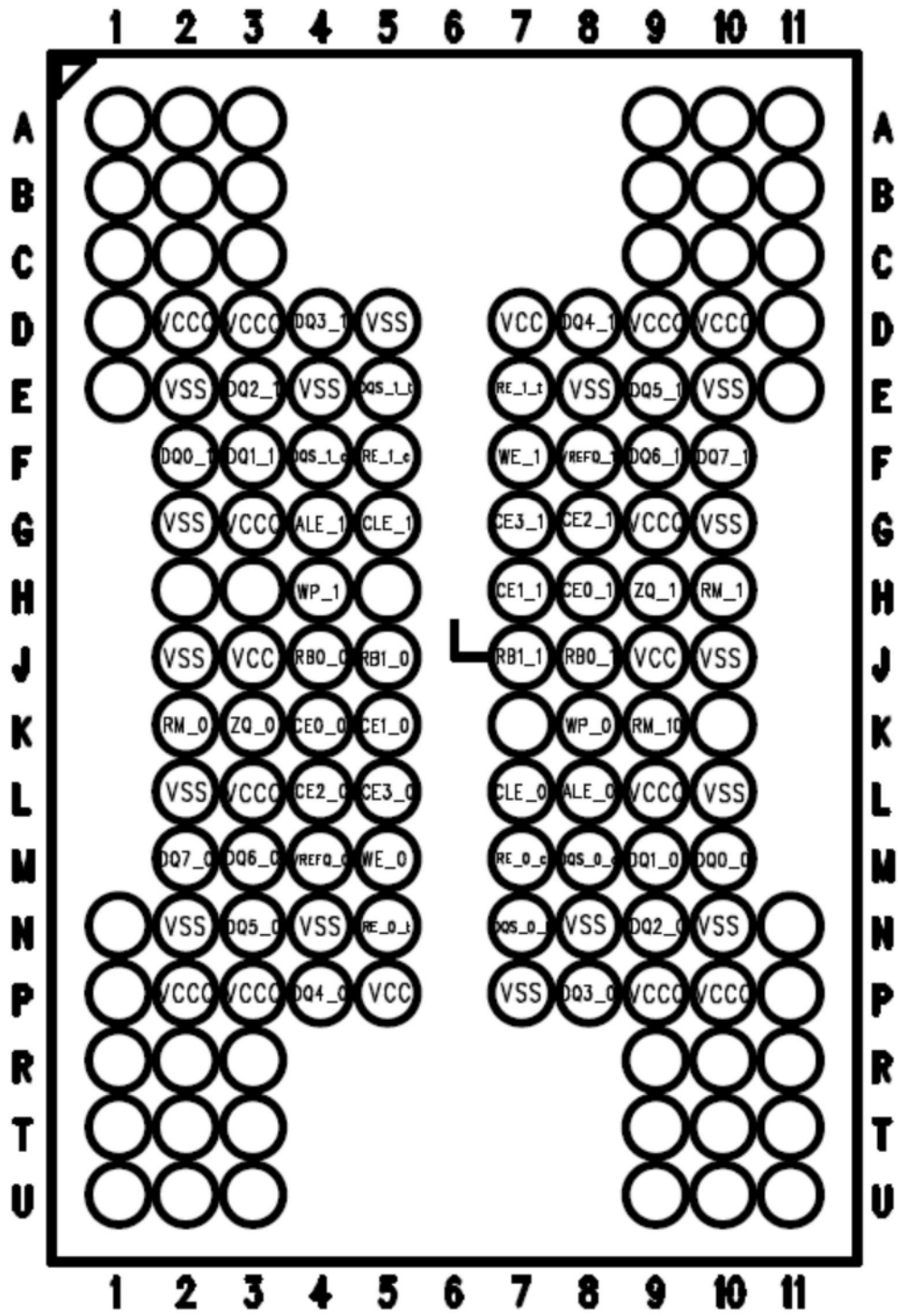


图2

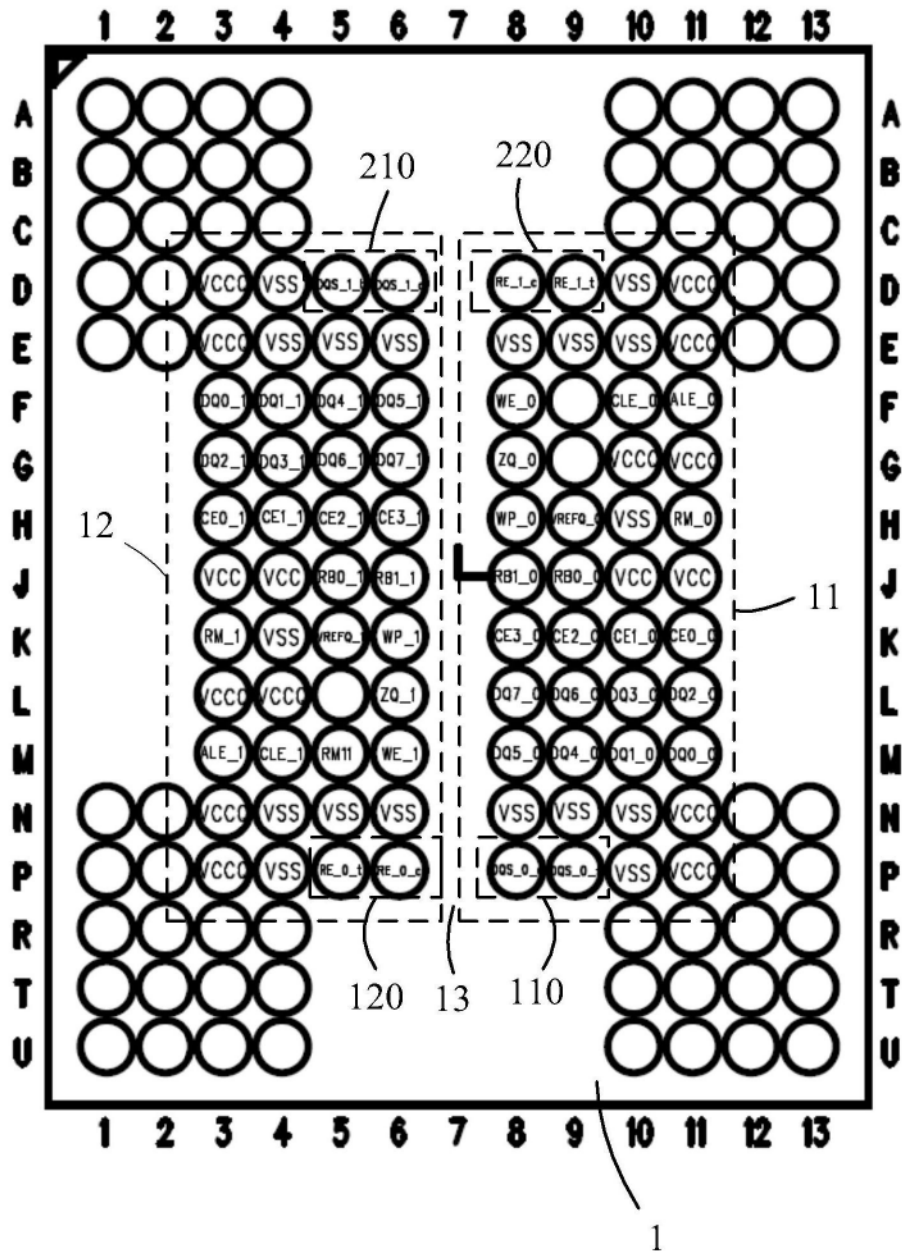


图3

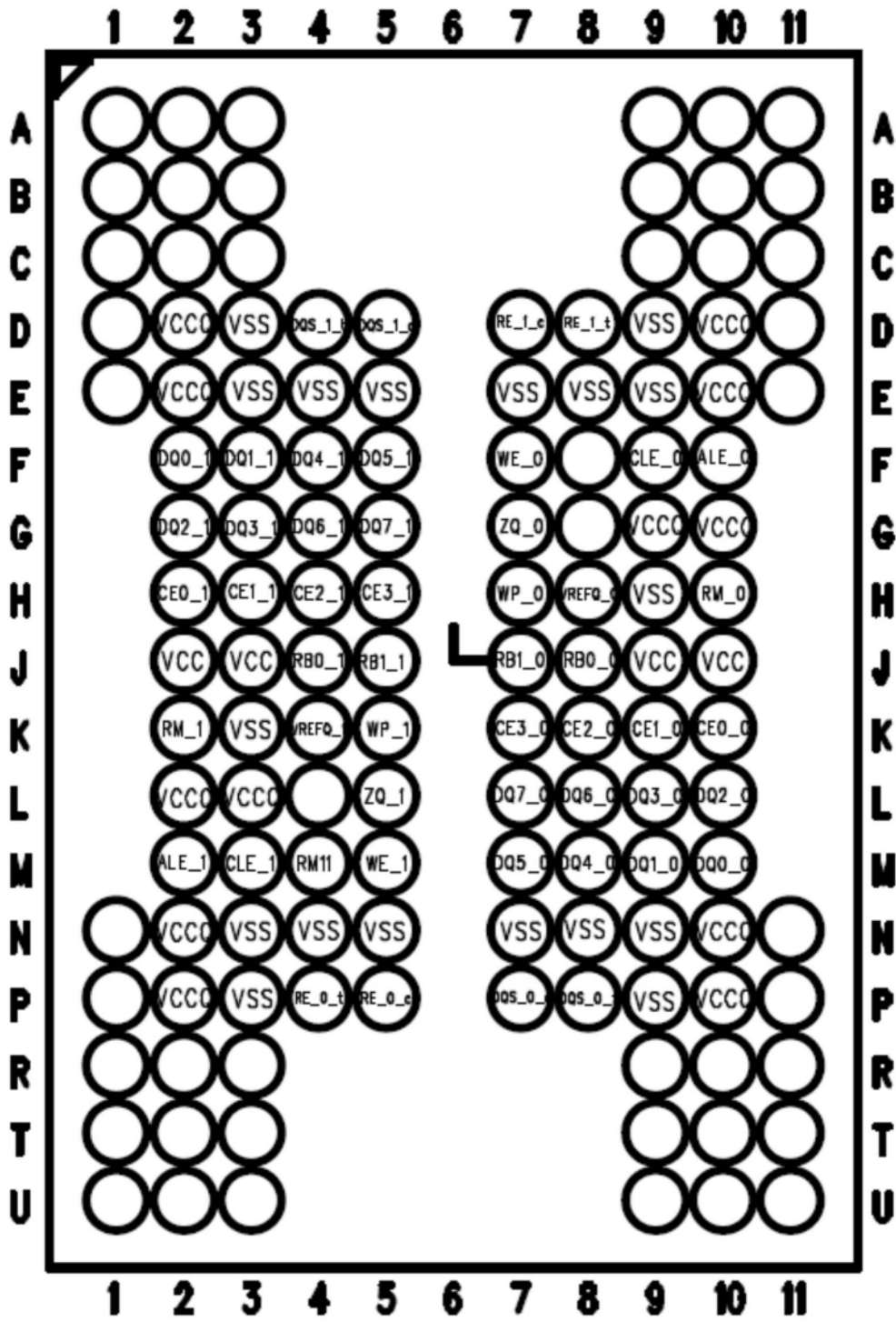


图4

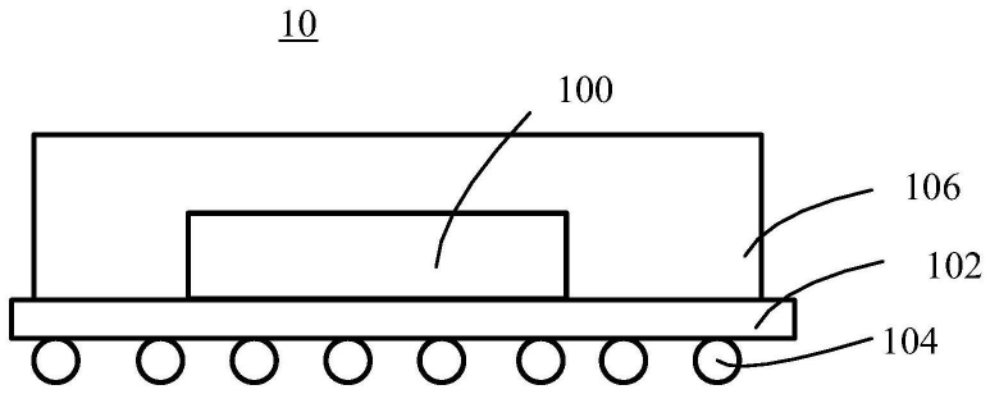


图5