



# (12)发明专利

(10)授权公告号 CN 104008771 B

(45)授权公告日 2017.08.08

(21)申请号 201310253100.0

(51)Int.Cl.

(22)申请日 2013.06.24

G11C 11/02(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 104008771 A

(56)对比文件

CN 1404068 A, 2003.03.19,

CN 101136244 A, 2008.03.05,

US 2009027952 A1, 2009.01.29,

US 2006098473 A1, 2006.05.11,

(43)申请公布日 2014.08.27

(30)优先权数据

13/773,366 2013.02.21 US

审查员 夏雪

(73)专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72)发明人 丁裕伟 黄国钦 蔡竣扬

(74)专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社杲 孙征

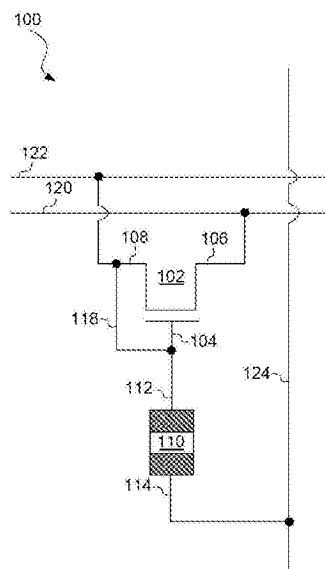
权利要求书2页 说明书7页 附图8页

(54)发明名称

具有去耦的读/写路径的存储元件

(57)摘要

本发明公开了一种具有去耦的读/写路径的存储元件,包括开关、连接在所述开关的栅极和第三线之间的电阻开关装置以及位于所述开关的栅极和第二线之间的传导路径,其中所述开关具有与第一线连接的第一端子和与第二线连接的第二端子。



1. 一种具有去耦的读/写路径的存储元件,所述存储元件包括:  
开关,包括栅极、与电源线连接的第一端子以及与字线连接的第二端子;  
电阻开关装置,连接在所述开关的栅极和位线之间;以及  
传导路径,位于所述开关的栅极和所述字线之间。
2. 根据权利要求1所述的存储元件,其中,所述电阻开关装置包括金属-绝缘体-金属开关装置。
3. 根据权利要求1所述的存储元件,其中,所述电阻开关装置包括磁阻式隧道结(MTJ)装置。
4. 根据权利要求1所述的存储元件,其中,所述存储元件的读路径与所述存储元件的写路径取道所述存储元件中的不同路径。
5. 根据权利要求1所述的存储元件,进一步包括选择性地施加在所述字线和所述位线之间的电压源,使得电流流过所述传导路径但并不流过所述开关。
6. 根据权利要求1所述的存储元件,进一步包括选择性地施加在所述电源线和所述位线之间的电压源,使得电流流过所述传导路径和所述开关。
7. 根据权利要求1所述的存储元件,其中,所述电源线和所述位线之间施加的电压值使得所述电阻开关装置的状态可被感测放大器读出。
8. 一种存储阵列,包括:  
多条位线;  
多条字线;  
多条电源线;以及  
多个存储元件,每个所述存储元件都包括:  
开关,包括:  
栅极;  
与电源线连接的第一端子;和  
与字线连接的第二端子;  
电阻开关装置,连接在所述开关的栅极和位线之间;以及  
传导路径,位于所述开关的栅极和字线之间。
9. 根据权利要求8所述的存储阵列,其中,所述电阻开关装置包括金属-绝缘体-金属开关装置。
10. 根据权利要求8所述的存储阵列,其中,所述电阻开关装置包括磁阻式隧道结(MTJ)装置。
11. 根据权利要求8所述的存储阵列,其中,所述存储元件的读路径与所述存储元件的写路径取道所述存储元件中的不同路径。
12. 根据权利要求8所述的存储阵列,进一步包括选择性地施加在字线和位线之间的电压源,使得电流流过所述传导路径而非所述字线和所述位线之间的交叉点处的存储元件的所述开关。
13. 根据权利要求8所述的存储阵列,进一步包括要选择性地施加在电源线和位线之间的电压源,使得电流流过所述传导路径以及所述位线和所述电源线之间的交叉点处的存储元件的所述开关。

14. 根据权利要求13所述的存储阵列,其中,所述电源线和所述位线之间施加的电压值使得所述电阻开关装置的状态能够被感测放大器读出。

15. 根据权利要求13所述的存储阵列,其中,所述存储阵列的结构使得:相比于流过被选择的存储元件的所述电阻开关装置的电流,由感测放大器所感测的因潜行电流产生的电流是微不足道的。

16. 一种操作具有去耦的读/写路径的存储元件的方法,所述方法包括:

为了对所述存储元件进行写入,在与所述存储元件中的电阻开关装置的第一端子连接的位线和与所述存储元件中的开关的第一端子连接的字线之间施加电压,所述开关的栅极连接至所述电阻开关装置的第二端子;以及

为了读出所述存储元件的状态,在所述位线和与所述开关的第二端子连接的电源线之间施加电压,

其中,所述存储元件包括位于所述电阻开关装置的第二端子和所述开关的第一端子之间的传导路径。

17. 根据权利要求16所述的方法,其中,在对所述存储元件进行写入时,电流流过所述传导路径但不流过所述开关。

18. 根据权利要求16所述的方法,其中,在对所述存储元件进行读取时,电流流过所述传导路径和所述开关。

19. 根据权利要求16所述的方法,其中,所述电阻开关装置包括金属-绝缘体-金属开关装置。

20. 根据权利要求16所述的方法,其中,所述电阻开关装置包括磁阻式隧道结(MTJ)装置。

## 具有去耦的读/写路径的存储元件

### 技术领域

[0001] 本发明涉半导体技术领域,更具体地,涉及一种具有去耦的读/写路径的存储元件。

### 背景技术

[0002] 日益频繁需求具有更大存储容量的更小器件。作为一种在更小的空间创建更大存储容量的机制,已在电阻存储器领域中发起一些努力。电阻存储系统使用能够基于所施加的条件来改变并且维持其电阻值的电阻元件。例如,可使用高电阻状态表示逻辑“1”而使用低电阻状态来表示逻辑“0”。

[0003] 这样的电阻存储元件经常构建为存储元件的阵列,并且每个元件被布置在交叉传导线上。为了设置或读出阵列中特定存储元件的状态,选择连接至该存储元件的传导线。所选择的线可具有各种所施加的电气条件以便设置或读出目标存储元件的电阻状态。

[0004] 例如,可施加电压至适当的传导线以读出目标存储元件的状态。该电压导致电流流过目标存储元件。基于该电流值,能够确定存储元件的电阻状态。然而,电流也将流过传导线至未选择的存储元件,并会不利地影响对流过目标存储元件的电流值进行测量的感测操作。该电流通常被称作潜行电流(sneak current)。亟需设计避免潜行电流问题的存储元件和阵列结构。

### 发明内容

[0005] 为了解决现有技术中所存在的问题,根据本发明的一个方面,提供了一种具有去耦的读/写路径的存储元件,所述存储元件包括:

[0006] 开关,包括栅极、与第一线连接的第一端子以及与第二线连接的第二端子;

[0007] 电阻开关装置,连接在所述开关的栅极和第三线之间;以及

[0008] 传导路径,位于所述开关的栅极和所述第二线之间。

[0009] 在可选实施例中,所述电阻开关装置包括金属-绝缘体-金属开关装置。

[0010] 在可选实施例中,所述电阻开关装置包括磁阻式隧道结(MTJ)装置。

[0011] 在可选实施例中,所述存储元件的读路径与所述存储元件的写路径取道所述存储元件中的不同路径。

[0012] 在可选实施例中,所述存储元件进一步包括选择性地施加在所述第二线和所述第三线之间的电压源,使得电流流过所述传导路径但并不流过所述开关。

[0013] 在可选实施例中,所述存储元件进一步包括选择性地施加在所述第一线和所述第三线之间的电压源,使得电流流过所述传导路径和所述开关。

[0014] 在可选实施例中,所述第一线和所述第三线之间施加的电压值使得所述电阻开关装置的状态可被感测放大器读出。

[0015] 根据本发明的另一方面,还提供了一种存储阵列,包括:

[0016] 多条位线;

- [0017] 多条字线;
- [0018] 多条电源线;以及
- [0019] 多个存储元件,每个所述存储元件都包括:
- [0020] 开关,包括:栅极;与电源线连接的第一端子;和与字线连接的第二端子;
- [0021] 电阻开关装置,连接在所述开关的栅极和位线之间;以及
- [0022] 传导路径,位于所述开关的栅极和字线之间。
- [0023] 在可选实施例中,所述电阻开关装置包括金属-绝缘体-金属开关装置。
- [0024] 在可选实施例中所述电阻开关装置包括磁阻式隧道结 (MTJ) 装置。
- [0025] 在可选实施例中,所述存储元件的读路径与所述存储元件的写路径取道所述存储元件中的不同路径。
- [0026] 在可选实施例中,所述存储阵列进一步包括选择性地施加在字线和位线之间的电压源,使得电流流过所述传导路径而非所述字线和所述位线之间的交叉点处的存储元件的所述开关。
- [0027] 在可选实施例中,所述存储阵列进一步包括要选择性地施加在电源线和位线之间的电压源,使得电流流过所述传导路径以及所述位线和所述电源线之间的交叉点处的存储元件的所述开关。
- [0028] 在可选实施例中,所述电源线和所述位线之间施加的电压值使得所述电阻开关装置的状态能够被感测放大器读出。
- [0029] 在可选实施例中,所述存储阵列的结构使得:相比于流过被选择的存储元件的所述电阻开关装置的电流,由感测放大器所感测的因潜行电流产生的电流是微不足道的。
- [0030] 根据本发明的另一方面,还提供了一种操作具有去耦的读/写路径的存储元件的方法,所述方法包括:
- [0031] 为了对所述存储元件进行写入,在与所述存储元件中的电阻开关装置的第一端子连接的位线和与所述存储元件中的开关的第一端子连接的字线之间施加电压,所述开关的栅极连接至所述电阻开关装置的第二端子;以及
- [0032] 为了读出所述存储元件的状态,在所述位线和与所述开关的第二端子连接的所述电源线之间施加电压,
- [0033] 其中,所述存储元件包括位于所述电阻开关装置的第二端子和所述开关的第一端子之间的传导路径。
- [0034] 在可选实施例中,在对所述存储元件进行写入时,电流流过所述传导路径但不流过所述开关。
- [0035] 在可选实施例中,在对所述存储元件进行写入时,电流流过所述传导路径和所述开关。
- [0036] 在可选实施例中,所述电阻开关装置包括金属-绝缘体-金属开关装置。
- [0037] 在可选实施例中,所述电阻开关装置包括磁阻式隧道结 (MTJ) 装置。

#### 附图说明

[0038] 当结合附图进行阅读时,根据下面详细的描述可以更好地理解本发明。应该强调的是,根据工业中的标准实践,各种部件没有被按比例绘制并且仅仅用于说明的目的。实际

上,为了清楚的讨论,各种部件的数量和尺寸可以被任意增加或减少。

[0039] 图1是示出根据本文描述的原理的一个实例的具有去耦读/写路径的示例性存储元件的图。

[0040] 图2是示出根据本文描述的原理的一个实例的用于具有去耦读/写路径的存储元件的示例性写处理的图。

[0041] 图3是示出根据本文描述的原理的一个实例的用于具有去耦读/写路径的存储元件的示例性读处理的图。

[0042] 图4是示出根据本文描述的原理的一个实例的用于具有去耦读/写路径的存储元件的示例性操作的表。

[0043] 图5是示出根据本文描述的原理的一个实例的流过存储元件阵列的示例性潜行电流的图。

[0044] 图6是示出根据本文描述的原理的一个实例的用于具有去耦读/写路径的存储元件的读操作的示例性定时的图表。

[0045] 图7是示出根据本文描述的原理的一个实例的具有去耦读/写路径的存储元件的示例性存储阵列的图。

[0046] 图8是示出根据本文描述的原理的一个实例的用于操作具有去耦读/写路径的存储元件的示例性方法的流程图。

### 具体实施方式

[0047] 可以理解,下面公开的内容提供了许多不同的实施例或者实例,用以实现本发明的不同特征。下面描述组件或者布置的具体实例以简化本发明。当然它们仅为举例说明而并不旨在限制本发明。此外,说明书中所跟随的第二处理之前的第一处理的执行可包括在第一处理之后立即执行第二处理的实施例,也可以包括在第一和第二处理之间执行另外的处理的实施例。为了简化和清楚起见,各种部件也可以以不同的比例任意绘制。此外,第一部件形成在第二部件上方或者在第二部件上可以包括第一部件与第二部件形成为直接接触的实施例,也可以包括在第一部件和第二部件之间形成另外部件以使得第一部件和第二部件不直接接触的实施例。

[0048] 此外,在此可使用诸如“在…之下”、“在…下面”、“下面的”、“在…上面”、以及“上面的”等的空间关系术语,以容易地描述如图中所示的一个元件或部件与另一元件或部件的关系。除图中所示的方位之外,空间关系术语将包括使用或操作中的装置的各种不同的方位。例如,如果翻转图中所示的装置,则被描述为在其他元件或部件“下面”或“之下”的元件将被定位为在其他元件或部件的“上面”。因此,示例性术语“在…下面”能够包括在上面和在下面的方位。装置可以以其它方式定位(旋转90度或在其他方位),并且通过在此使用的空间关系描述符进行相应地解释。

[0049] 图1是示出具有去耦的读/写路径的示例性存储元件的图。根据本实例,存储元件100包括开关102和电阻开关装置110。开关102可为诸如金属氧化物半导体场效应晶体管(MOSFET)的晶体管。电阻开关装置110可为金属-绝缘体-金属电阻装置或磁阻式隧道结(MTJ)装置。

[0050] 存储元件100设置在字线122和位线124之间的交叉点处。电源线120也与字线122

平行延伸。存储元件通常被组织为以多行和多列布置的阵列。字线驱动器将选择性地维持(assert)字线,该字线与存储元件的一行连接,其中该行存储元件中的每个都存储一些信息。当字线被维持时,每个所连接的存储元件提供其存储的有关一条或多条位线的信息。位线提供给感测放大器,感测放大器用于选择阵列的一列或多列并相应地对所存储的信息进行放大。此处所描述的位线和字线的构造仅仅是存储阵列的一个实施例。

[0051] 根据本实例,开关102的第一端子106连接至电源线120。此外,开关102的第二端子108连接至字线122。开关102的栅极104连接至电阻开关装置的第一端子112。而且,传导路径118在第二端子108和栅极104之间延伸。传导路径118是独立于开关的路径,其允许电流在不流过开关102的端子106、108的情况下流过存储元件。

[0052] 在本实例中,开关102是NMOS装置。当向栅极104施加高电压时,该装置处于ON状态。当处于ON状态时,电流允许通过通常被称作源端子和漏端子的两个端子106、108之间。当向栅极104施加相对低的电压信号时,则NMOS开关102处于OFF状态。在该状态下,电流被禁止在两个端子106、108之间流动。

[0053] 电阻开关装置110设置在开关102和位线124之间。具体地,电阻开关装置110的第一端子112与开关102的栅极104相连接。电阻开关装置110的第二端子114与位线124相连接。

[0054] 在一些实例中,电阻开关装置110是金属-绝缘体-金属电阻开关装置。该装置显现出基于当前和过去电气条件两者的电阻状态。例如,所施加的特定电压可将电压开关装置110设为高电阻状态。此外,相反极性的足够的电压可将电压开关装置设为相对低的电压状态。

[0055] 金属-绝缘体-金属电阻开关装置可包括位于顶部电极和底部电极之间的介电层。电极可由诸如金属或金属氮化物等的多种导电材料制成。介电层可由几种金属氧化物中的一种(诸如二氧化钛(TiO<sub>2</sub>))形成。

[0056] 在一些实例中,电阻开关装置110为MTJ装置,其基于装置内的磁性材料的状态改变其电阻状态。MTJ装置包括位于两个铁磁层之间的薄电阻层。一个磁性层可被称为基准层。另一个磁性层可被称为自由层。基准层的磁矩通常维持相同的方向。相反地,通过在结两端施加电压,自由层的磁矩的方向可被反转。当基准层和自由层的磁矩方向是相同时,电子可以更容易地以隧道方式穿透薄电阻层。在此状态下,结具有相对较低的电阻率。通过施加具有相反极性的电压,自由层的磁矩可被转换为与基准层的磁矩方向相反。在此状态下,电子以隧道方式穿透电阻层更加困难,从而导致结具有相对较高的电阻率。不同的电阻状态可用于存储逻辑值。

[0057] 图2是示出用于具有去耦的读/写路径的存储元件的示例性写处理的图。在一个实例中,可通过对字线122施加写电压202并同时位线124接地以将电阻开关装置110的状态设置为逻辑“0”。这样做将导致电流206流过传导路径118并且流过电阻开关装置110。因为写电压202的施加使开关102设置为ON状态,所以电源线120被设置为浮置。这确保了电流206不会流过开关102并且替代地将会流过电阻开关装置110。因为电流206不流经晶体管,所以在写路径中具有更小的电阻,并因而可以获得更大的写电流。

[0058] 为了使电阻开关装置110的状态设置为表示逻辑“1”,将写电压204施加至位线124并同时位线122接地。电源线120保持浮置。在此情况下,电流206将从位线124流出,经过

电阻开关装置110和经过传导路径118,并流入字线122。因为电流206以相反方向流动,因此将会将电阻开关装置设置为不同的状态,高电阻状态或低电阻状态,这取决于存储元件100的设计。

[0059] 图3是示出用于具有去耦的读/写路径的存储元件的示例性读处理的图。根据本实例,可通过施加读电压302至位线并将电源线120接地来确定电阻开关装置110的状态。字线122被留为浮置。读电压302的值可大致小于写电压的值。

[0060] 在施加读电压302的情况下,电流306流过位线124并流过电阻开关装置110。该电流306也将开关102设置为0N状态。因为字线122是浮置的并且电压线120接地,所以电流306流过传导路径118并接着流过开关102的端子106、108至电源线120。这样,相比于写操作期间,电流306在读操作期间经由不同的路径。因此,读路径与写路径是去耦的。

[0061] 电流值取决于电阻开关装置的电阻状态。具体地,如果电阻开关装置110处于低电阻状态,则读电流306将会相对高。相反地,如果电阻开关装置110处于高电阻状态,则读电流306将会相对低。可使用感测放大器来测量读电流306并确定电阻开关装置110的状态,并进而确定存储在存储元件100中的逻辑值。

[0062] 图4是示出用于具有去耦的读/写路径的存储元件的示例性操作的操作表400。该表示例说明了被选择的和未被选择的线如何连接以对具有在此描述的存储元件的存储阵列进行各种操作。操作表400包括写“1”列402,写“0”列404,以及读列406。每列被分为被选择列和未被选择列。具体地,写“1”列402包括被选择列414以及未被选择列416。同样地,写“0”列404包括被选择列418和未被选择列420。读列406也包括被选择列422和未被选择列424。

[0063] 例如写“1”操作可将电阻开关装置置于高电压状态。如上文所述,上述操作可通过施加低电压至与目标存储元件连接的字线并且施加高电压至与目标存储元件连接的位线来实现。此外,将电源线设置为浮置。未被选择的线,即连接至除目标存储元件之外的存储元件的线,也如操作表400中定义的那样设置。具体地,非目标存储元件的字线和位线连接至中间电压电平。这减少了被选择的线和未被选择的线之间的电压差并因而减小了可能不利影响未被选择的存储元件的电阻状态的潜行电流。

[0064] 在一个实例中,高电压可为VDD或集成电路的操作电压,存储阵列为所述集成电路的一部分。此外,低电压可接地。中间电平电压可为大约高电压电平或VDD的一半。

[0065] 写“0”操作与写“1”操作类似。不同之处在于连接至目标存储元件的字线具有连接的高电压,同时连接至目标存储元件的位线具有连接的低电压。这产生与写“1”操作期间流过电阻开关装置的电流的方向相反的流过电阻开关装置的电流。

[0066] 对于读操作,连接至被选择的存储元件的字线现被设置为浮置。位线连接至中间电压电平而电源线连接至低电压电平。如上文所述,这会导致电流流过电阻开关装置、流过传导路径,并且流过开关端子。未选择的线都设置为浮置。

[0067] 图5是示出流过存储元件阵列的示例性潜行电流的图。如上文所述,潜行电流可能导致读处理期间的问题。图5示例了用于说明潜行路径的简化阵列。根据本实例,将读电压施加至被选择的存储元件502的位线516。这导致期望的电流506流过被选择的存储元件502并沿着被选择的存储元件502的被选择的线510。

[0068] 作为未预料到的结果,施加读电压也导致潜行电流508流过未被选择的存储元件



504以及未被选择的线512、514。如果潜行电流不被计算在内,则会不利地影响读电流506的测量,并且这会使得难以确定被选择的存储元件502的电阻状态。

[0069] 体现本文描述的原理的存储元件具有受潜行电流较小影响的更高性能。具体地,因为读路径穿过开关端子,所以该路径具有更高的RC时间常数。即,相比于读电流506,潜行电流508需要更长的时间对被选择的存储元件502的开关的栅极进行充电。因此,如果读操作被合适地定时,则潜行电流不会成为重要问题。

[0070] 图6是示出用于具有去耦的读/写路径的存储元件的读操作的示例性定时的定时图600。定时图600的纵轴602表示被选择的存储元件的开关栅极处的电压电平。横轴604表示时间。第一线606表示因潜行电流而产生的栅极处的电压。第二线608表示因流过处于高电阻状态的被选择的存储元件的读电流而产生的栅极处的电压。第三线610表示因流过处于低电阻状态的被选择的存储元件的读电流而产生的栅极处的电压。虚线612表示通过感测放大器测量读电流的值时的时间或定时。在施加读电压之后的足够长时间但在潜行电流有足以对栅极过度充电并不利影响该测量的时间之前来完成该操作。

[0071] 图7是示出具有去耦的读/写路径的存储元件的示例性存储阵列700的图。根据某一示例性实例,存储阵列700可包括被控制电路环绕的存储元件的设置702。用于字线的控制电路704可置于阵列700的一侧。电路704包括选择并施加信号至阵列700内的特定字线的各种组件。

[0072] 根据本实例,用于电源线的控制电路706可置于阵列的与字线控制电路704相对的一侧。电源线电路706包括选择并施加某些信号至阵列内的特定电源线的各种组件。

[0073] 根据本实例,用于位线的控制电路710可置于阵列的与字线控制电路704和电源线控制电路706不同的一侧。位线控制电路710包括选择并施加信号至多个位线的各种组件。此外,感测放大器708和随附的控制电路可置于阵列的与位线控制电路710相同的一侧。

[0074] 图8是示出用于操作具有去耦读/写路径的存储元件的示例性方法的流程图。根据某一示例性实例,方法包括以下步骤:为了对存储元件进行写入,在与存储元件中的电阻开关装置的第一端子相连接的位线和与存储元件中的开关的第一端子相连接的字线之间施加电压的步骤802,该开关的栅极连接至电阻开关装置的第二端子。该方法还包括:为了读出存储元件的状态,在位线和与开关的第二端子相连接的电源线之间施加电压的步骤804。存储元件包括位于电阻开关装置的第二端子和开关的第一端子之间的传导路径。

[0075] 存储阵列包括若干位线、若干字线、若干电源线以及若干存储元件。每个存储元件包括开关,该开关具有连接至电源线的第一端子和连接至字线的第二端子。每个存储元件还包括在开关的栅极和位线之间连接的电阻开关装置。每个存储元件还包括在开关的栅极和字线之间的传导路径。

[0076] 根据一些示例性实例,具有去耦的读/写路径的存储元件包括开关,其中开关包含与第一线相连接的第一端子和与第二线相连接的第二端子;在开关的栅极和第三线之间连接的电阻开关装置;以及在开关的栅极和第二线之间的传导路径。

[0077] 根据一些示例性实例,用于操作具有去耦的读/写路径的存储元件的方法包括:为了对存储元件进行写入,在与存储元件中的电阻开关装置的第一端子连接的位线和与存储元件中的开关的第一端子连接的字线之间施加电压,该开关的栅极连接至电阻开关装置的第二端子。该方法还包括:为了读出存储元件的状态,在位线和与开关的第二端子连接的电

源线之间施加电压。存储元件包括位于电阻开关装置的第二端子和开关的第一端子之间的传导路径。

[0078] 可以知道,上面列出的实施例以及步骤的各种不同组合可以以各种顺序或并列使用,并且并无特别的步骤是决定性的或必须的。此外,尽管在此使用了术语“电极”,可以意识到该术语包括“电极接头”的概念。此外,上面针对一些实施例示出或讨论的特征可以与针对其他实施例示出或讨论的特征相结合。因此所有此类的修改都被包括在本发明的范围内。

[0079] 上面论述了若干实施例的概述特征。本领域技术人员应了解,可以很容易地使用本发明作为基础来设计或更改其他用于达到与这里所介绍实施例相同的目的和/或实现相同优点的处理和结构。本领域普通技术人员也应该意识到,这种等效构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,可以进行多种变化、替换以及改变。

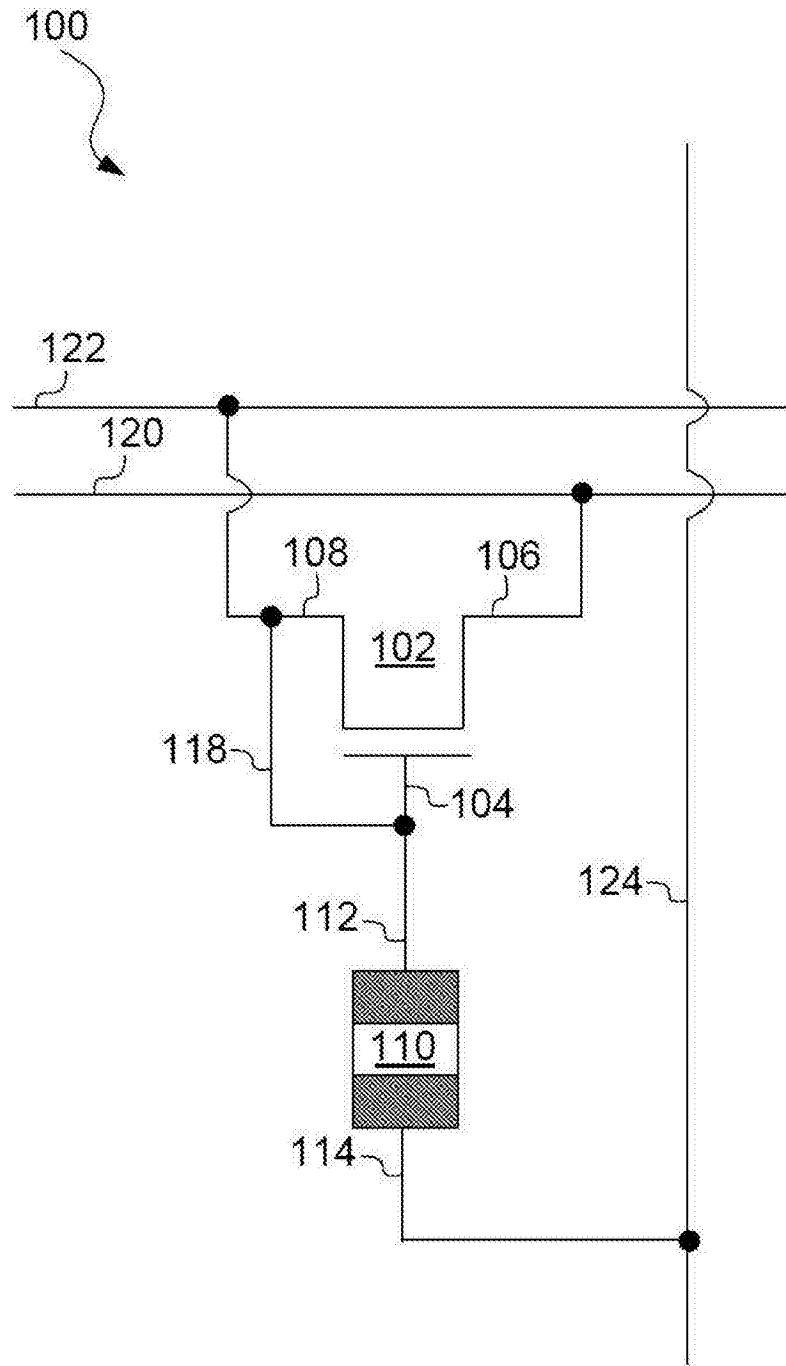


图1

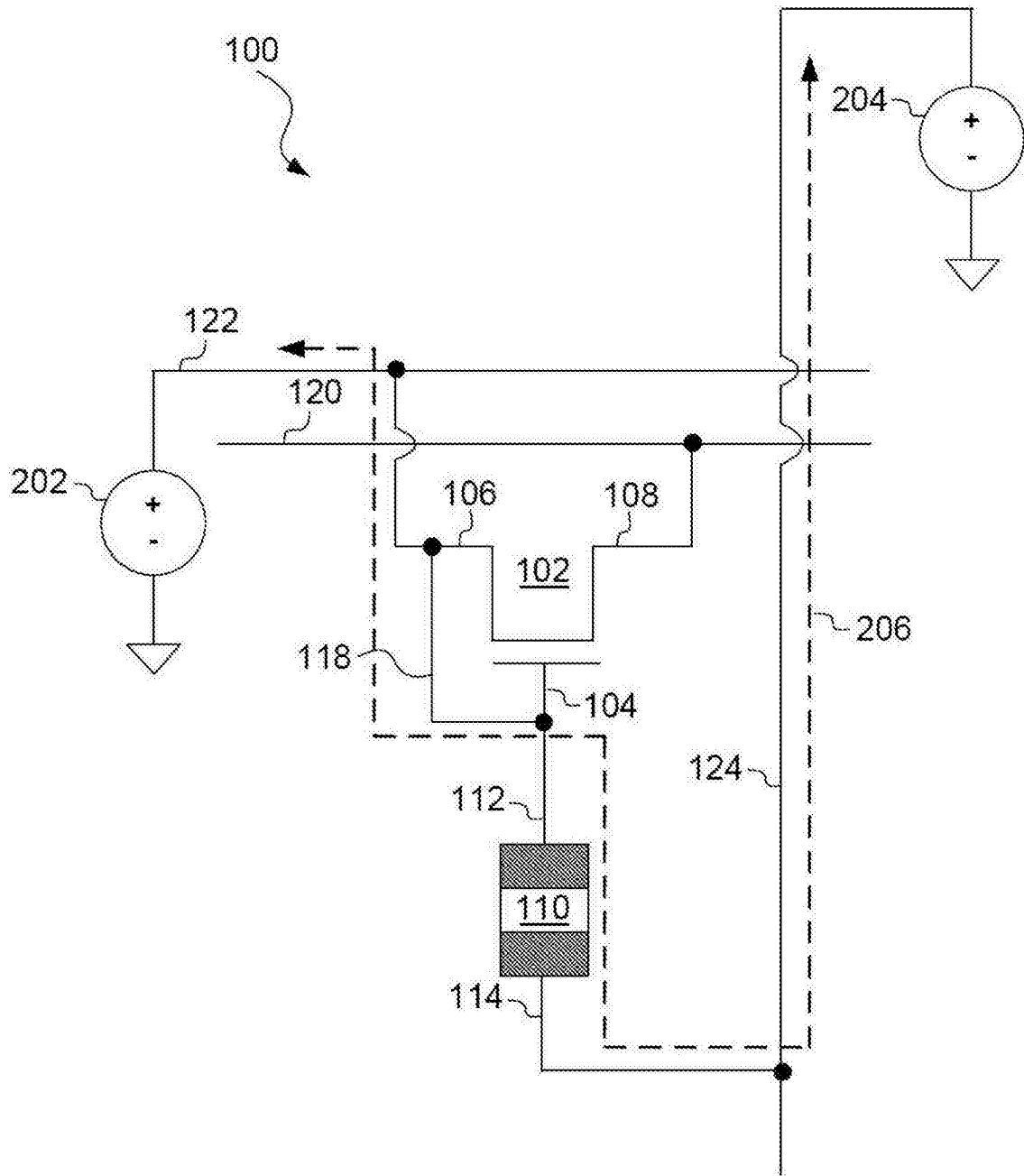


图2

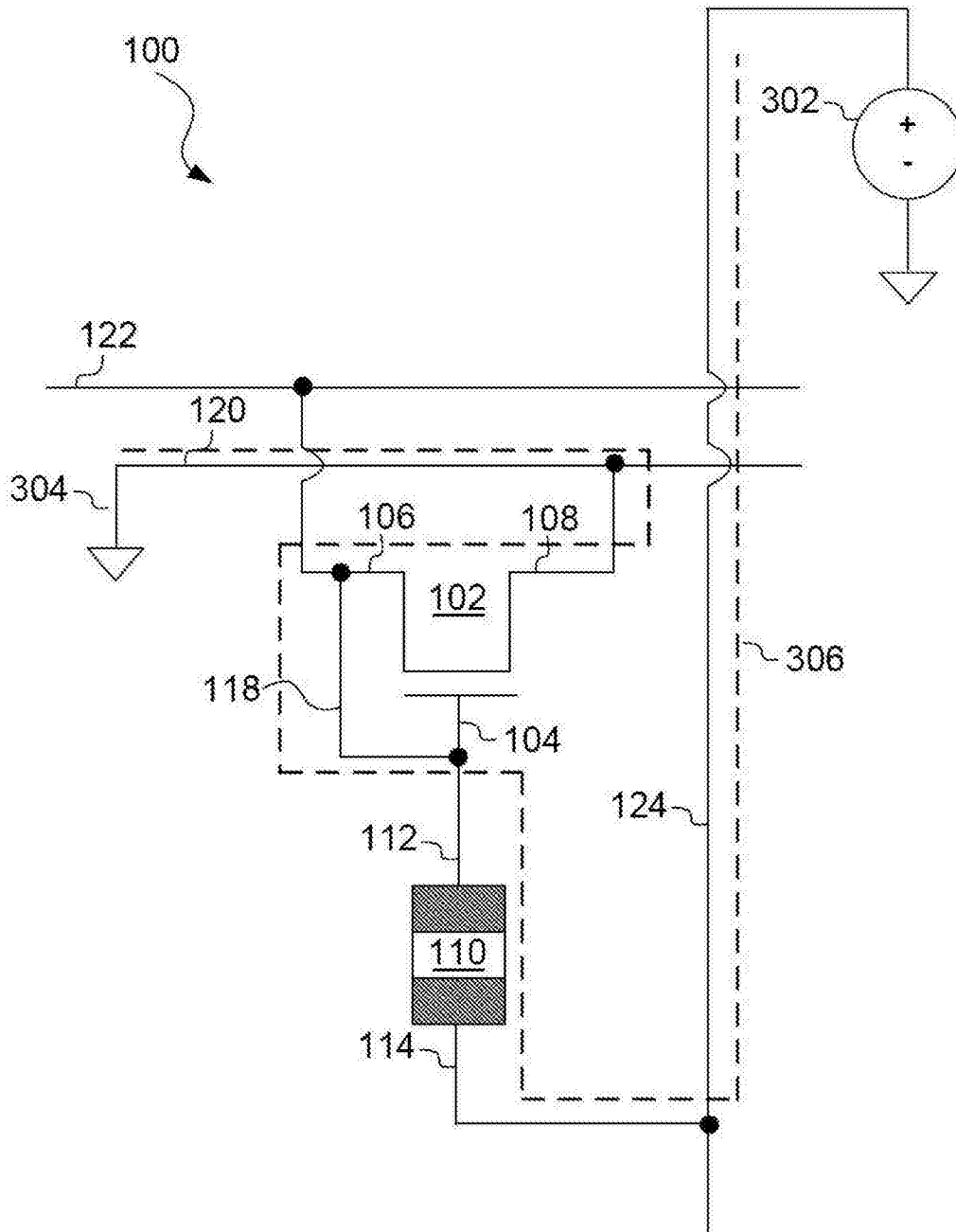


图3

400

	402		404		406	
	写“1”		写“0”		读	
	被选择的	未被选择的	被选择的	未被选择的	被选择的	未被选择的
WL (408)	低	中	高	中	浮置	浮置
BL (410)	高	中	低	中	中	浮置
SL (412)	浮置	浮置	浮置	低	低	浮置
	414	416	418	420	422	424

图4

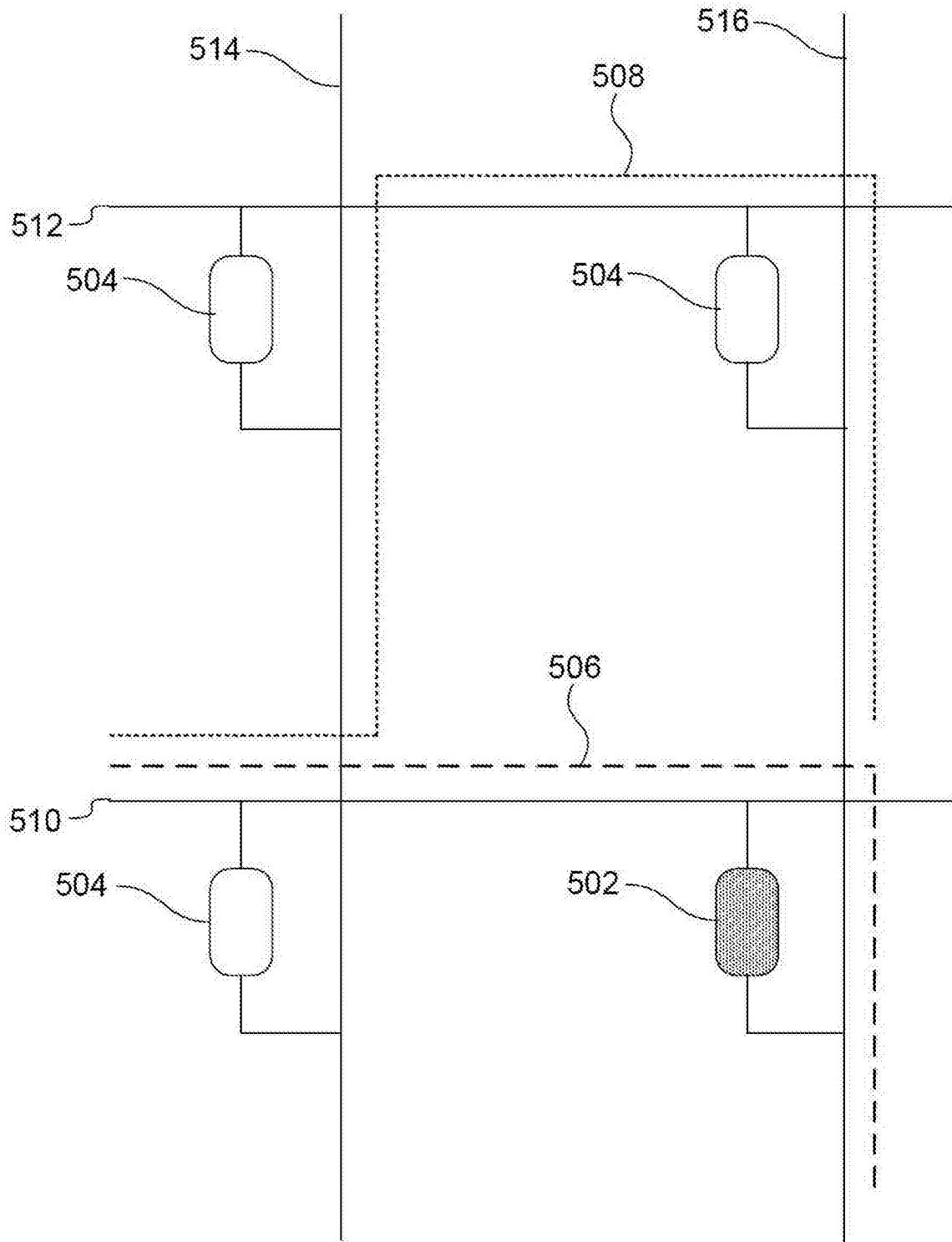


图5

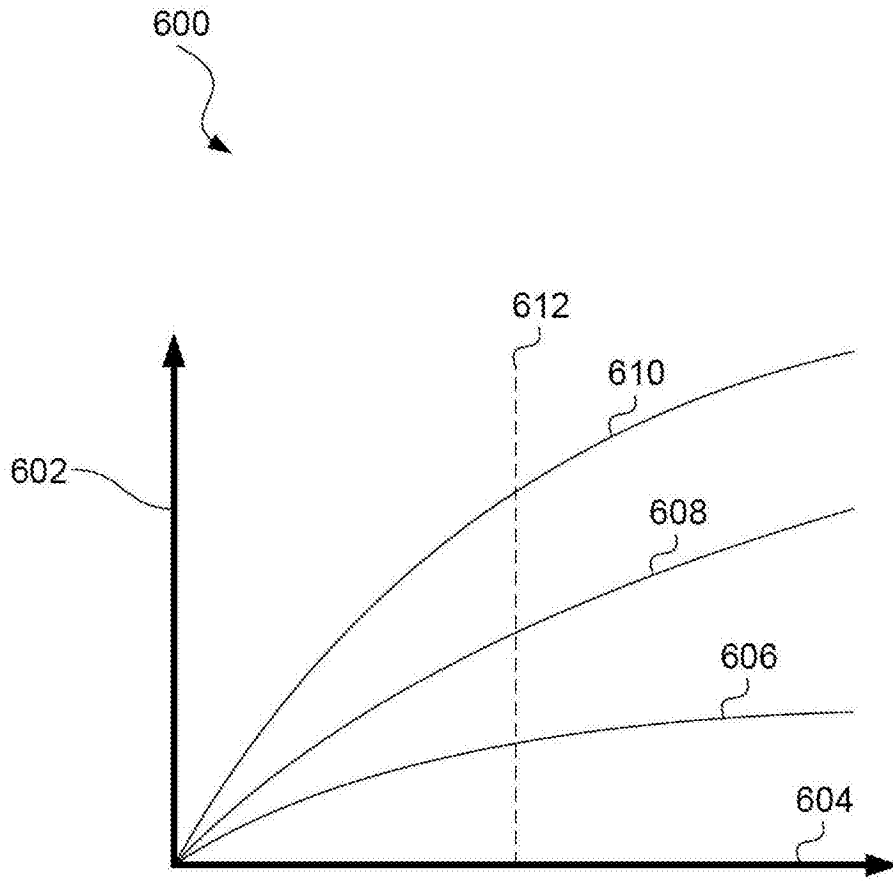


图6



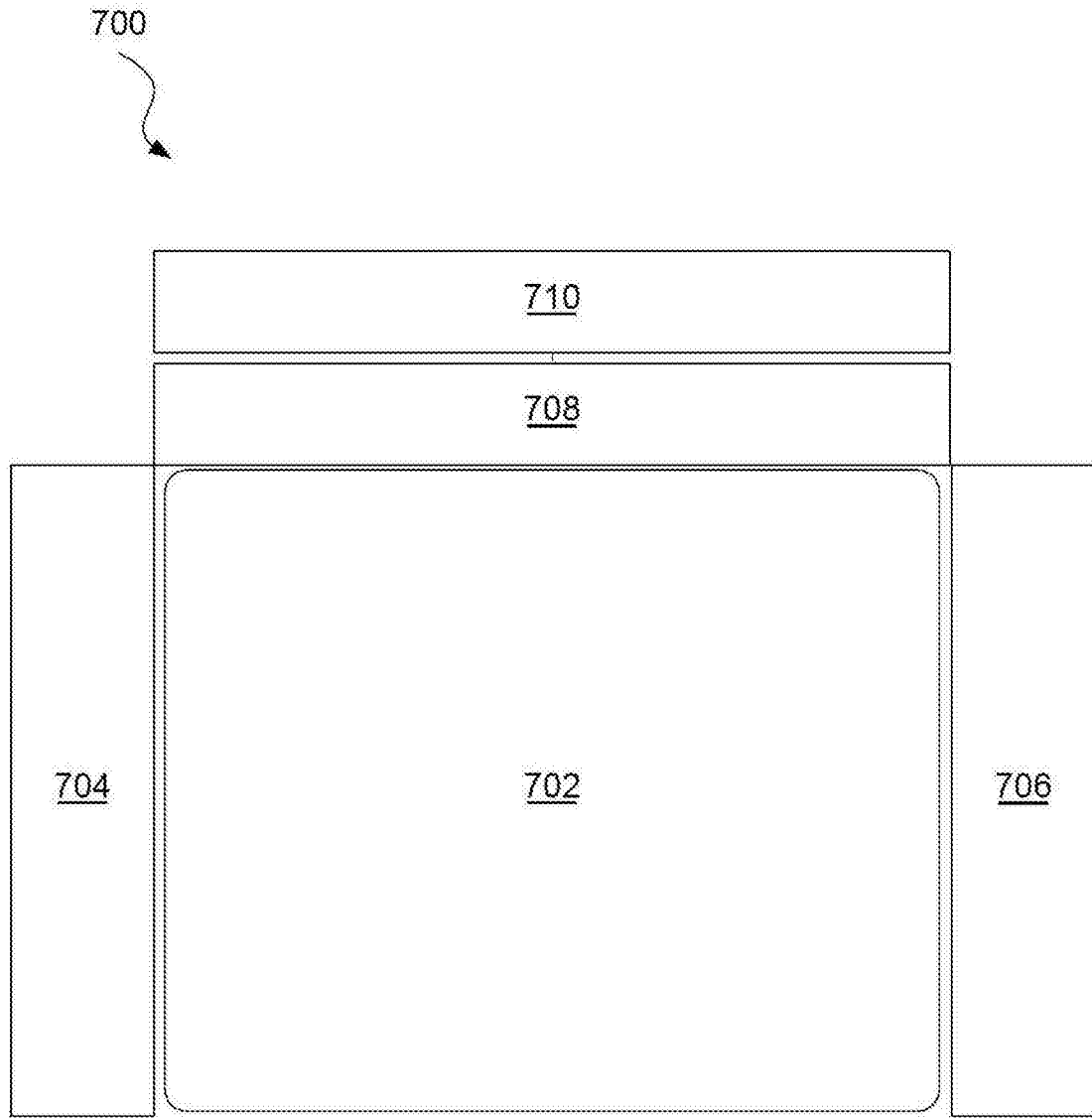


图7

800

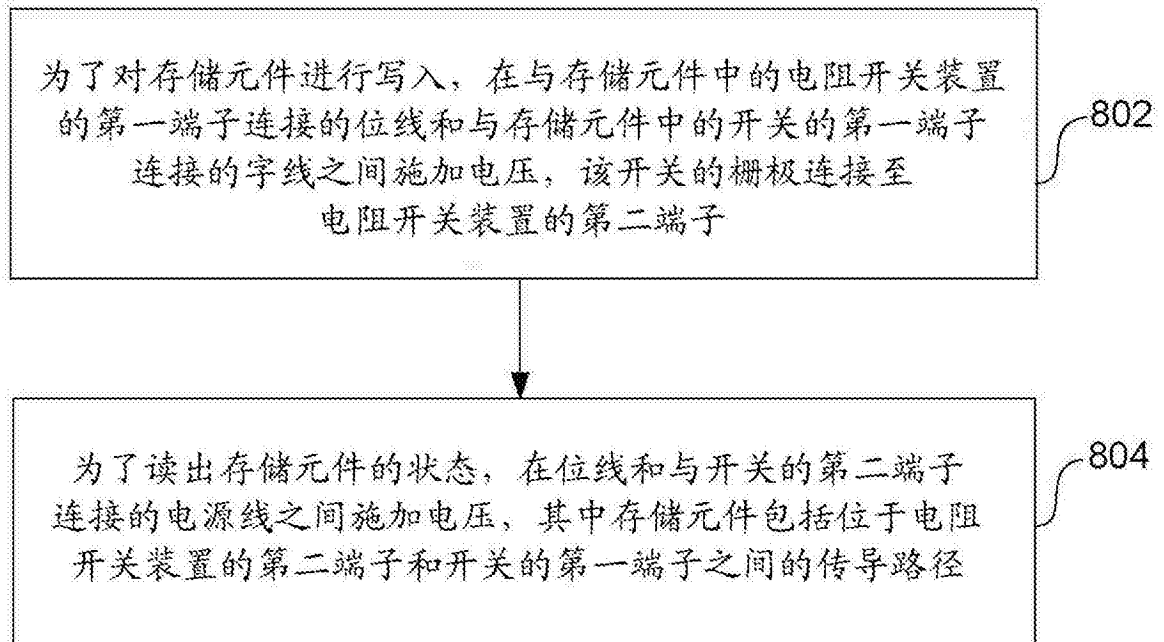


图8