



(12) 发明专利

(10) 授权公告号 CN 107424551 B

(45) 授权公告日 2021.01.29

(21) 申请号 201710380288.3

(22) 申请日 2017.05.25

(65) 同一申请的已公布的文献号  
申请公布号 CN 107424551 A

(43) 申请公布日 2017.12.01

(73) 专利权人 上海天马微电子有限公司  
地址 201201 上海市浦东新区汇庆路889号

(72) 发明人 刁庚秀

(74) 专利代理机构 北京同达信恒知识产权代理  
有限公司 11291

代理人 黄志华

(51) Int.Cl.  
G09G 3/20 (2006.01)

(56) 对比文件

CN 106711180 A, 2017.05.24

CN 106448587 A, 2017.02.22

CN 101401143 A, 2009.04.01

CN 104965361 A, 2015.10.07

CN 102789755 A, 2012.11.21

US 2016329350 A1, 2016.11.10

审查员 陈香

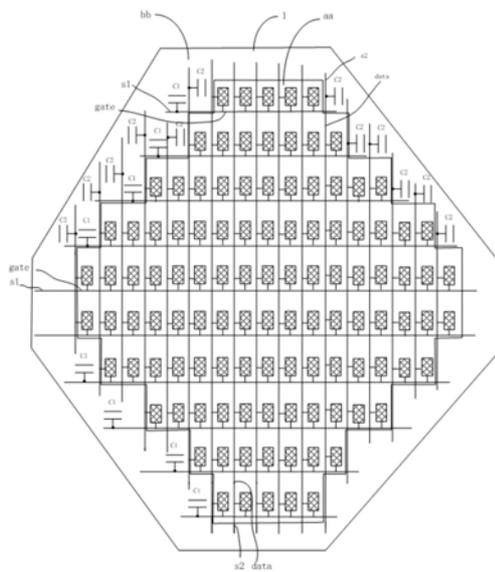
权利要求书2页 说明书8页 附图16页

(54) 发明名称

阵列基板、异形显示器及显示装置

(57) 摘要

本发明公开了一种阵列基板、异形显示器及显示装置,涉及显示技术领域,显示区设置有多条长度不同的栅线和数据线;非显示区设置有与各栅线连接的第一连接线,与各数据线连接的第二连接线,与部分第一连接线对应的第一补偿电容和/或与部分第二连接线对应的第二补偿电容。利用第一补偿电容之间的电容值差异来补偿栅线的电容负载的差异,使每一栅线对应的补偿电容值与负载电容值两者的和是一致的。利用第二补偿电容之间的电容值差异来补偿数据线的电容负载的差异,使每一数据线对应的补偿电容值与负载电容值两者的和是一致的。因此本发明技术方案通过对栅线和/或数据线进行电容补偿可以使栅线和/或数据线的信号延迟时间一致,从而提高显示品质。



1. 一种阵列基板,其特征在于,包括衬底基板,所述衬底基板包括显示区和围绕所述显示区的非显示区;

所述显示区设置有多条长度不同的栅线以及多条长度不同的数据线,所述栅线沿第一方向排布且沿第二方向延伸,所述数据线沿第二方向排布且沿第一方向延伸,所述第一方向和所述第二方向交叉,所述栅线与所述数据线绝缘;

所述非显示区设置有与各所述栅线一一对应电连接的第一连接线,以及与各所述数据线一一对应电连接的第二连接线;

所述非显示区还设置有与部分所述第一连接线一一对应电连接的第一补偿电容,对于与同一条所述第一连接线对应的所述第一补偿电容和所述栅线,所述第一补偿电容的电容值与所述栅线的长度负相关;和/或,

所述非显示区还设置有与部分所述第二连接线一一对应电连接的第二补偿电容,对于与同一条所述第二连接线对应的所述第二补偿电容和所述数据线,所述第二补偿电容的电容值与所述数据线的长度负相关;

所述第一补偿电容包括第一电极和第二电极,所述第一电极和所述第二电极构成所述第一补偿电容,所述第二电极与所述第一连接线电连接,所述第一电极与所述第二电极的正对面积与同一条所述第一连接线所对应的所述栅线的长度负相关;

所述第二电极与所述第一连接线同层设置;

在垂直所述衬底基板所在平面的方向上,所述第一电极存在部分区域与所述第二电极所电连接的所述第一连接线相互交叠。

2. 如权利要求1所述的阵列基板,其特征在于,所述第一电极与所述数据线同层设置;或者

所述显示区还设置有与所述第一电极同层设置的透明导电电极。

3. 如权利要求1所述的阵列基板,其特征在于,所述第二补偿电容包括第三电极,所述第三电极与所述第二连接线构成所述第二补偿电容,所述第三电极和所述第二连接线的正对面积与同一条所述第二连接线所对应的所述数据线的长度负相关。

4. 如权利要求1所述的阵列基板,其特征在于,所述第二补偿电容包括第三电极和第四电极,所述第三电极和所述第四电极构成所述第二补偿电容,所述第四电极与所述第二连接线电连接,所述第三电极与所述第四电极的正对面积与同一条所述第二连接线所对应的所述数据线的长度负相关。

5. 如权利要求4所述的阵列基板,其特征在于,所述第四电极与所述第二连接线同层设置。

6. 如权利要求5所述的阵列基板,其特征在于,在垂直所述衬底基板所在平面的方向上,所述第三电极存在部分区域与所述第四电极所电连接的所述第二连接线相互交叠。

7. 如权利要求3或4所述的阵列基板,其特征在于,所述第三电极与所述栅线同层设置;或者

所述显示区还设置有与所述第三电极同层设置的透明导电电极。

8. 如权利要求1所述的阵列基板,其特征在于,所述第一补偿电容位于所述栅线延伸方向上的第一端;或者,部分所述第一补偿电容位于所述栅线延伸方向上的所述第一端,部分所述第一补偿电容位于所述栅线延伸方向上的第二端。

9. 如权利要求8所述的阵列基板,其特征在于,所述第一补偿电容位于栅极驱动电路与所述显示区之间,所述栅极驱动电路位于所述非显示区。

10. 如权利要求1所述的阵列基板,其特征在于,所述第二补偿电容位于所述数据线延伸方向上的第一端;或者,

部分所述第二补偿电容位于所述数据线延伸方向上的第一端,部分所述第二补偿电容位于所述数据线延伸方向上的第二端。

11. 如权利要求10所述的阵列基板,其特征在于,所述第二补偿电容位于数据驱动电路与所述显示区之间,所述数据驱动电路位于所述非显示区。

12. 如权利要求1所述的阵列基板,其特征在于,所述非显示区包括多个三角形子非显示区,所述三角形子非显示区包括两个短边边界,所述两个短边边界分别与所述显示区毗邻,至少部分所述第一补偿电容位于所述三角形子非显示区。

13. 如权利要求4所述的阵列基板,其特征在于,所述非显示区包括多个三角形子非显示区,所述三角形子非显示区包括两个短边边界,所述两个短边边界分别与所述显示区毗邻,至少部分所述第二补偿电容位于所述三角形子非显示区。

14. 一种异形显示器,其特征在于,包括如权利要求1-13任一项所述的阵列基板。

15. 一种显示装置,其特征在于,包括如权利要求14所述的异形显示器。

## 阵列基板、异形显示器及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤指一种阵列基板、异形显示器及显示装置。

### 背景技术

[0002] 显示器主要包括显示面板,与显示面板上的数据线相连的数据驱动电路,与显示面板上的栅线相连的栅极驱动电路。栅极驱动电路通过对应的栅线依序对显示面板上的像素行进行充电,以将数据驱动电路输出的数据信号通过数据线传输至对应的像素,从而实现画面显示。

[0003] 在现有的显示面板的结构中,栅极驱动电路和数据驱动电路一般设置于面板的非显示区。但是在异形显示器中,由于显示区中栅线/数据线的长度不一致,导致不同长度的栅线/数据线上的负载不相同,从而使得不同长度的栅线/数据线的负载电容值存在差异,从而导致不同长度的栅线/数据线之间的存在不同的信号延迟时间,而信号延迟时间不一致会导致画面品质降低,例如出现水波纹(mura)、亮度不均匀等问题。

### 发明内容

[0004] 本发明实施例提供了一种阵列基板、异形显示器及显示装置,用于提高现有异形显示器的显示画面的品质。

[0005] 本发明实施例提供的一种阵列基板,包括衬底基板,所述衬底基板包括显示区和围绕所述显示区的非显示区;

[0006] 所述显示区设置有多条长度不同的栅线以及多条长度不同的数据线,所述栅线沿第一方向排布且沿第二方向延伸,所述数据线沿第二方向排布且沿第一方向延伸,所述第一方向和所述第二方向交叉,所述栅线与所述数据线绝缘;

[0007] 所述非显示区设置有与各所述栅线一一对应电连接的第一连接线,以及与各所述数据线一一对应电连接的第二连接线;

[0008] 所述非显示区还设置有与部分所述第一连接线一一对应电连接的第一补偿电容,对于与同一条所述第一连接线对应的所述第一补偿电容和所述栅线,所述第一补偿电容的电容值与所述栅线的长度负相关;和/或

[0009] 所述非显示区还设置有与部分所述第二连接线一一对应电连接的第二补偿电容,对于与同一条所述第二连接线对应的所述第二补偿电容和所述数据线,所述第二补偿电容的电容值与所述数据线的长度负相关。

[0010] 相应地,本发明实施例还提供了一种异形显示器,包括本发明实施例提供的上述任一种阵列基板。

[0011] 相应地,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述异形显示器。

[0012] 本发明有益效果如下:

[0013] 本发明实施例提供的上述阵列基板、异形显示器及显示装置,显示区设置有多条

长度不同的栅线以及多条长度不同的数据线;非显示区设置有与各栅线一一对应电连接的第一连接线,以及与各数据线一一对应电连接的第二连接线。由于非显示区还设置有与部分第一连接线一一对应电连接的第一补偿电容;和/或非显示区还设置有与部分第二连接线一一对应电连接的第二补偿电容。利用第一补偿电容之间的电容值差异来补偿栅线的电容负载的差异,从而使每一条栅线对应的补偿电容值与负载电容值两者的和是一致的。利用第二补偿电容之间的电容值差异来补偿数据线的电容负载的差异,从而使每一条数据线对应的补偿电容值与负载电容值两者的和是一致的。因此本发明技术方案通过对栅线和/或数据线进行电容补偿可以使显示中像素充电情况、像素电压耦合电压降(feedthrough)等一致,从而提高显示品质。

### 附图说明

- [0014] 图1为本发明实施例提供的一种阵列基板的结构示意图;
- [0015] 图2为本发明实施例提供的另一种阵列基板的结构示意图;
- [0016] 图3为本发明实施例提供的又一种阵列基板的结构示意图;
- [0017] 图4为本发明实施例提供的又一种阵列基板的结构示意图;
- [0018] 图5为本发明实施例提供的又一种阵列基板的结构示意图;
- [0019] 图6a为本发明实施例提供的阵列基板中一个第一补偿电容的一种结构示意图;
- [0020] 图6b为图6a所示的第一补偿电容沿A-A'方向的截面图;
- [0021] 图7a为本发明实施例提供的阵列基板中一个第一补偿电容的另一种结构示意图;
- [0022] 图7b为图7a所示的第一补偿电容沿A-A'方向的截面图;
- [0023] 图8a为本发明实施例提供的阵列基板中一个第一补偿电容的又一种结构示意图;
- [0024] 图8b为图8a所示的第一补偿电容沿A-A'方向的截面图;
- [0025] 图9a为本发明实施例提供的一种阵列基板的局部截面示意图;
- [0026] 图9b为本发明实施例提供的又一种阵列基板的局部结构示意图;
- [0027] 图10a为本发明实施例提供的阵列基板中一个第二补偿电容的一种结构示意图;
- [0028] 图10b为图10a所示的第二补偿电容沿B-B'方向的截面图;
- [0029] 图11a为本发明实施例提供的阵列基板中一个第二补偿电容的另一种结构示意图;
- [0030] 图11b为图11a所示的第二补偿电容沿B-B'方向的截面图;
- [0031] 图12a为本发明实施例提供的阵列基板中一个第二补偿电容的又一种结构示意图;
- [0032] 图12b为图12a所示的第二补偿电容沿B-B'方向的截面图;
- [0033] 图13a为本发明实施例提供的又一种阵列基板的局部截面示意图;
- [0034] 图13b为本发明实施例提供的又一种阵列基板的局部结构示意图。

### 具体实施方式

[0035] 为了使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明作进一步地详细描述,显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有

其它实施例,都属于本发明保护的范围。

[0036] 附图中各部件的形状和大小不反映真实比例,目的只是示意说明本发明内容。

[0037] 本发明实施例提供的一种阵列基板,如图1至图3所示,图1为本发明实施例提供的一种阵列基板的结构示意图,图2为本发明实施例提供的另一种阵列基板的结构示意图,图3为本发明实施例提供的又一种阵列基板的结构示意图;包括衬底基板1,衬底基板1包括显示区aa和围绕显示区的非显示区bb;

[0038] 显示区aa设置有多条长度不同的栅线gate以及多条长度不同的数据线data,栅线gate沿第一方向排布且沿第二方向延伸,数据线data沿第二方向排布且沿第一方向延伸,第一方向和第二方向交叉,栅线gate与数据线data绝缘;

[0039] 非显示区bb设置有与各栅线gate一一对应电连接的第一连接线s1,以及与各数据线data一一对应电连接的第二连接线s2;

[0040] 如图1所示,非显示区bb还设置有与部分第一连接线s1一一对应电连接的第一补偿电容C1,对于与同一条第一连接线s1对应的第一补偿电容C1和栅线gate,第一补偿电容C1的电容值与栅线gate的长度负相关。具体地,由于栅线gate的长度越长,栅线gate上连接的像素的数量越多,栅线gate的电容负载越大,因此对长度较长的栅线gate设置电容值较小的第一补偿电容C1,对长度较短的栅线gate设置电容值较大的第一补偿电容C1,利用第一补偿电容C1之间的电容值差异来补偿栅线gate的电容负载的差异,从而使每一条栅线gate对应的补偿电容值与负载电容值两者的和是一致的,以保证不同栅线gate的信号延迟的时间是一致的,进而使显示中像素充电情况、像素电压耦合电压降(feedthrough)等一致,从而提高显示品质。

[0041] 如图2所示,非显示区bb还设置有与部分第二连接线s2一一对应电连接的第二补偿电容C2,对于与同一条第二连接线s2对应的第二补偿电容C2和数据线data,第二补偿电容C2的电容值与数据线data的长度负相关。具体地,由于数据线data的长度越长,数据线data上连接的像素的数量越多,数据线data的电容负载越大,因此对长度较长的数据线data设置电容值较小的第二补偿电容C2,对长度较短的数据线data设置电容值较大的第二补偿电容C2,利用第二补偿电容C2之间的电容值差异来补偿数据线data的电容负载的差异,从而使每一条数据线data对应的补偿电容值与负载电容值两者的和是一致的,以保证不同数据线data的信号延迟的时间是一致的,进而使显示中像素充电情况、像素电压耦合电压降(feedthrough)等一致,从而提高显示品质。

[0042] 如图3所示,非显示区bb不仅还设置有与部分第一连接线s1一一对应电连接的第一补偿电容C1,对于与同一条第一连接线s1对应的第一补偿电容C1和栅线gate,第一补偿电容C1的电容值与栅线gate的长度负相关;而且非显示区bb还设置有与部分第二连接线s2一一对应电连接的第二补偿电容C2,对于与同一条第二连接线s2对应的第二补偿电容C2和数据线data,第二补偿电容C2的电容值与数据线data的长度负相关。具体地,对栅线gate和数据线data同时进行电容补偿,从而使每一条栅线gate对应的补偿电容值与负载电容值两者的和是一致的,以保证不同栅线gate的信号延迟的时间是一致的;使每一条数据线data对应的补偿电容值与负载电容值两者的和是一致的,以保证不同数据线data的信号延迟的时间是一致的;最大程度的使显示中像素充电情况、像素电压耦合电压降(feedthrough)等一致,从而提高显示品质。

[0043] 本发明实施例提供的阵列基板,显示区设置有多条长度不同的栅线以及多条长度不同的数据线;非显示区设置有与各栅线一一对应电连接的第一连接线,以及与各数据线一一对应电连接的第二连接线。由于非显示区还设置有与部分第一连接线一一对应电连接的第一补偿电容;和/或非显示区还设置有与部分第二连接线一一对应电连接的第二补偿电容。利用第一补偿电容之间的电容值差异来补偿栅线的电容负载的差异,从而使每一条栅线对应的补偿电容值与负载电容值两者的和是一致的。利用第二补偿电容之间的电容值差异来补偿数据线的电容负载的差异,从而使每一条数据线对应的补偿电容值与负载电容值两者的和是一致的。因此本发明技术方案通过对栅线和/或数据线进行电容补偿可以使显示中像素充电情况、像素电压耦合电压降(feedthrough)等一致,从而提高显示品质。

[0044] 具体地,在技术方案的实现过程中,由于栅线的长度不一,导致栅线连接的像素数量不同,从而导致栅线的负载电容值不同。长度长的栅线其负载电容较大,长度短的栅线其负载电容较小,因此可以以显示区中最长的栅线作为第一补偿电容的补偿基准,因此,在本发明实施例提供的阵列基板中,仅有部分第一连接线连接有第一补偿电容,目的是使第一补偿电容补偿其对应的栅线与最长的栅线之间存在的负载电容的差异。

[0045] 同理,具体地,在技术方案的实现过程中,由于数据线的长度不一,导致数据线连接的像素数量不同,从而导致数据线的负载电容值不同。长度长的数据线其负载电容较大,长度短的栅线其负载电容较小,因此可以以显示区中最长的数据线作为第二补偿电容的补偿基准,因此,在本发明实施例提供的阵列基板中,仅有部分第二连接线连接有第二补偿电容,目的是使第二补偿电容补偿其对应的数据线与最长的数据线之间存在的负载电容的差异。

[0046] 可选地,在本发明实施例提供的阵列基板中,如图1所示,第一补偿电容C1位于栅线gate延伸方向上的第一端;

[0047] 具体地,栅线gate沿延伸方向有两个端,第一补偿电容C1可以位于栅线gate延伸方向上的任意一个端,如图1所示,第一补偿电容C1均位于栅线gate延伸方向上的第一端,这样可以使栅线gate延伸方向上另一端的边框做窄。

[0048] 可选地,如图4所示,图4为本发明实施例提供的又一种阵列基板的结构示意图,部分第一补偿电容C1位于栅线gate延伸方向上的第一端,部分第一补偿电容C1位于栅线gate延伸方向上的第二端。

[0049] 如图4所示,部分第一补偿电容C1位于栅线gate延伸方向上的第一端,部分第一补偿电容C1位于栅线gate延伸方向上的第二端。这样可以将第一补偿电容C1分布在两端,可以避免其中一端边框较宽,从而可以使两端边框宽度一致。具体可以根据阵列基板上非显示的实际形状例如非显示区的形状,以及非显示区中的其它器件的位置等决定第一补偿电容C1的具体位置。

[0050] 可选地,在本发明实施例提供的阵列基板中,如图5所示,图5为本发明实施例提供的又一种阵列基板的结构示意图,第一补偿电容C1位于栅极驱动电路10与显示区aa之间,栅极驱动电路10位于非显示区bb。栅极驱动电路10用于通过第一连接线s1向栅线gate提供扫描信号。

[0051] 具体地,栅极驱动电路10位于阵列基板的非显示区即利用GOA(Gate Driver on Array)技术将栅极驱动电路集成在阵列基板上,不仅可以从材料成本和制作工艺两方面降

低产品成本,而且显示面板可以做到两边对称和窄边框的美观设计。

[0052] 在具体实施时,在本发明实施例提供的阵列基板中,补偿电容的电容值可以根据电容公式: $c = \frac{\epsilon s}{4\pi kd}$ ,其中k表示静电力常量, $\epsilon$ 表示介质介电常数,s表示电容的两个电极的正对面积,d表示电容的两个电极的距离。通过调节补偿电容的两个电极的正对面积可以调节电容值。

[0053] 可选地,在本发明实施例提供的阵列基板中,如图6a和图6b所示,图6a为本发明实施例提供的阵列基板中一个第一补偿电容的一种结构示意图,图6b为图6a所示的第一补偿电容沿A-A'方向的截面图,第一补偿电容C1包括第一电极11,第一电极11与第一连接线s1构成第一补偿电容C1,第一电极11与第一连接线s1的正对面积与同一条第一连接线s1所对应的栅线gate的长度负相关。

[0054] 具体地,在电容的两个电极距离固定的情况下,电容的电容值与构成电容的两个电极的正对面积成正比,因此如果要使第一补偿电容的电容值与栅线的长度负相关,则需要使第一电极11与第一连接线s1的正对面积与同一条第一连接线s1所对应的栅线gate的长度负相关。而利用第一连接线s1复用为第一补偿电容C1的其中一个电极,可以省去一个电极的设置,不仅可以降低面板厚度,而且可以简化制作工艺。

[0055] 可选地,在本发明实施例提供的阵列基板中,如图7a和图7b所示,图7a为本发明实施例提供的阵列基板中一个第一补偿电容的另一种结构示意图,图7b为图7a所示的第一补偿电容沿A-A'方向的截面图,第一补偿电容C1包括第一电极11和第二电极12,第一电极11和第二电极12构成第一补偿电容C1,第二电极12与第一连接线s1电连接,第一电极11与第二电极11的正对面积与同一条第一连接线s1所对应的栅线gate的长度负相关。具体地,在电容的两个电极距离固定的情况下,电容的电容值与构成电容的两个电极的正对面积成正比,因此如果要使第一补偿电容的电容值与栅线的长度负相关,则需要使第一电极11与第二电极12的正对面积与同一条第一连接线s1所对应的栅线gate的长度负相关。通过调节第一电极11和第二电极12的面积实现第一补偿电容C1的电容值的调节,而不需要改变第一连接线s1的宽度。

[0056] 可选地,在本发明实施例提供的阵列基板中,如图4所示,非显示区bb包括多个三角形子非显示区bb1,三角形子非显示区bb1包括两个短边边界,两个短边边界分别与显示区aa毗邻,至少部分第一补偿电容C1位于三角形子非显示区bb1。

[0057] 具体地,将至少部分第一补偿电容C1设置于三角形子非显示区bb1中,使第一补偿电容C1靠近显示区aa,从而可以使阵列基板上的结构布局更加紧凑、使阵列基板更加小型化。

[0058] 可选地,在本发明实施例提供的阵列基板中,如图7a和图7b所示,第二电极12与第一连接线s1同层设置。

[0059] 具体地,第二电极12与第一连接线s1同层设置,这样可以使第二电极12与第一连接线s1通过一次构图工艺形成,从简减少构图次数,进而可以节省生产成本和提高生产效率。

[0060] 可选地,在本发明实施例提供的阵列基板中,如图8a和图8b所示,图8a为本发明实施例提供的阵列基板中一个第一补偿电容的又一种结构示意图,图8b为图8a所示的第一补

偿电容沿A-A'方向的截面图,在垂直衬底基板1所在平面的方向上,第一电极11存在部分区域与第二电极12所电连接的第一连接线S1相互交叠。

[0061] 具体地,第一电极11不仅与第二电极12形成电容,第一电极11还与第一连接线s1形成电容,从而增大第一补偿电容C1的电容值。

[0062] 可选地,在本发明实施例提供的阵列基板中,如图9a所示,图9a为本发明实施例提供的一种阵列基板的局部截面示意图,第一电极11与数据线data同层设置。

[0063] 具体地,第一电极11与数据线data同层设置,这样可以使第一电极11与数据线data通过一次构图工艺形成,从而减少构图次数,进而可以节省生产成本和提高生产效率。

[0064] 可选地,在本发明实施例提供的阵列基板中,如图9b所示,图9b为本发明实施例提供的又一种阵列基板的局部结构示意图,显示区还设置有与第一电极11同层设置的透明导电电极15。

[0065] 具体地,透明导电电极15与第一电极11同层设置,这样可以使透明导电电极15与第一电极11通过一次构图工艺形成,从而减少构图次数,进而可以节省生产成本和提高生产效率。需要说明的是,在本发明实施例提供的阵列基板中,透明导电电极15可以为公共电极或像素电极,在此不作限定。

[0066] 可选地,在本发明实施例提供的阵列基板中,如图2所示,第二补偿电容C2位于数据线data延伸方向上的第一端。

[0067] 具体地,数据线data沿延伸方向有两个端,第二补偿电容C2可以位于数据线data延伸方向上的任意一个端,如图2所示,第二补偿电容C2均位于数据线data延伸方向上的第一端,这样可以使数据线data延伸方向上另一端的边框做窄。

[0068] 可选地,如图4所示,部分第二补偿电容C2位于数据线data延伸方向上的第一端,部分第二补偿电容C2位于数据线data延伸方向上的第二端。在具体实施时,根据阵列基板上非显示区的实际情况例如非显示区的形状,以及非显示区中的其它器件的位置等确定第二补偿电容C2的具体位置。

[0069] 具体地,如图4所示,部分第二补偿电容C2位于数据线data延伸方向上的第一端,部分第二补偿电容C2位于数据线data延伸方向上的第二端。这样可以将第二补偿电容C2分布在两端,可以避免其中一端边框较宽,从而可以使两端边框宽度一致。具体可以根据阵列基板上非显示区的实际情况,例如非显示区的形状,以及非显示区中的其它器件的位置等决定第二补偿电容C2的具体位置。

[0070] 可选地,在本发明实施例提供的阵列基板中,如图5所示,第二补偿电容C2位于数据驱动电路20与显示区之间,数据驱动电路20位于非显示区。数据驱动电路20用于通过第二连接线s2向数据线data提供数据信号。

[0071] 可选地,在本发明实施例提供的阵列基板中,如图10a和图10b所示,图10a为本发明实施例提供的阵列基板中一个第二补偿电容的一种结构示意图,图10b为图10a所示的第二补偿电容沿B-B'方向的截面图,第二补偿电容C2包括第三电极13,第三电极13与第二连接线s2构成第二补偿电容C2,第三电极13和第二连接线s2的正对面积与同一条第二连接线s2所对应的数据线data的长度负相关。

[0072] 具体地,在电容的两个电极距离固定的情况下,电容的电容值与构成电容的两个电极的正对面积成正比,因此如果要使第二补偿电容的电容值与数据线的长度负相关,则

需要使第三电极13和第二连接线s2的正对面积与同一条第二连接线s2所对应的数据线data的长度负相关。而利用第二连接线s2复用为第二补偿电容C2的其中一个电极,可以省去一个电极的设置,不仅可以降低面板厚度,而且可以简化制作工艺。

[0073] 可选地,在本发明实施例提供的阵列基板中,如图11a和图11b所示,图11a为本发明实施例提供的阵列基板中一个第二补偿电容的另一种结构示意图,图11b为图11a所示的第二补偿电容沿B-B'方向的截面图,第二补偿电容C2包括第三电极13和第四电极14,第三电极13和第四电极14构成第二补偿电容C2,第四电极14与第二连接线s2电连接,第三电极13与第四电极14的正对面积与同一条第二连接线s2所对应的数据线data的长度负相关。

[0074] 具体地,在电容的两个电极距离固定的情况下,电容的电容值与构成电容的两个电极的正对面积成正比,因此如果要使第二补偿电容的电容值与数据线的长度负相关,则需要使第三电极13与第四电极14的正对面积与同一条第二连接线s2所对应的数据线data的长度负相关。通过调节第三电极13和第四电极14的面积实现第二补偿电容C2的电容值的调节,而不需要改变第二连接线s2的宽度。

[0075] 可选地,在本发明实施例提供的阵列基板中,如图4所示,非显示区bb包括多个三角形子非显示区bb1,三角形子非显示区bb1包括两个短边边界,两个短边边界分别与显示区aa毗邻,至少部分第二补偿电容C2位于三角形子非显示区bb1。

[0076] 具体地,将至少部分第二补偿电容C2设置于三角形子非显示区bb1中,使第二补偿电容C2靠近显示区aa,从而可以使阵列基板上的结构布局更加紧凑、使阵列基板更加小型化。

[0077] 可选地,在本发明实施例提供的阵列基板中,如图11a和图11b所示,第四电极14与第二连接线s2同层设置。

[0078] 具体地,第四电极14与第二连接线s2同层设置。这样可以使第四电极14与第二连接线s2通过一次构图工艺形成,从简减少构图次数,进而可以节省生产成本和提高生产效率。

[0079] 可选地,在本发明实施例提供的阵列基板中,如图12a和图12b所示,图12a为本发明实施例提供的阵列基板中一个第二补偿电容的又一种结构示意图,图12b为图12a所示的第二补偿电容沿B-B'方向的截面图,在垂直衬底基板1所在平面的方向上,第三电极13存在部分区域与第四电极14所电连接的第二连接线s2相互交叠。

[0080] 具体地,第三电极13不仅与第四电极14形成电容,第三电极13还与第二连接线s2形成电容,从而增大第二补偿电容C2的电容值。

[0081] 可选地,在本发明实施例提供的阵列基板中,如图13a所示,图13a为本发明实施例提供的又一种阵列基板的局部截面示意图,第三电极13与栅线gate同层设置。

[0082] 具体地,第三电极13与栅线gate同层设置,这样可以使第三电极13与栅线gate通过一次构图工艺形成,从简减少构图次数,进而可以节省生产成本和提高生产效率。

[0083] 可选地,在本发明实施例提供的阵列基板中,如图13b所示,图13b为本发明实施例提供的又一种阵列基板的局部结构示意图,显示区还设置有与第三电极13同层设置的透明导电电极15。

[0084] 具体地,透明导电电极15与第三电极13同层设置,这样可以使透明导电电极15与第三电极13通过一次构图工艺形成,从简减少构图次数,进而可以节省生产成本和提高生

产效率。需要说明的是,在本发明实施例提供的阵列基板中,透明导电电极15可以为公共电极或像素电极,在此不作限定。

[0085] 基于同一发明构思,本发明实施例还提供了一种异形显示器,包括本发明实施例提供的上述任一种阵列基板。由于该异形显示器解决问题的原理与前述一种阵列基板相似,因此该异形显示器的实施可以参见前述阵列基板的实施,重复之处不再赘述。

[0086] 需要说明的是,在本发明实施例提供的异形显示器中,显示区的形状可以为圆形、椭圆、三角形、心形、六边形等形状,在此不作限定。

[0087] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述任一种异形显示器。该显示装置可以为:电子广告牌、广场显示器等任何具有显示功能的产品或部件。该显示装置的实施可以参见上述异形显示器的实施例,重复之处不再赘述。

[0088] 本发明实施例提供的一种阵列基板、异形显示器及显示装置,显示区设置有多条长度不同的栅线以及多条长度不同的数据线;非显示区设置有与各栅线一一对应电连接的第一连接线,以及与各数据线一一对应电连接的第二连接线。由于非显示区还设置有与部分第一连接线一一对应电连接的第一补偿电容;和/或非显示区还设置有与部分第二连接线一一对应电连接的第二补偿电容。利用第一补偿电容之间的电容值差异来补偿栅线的电容负载的差异,从而使每一条栅线对应的补偿电容值与负载电容值两者的和是一致的。利用第二补偿电容之间的电容值差异来补偿数据线的电容负载的差异,从而使每一条数据线对应的补偿电容值与负载电容值两者的和是一致的。因此本发明技术方案通过对栅线和/或数据线进行电容补偿可以使显示中像素充电情况、像素电压耦合电压降(feedthrough)等一致,从而提高显示品质。

[0089] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

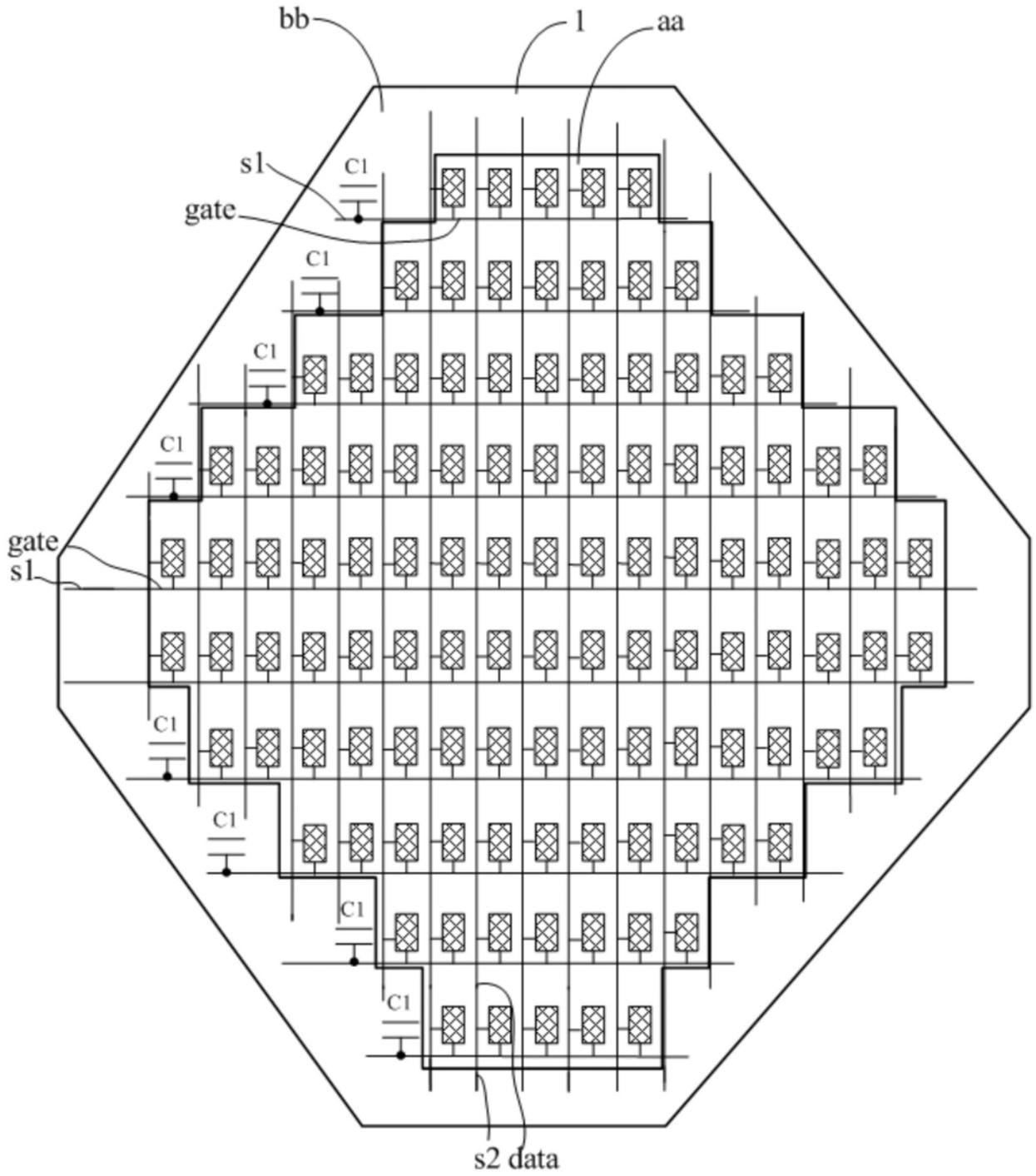


图1

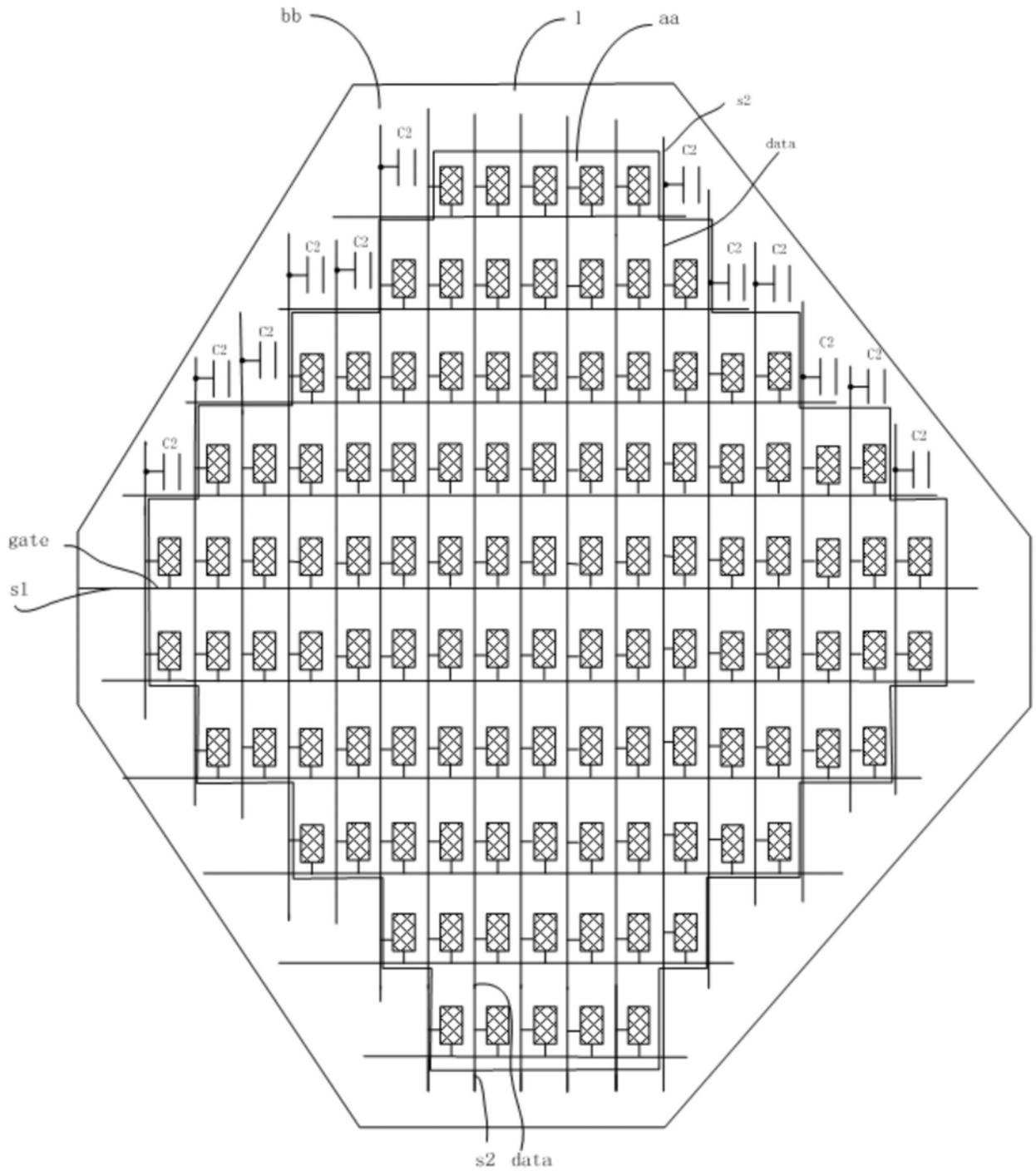


图2

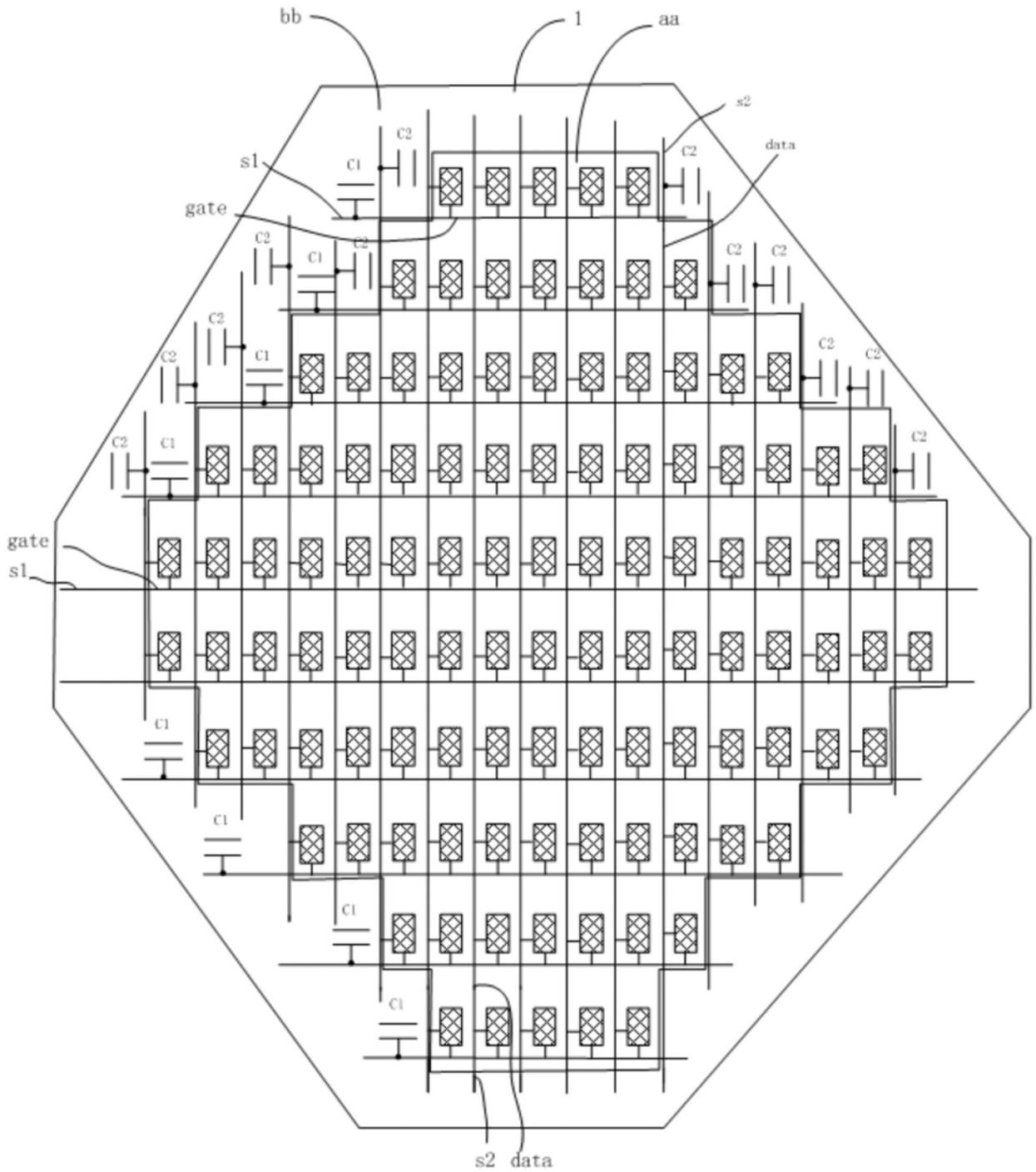


图3

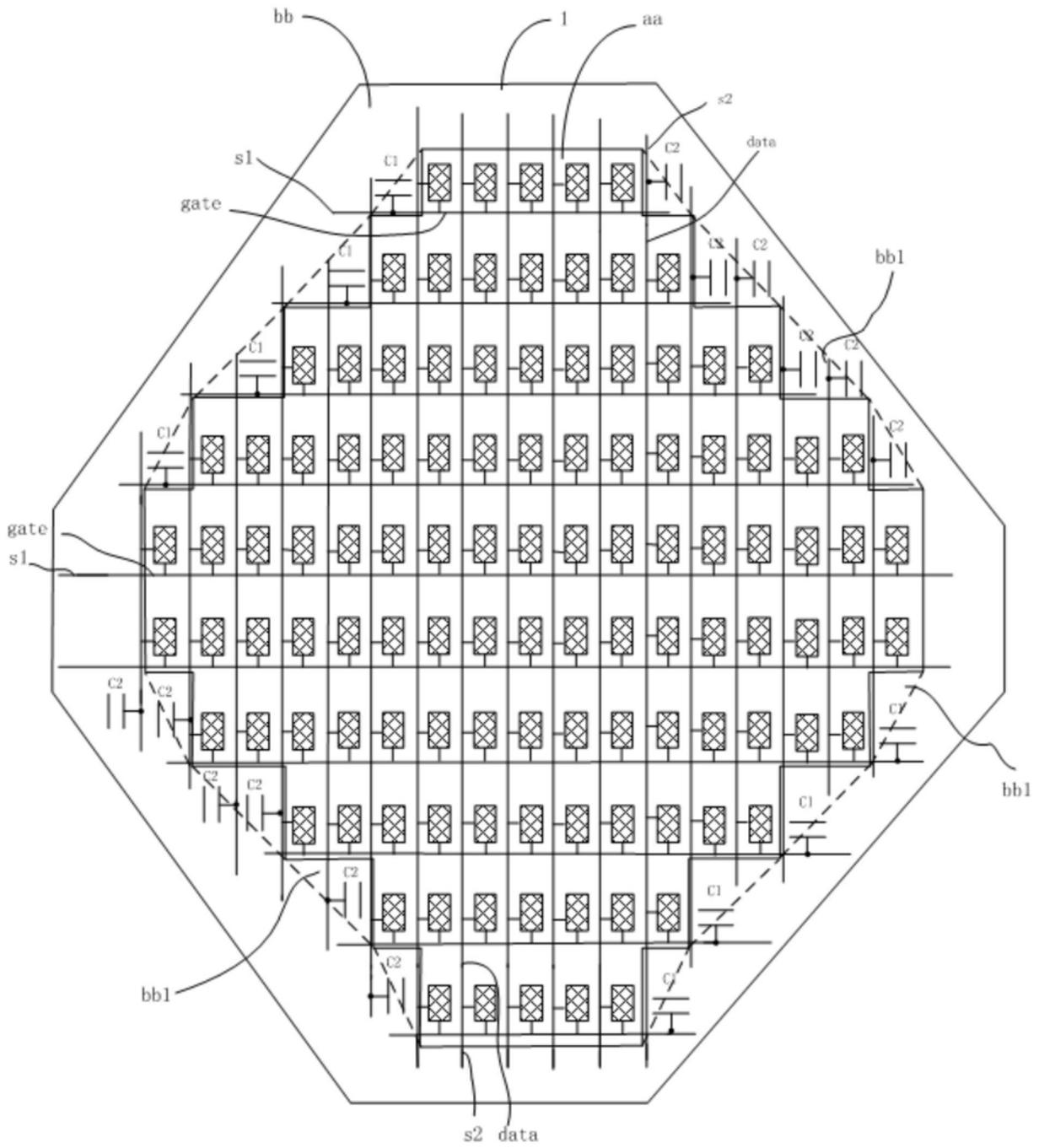


图4

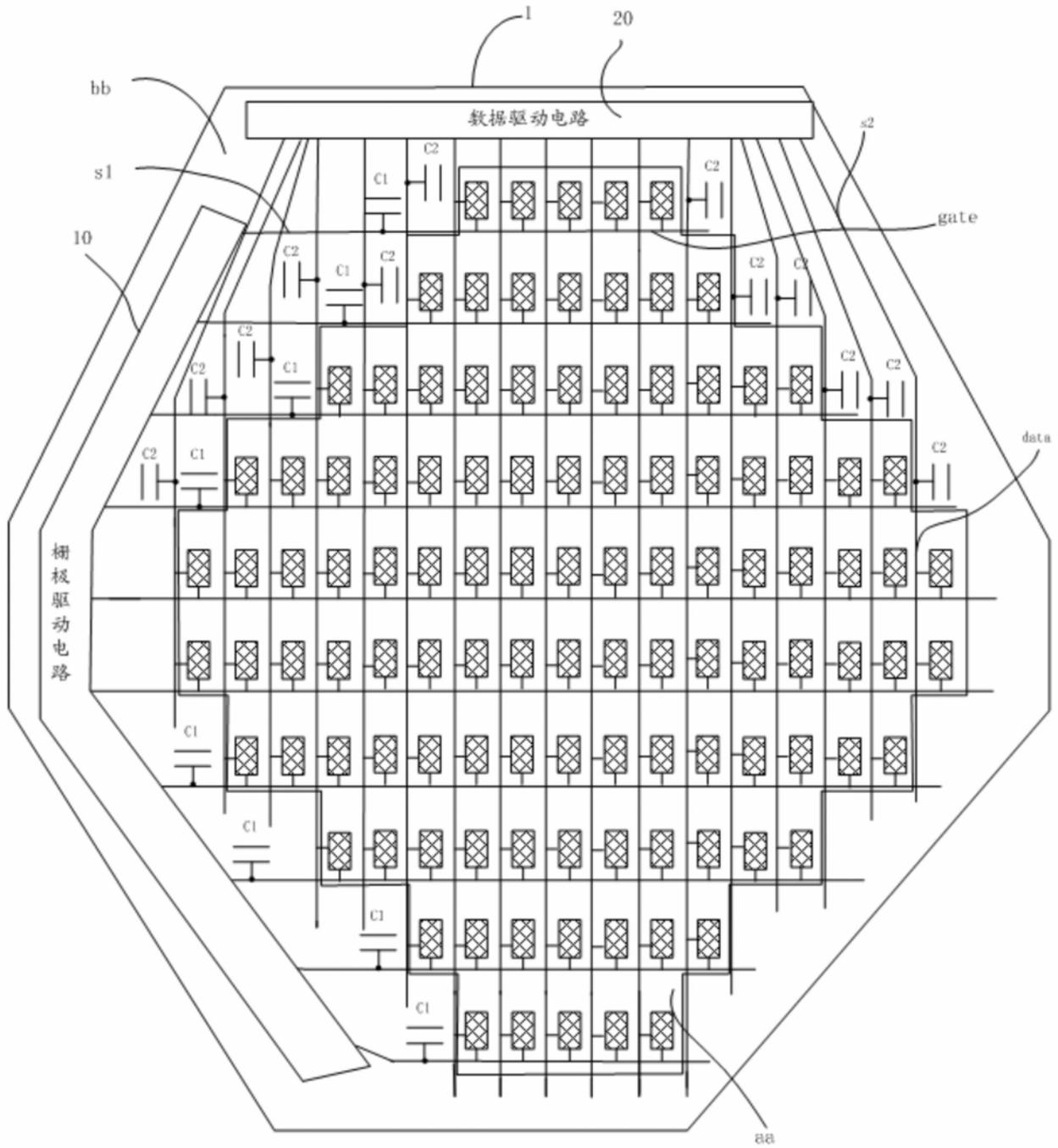


图5

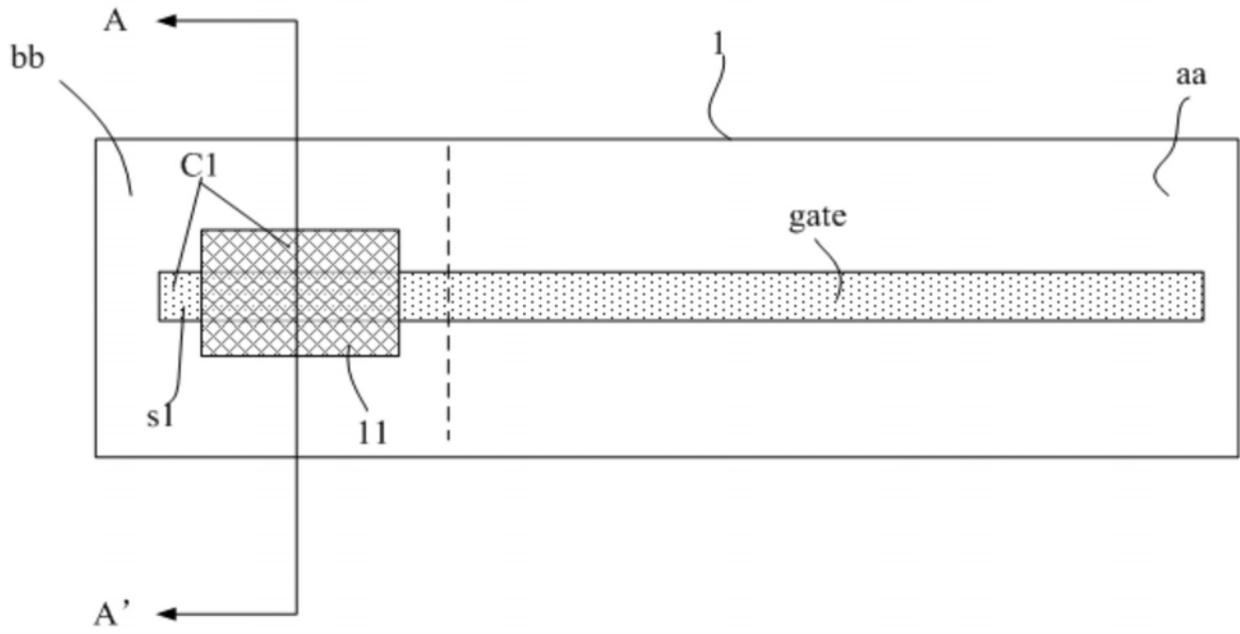


图6a

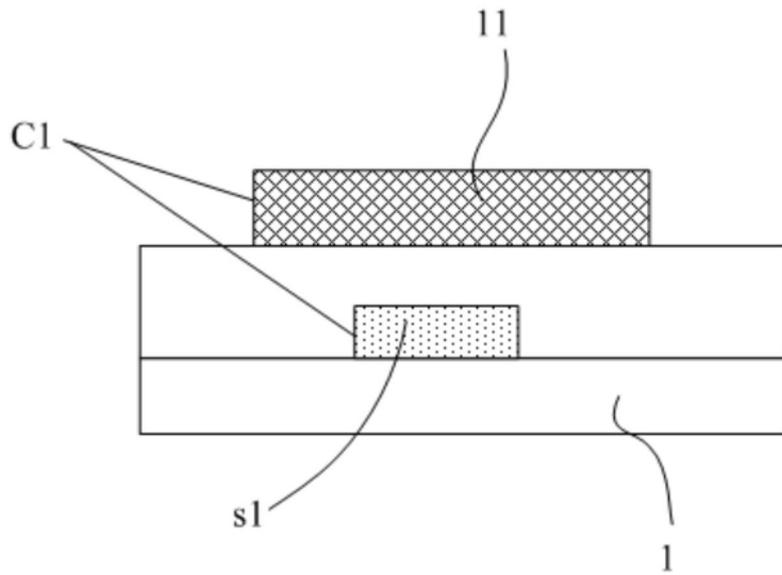


图6b



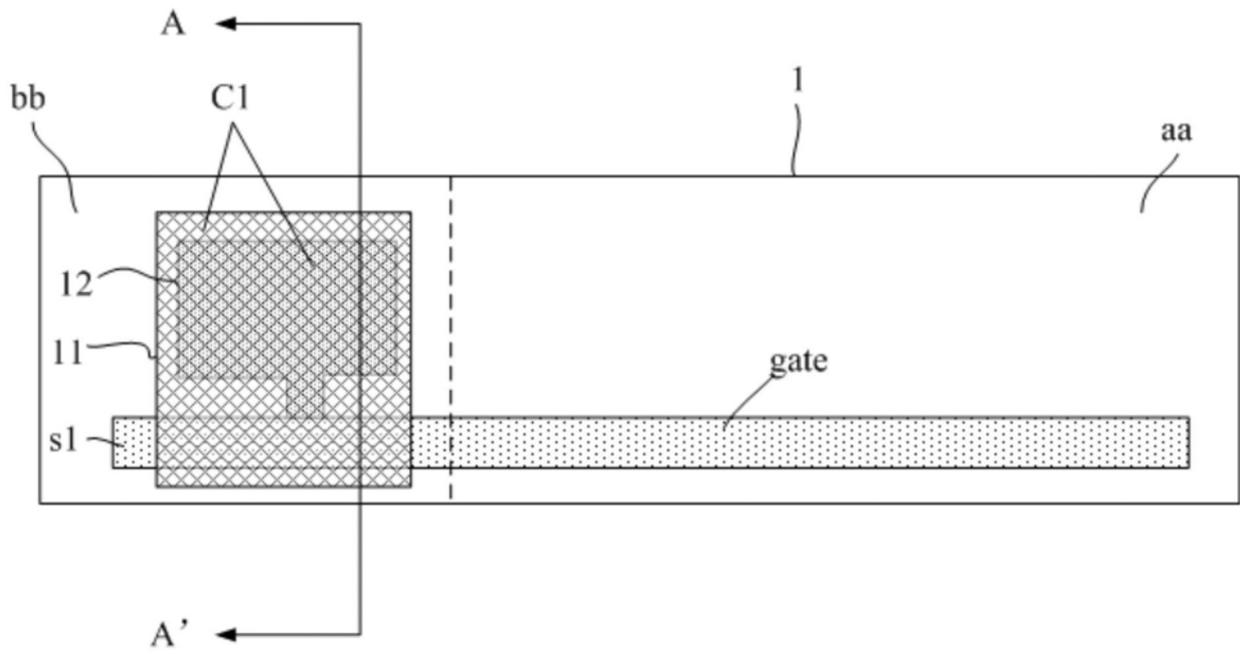


图8a

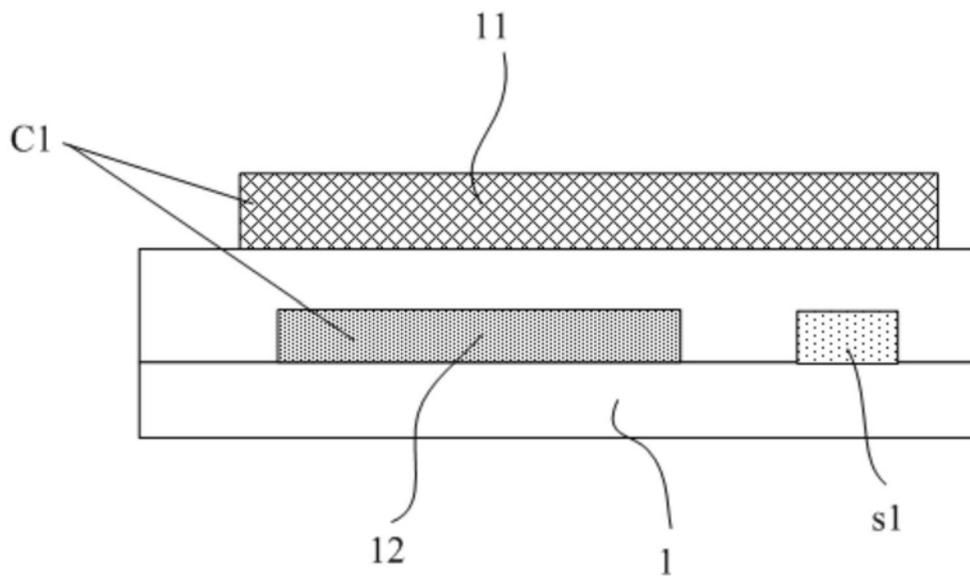


图8b

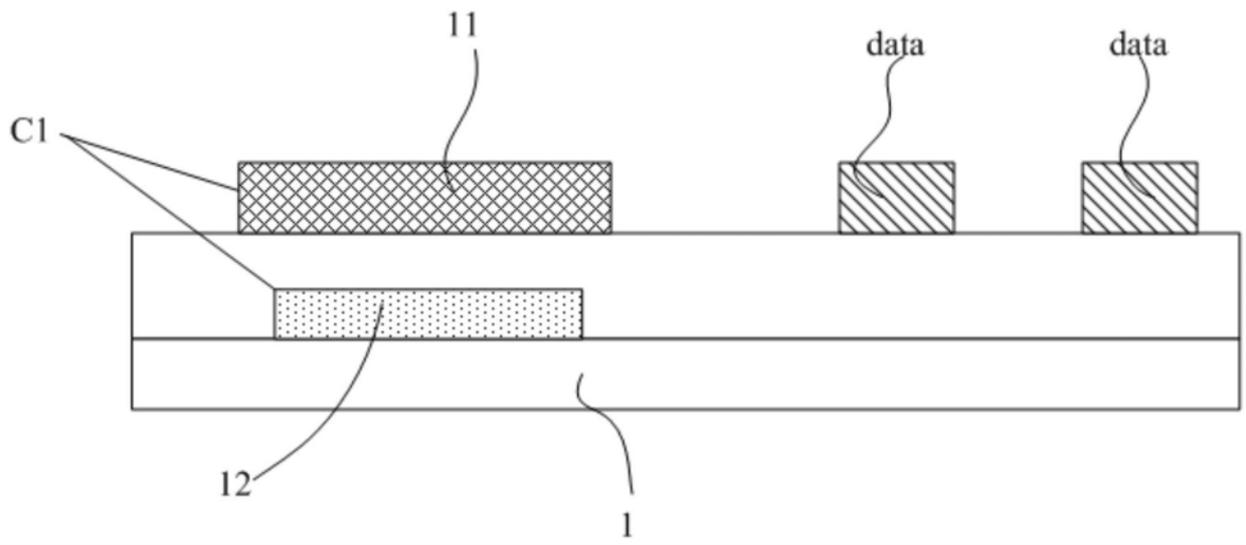


图9a

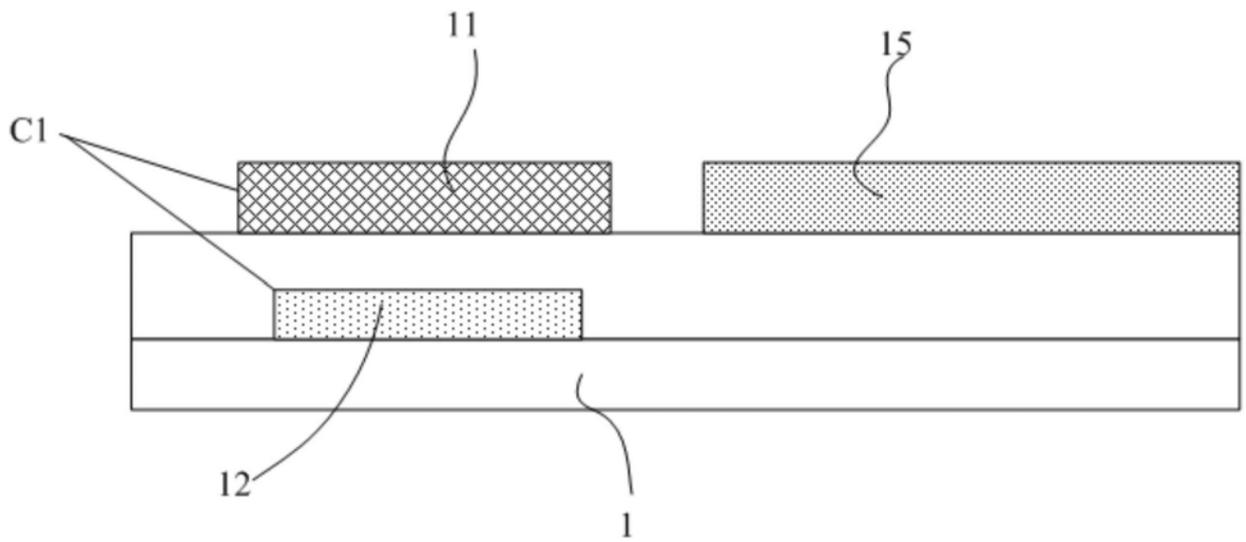


图9b

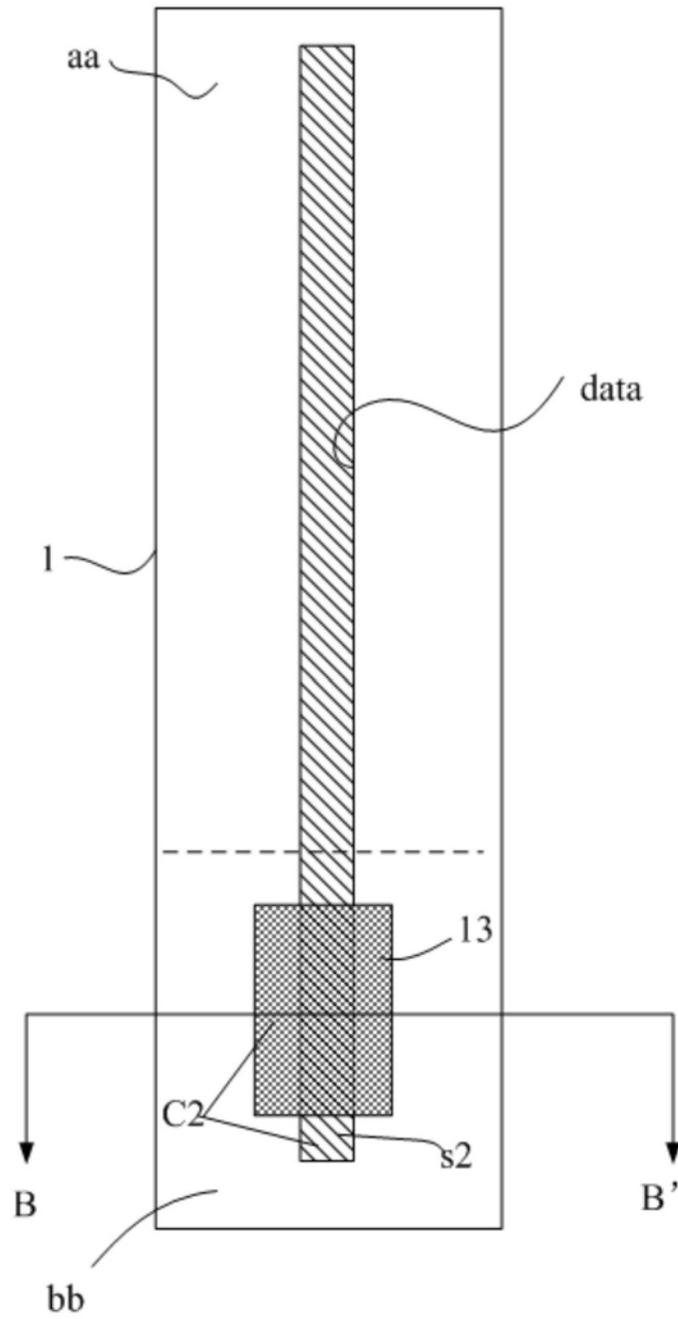


图10a

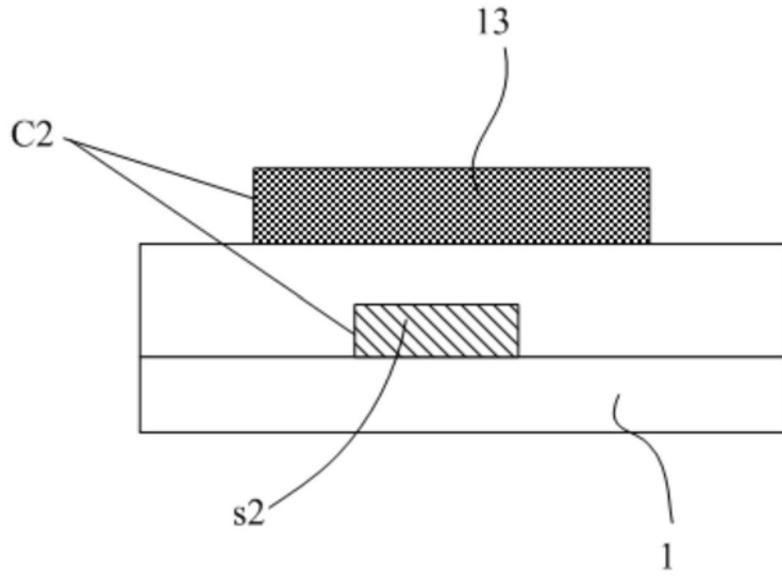


图10b

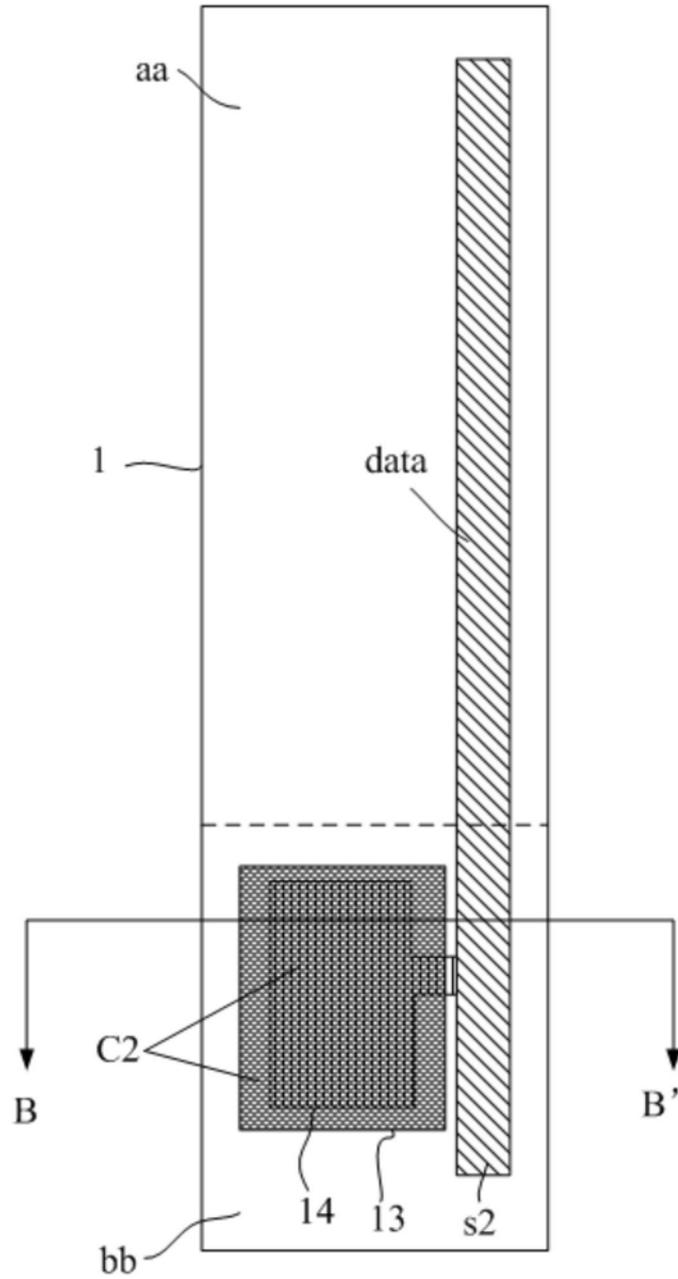


图11a

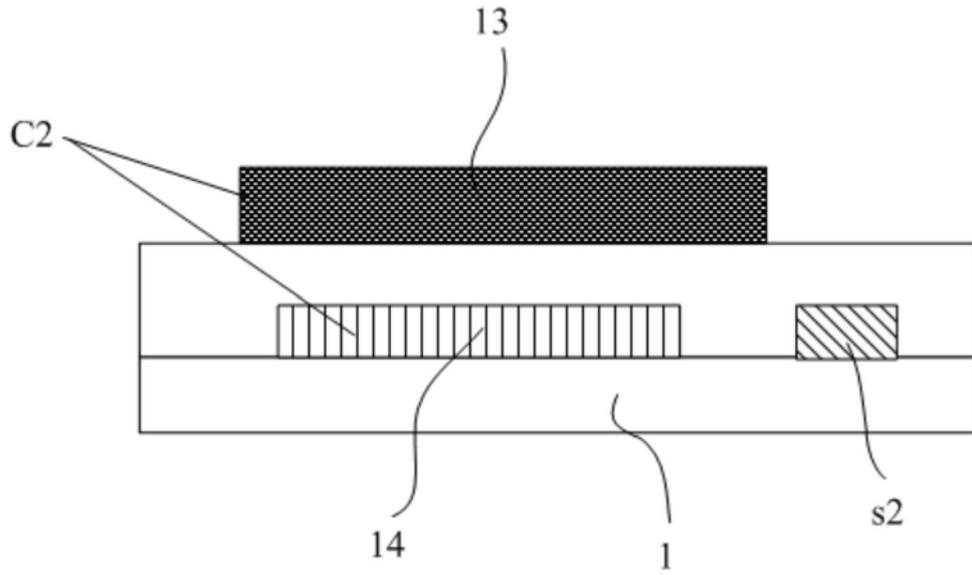


图11b

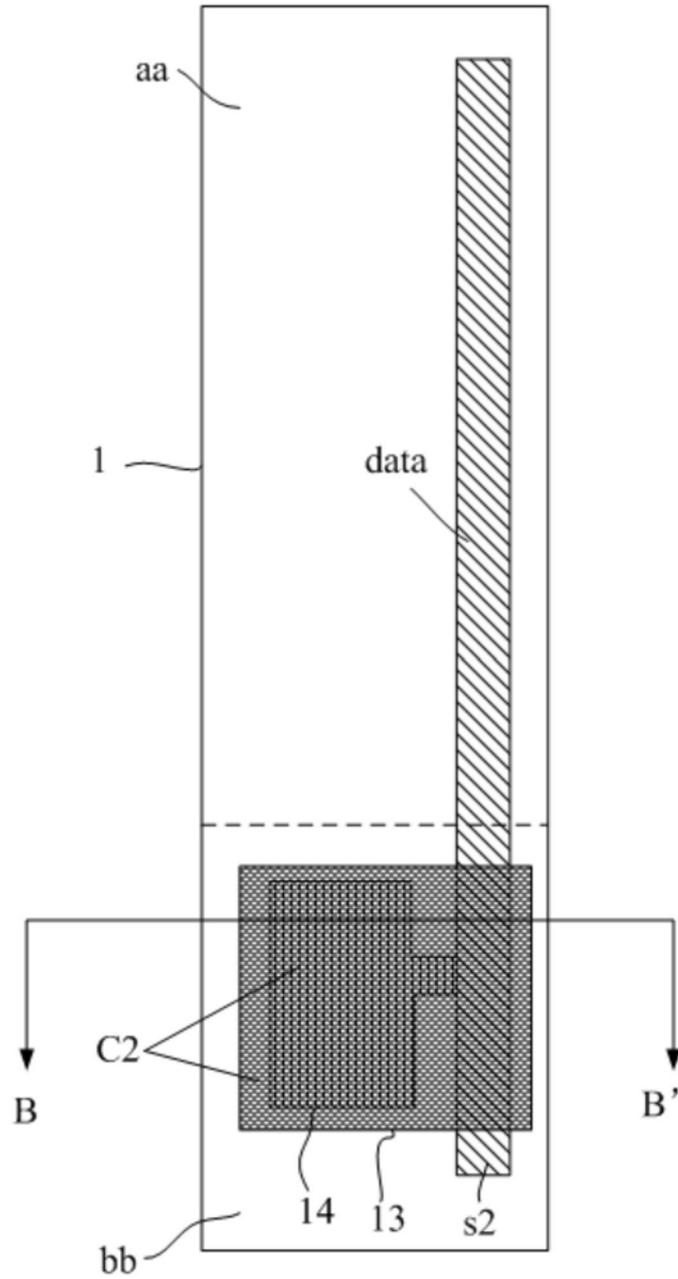


图12a

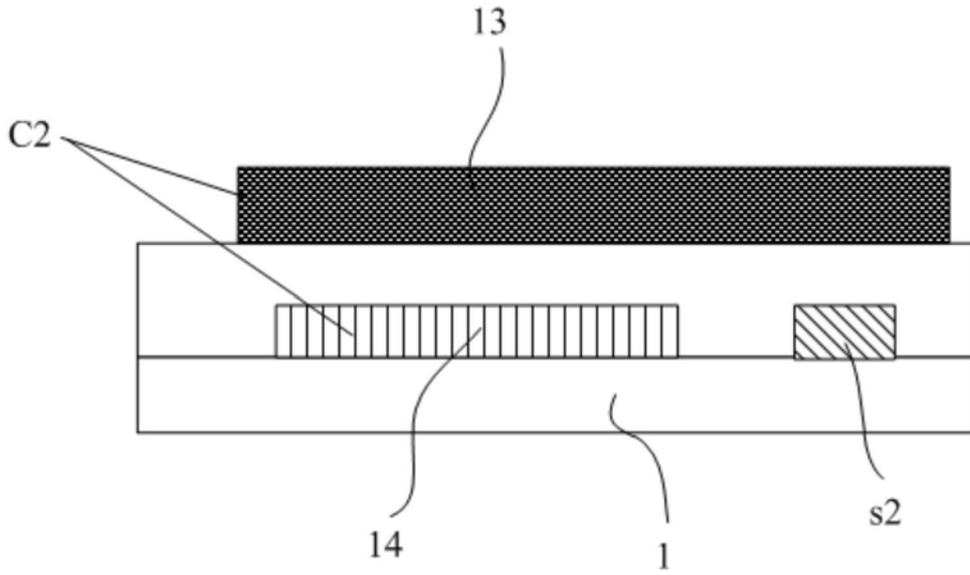


图12b

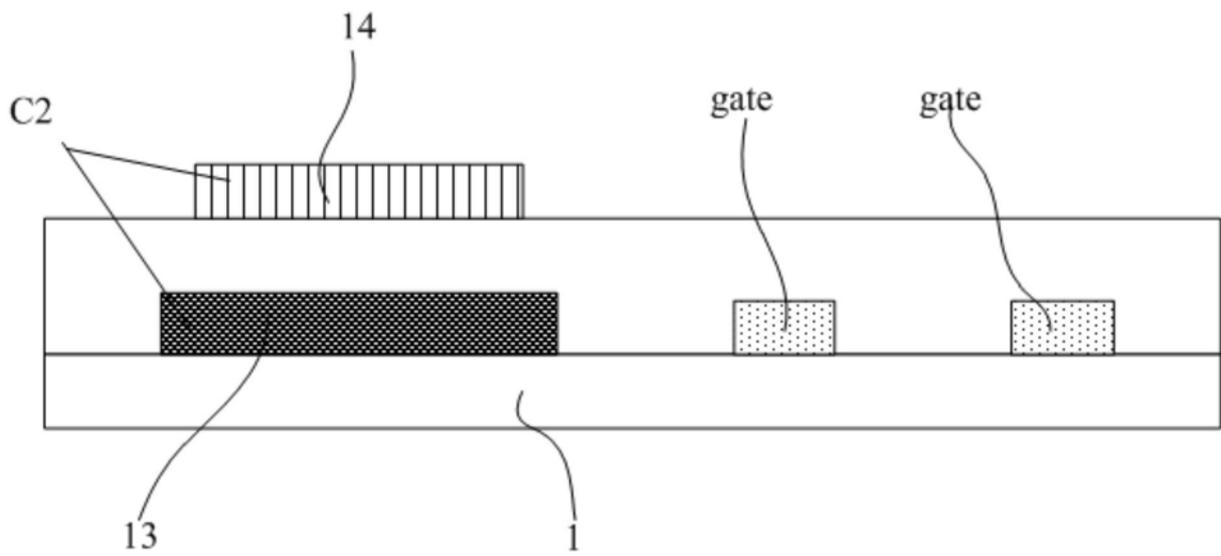


图13a

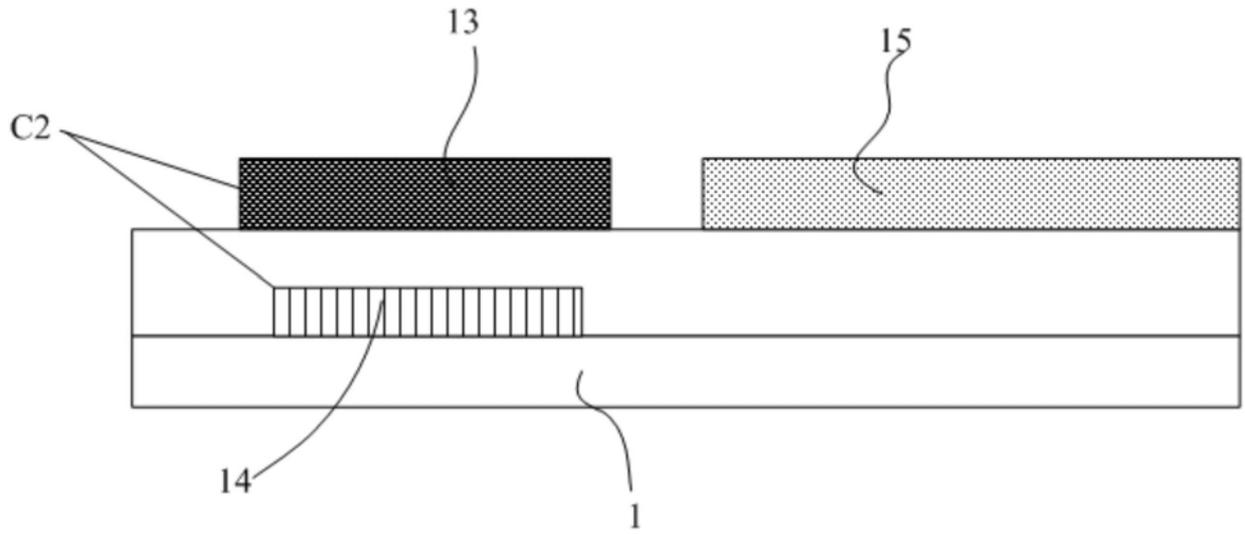


图13b