

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
19. Juli 2001 (19.07.2001)

PCT

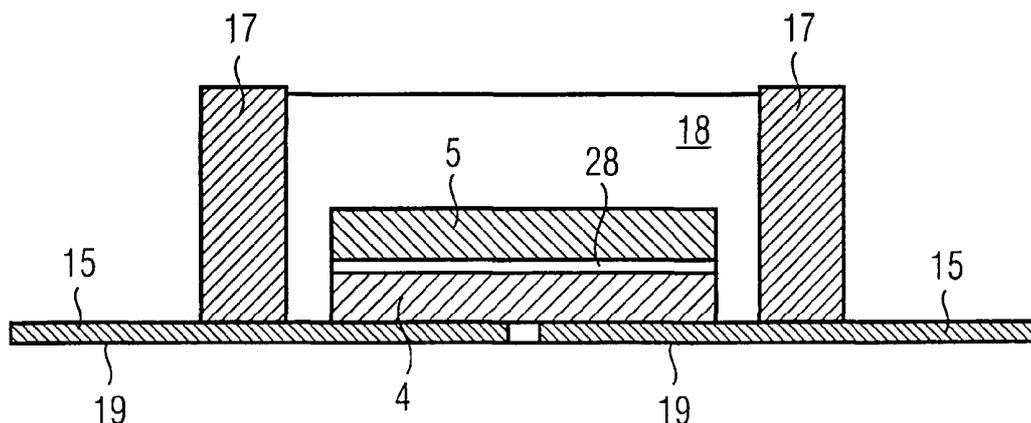
(10) Internationale Veröffentlichungsnummer  
**WO 01/52184 A2**

- (51) Internationale Patentklassifikation<sup>7</sup>: **G06K 19/00** (72) **Erfinder; und**  
(75) **Erfinder/Anmelder (nur für US): KUX, Andreas**  
(21) Internationales Aktenzeichen: PCT/DE00/04634 [DE/DE]; Gronsdorfer Strasse 14, 85540 Haar (DE).  
(22) Internationales Anmeldedatum: (74) **Anwalt: EPPING HERMANN & FISCHER**; Postfach  
27. Dezember 2000 (27.12.2000) 12 10 26, 80034 München (DE).  
(25) Einreichungssprache: Deutsch (81) **Bestimmungsstaaten (national):** BR, CN, IN, JP, KR,  
MX, RU, UA, US.  
(26) Veröffentlichungssprache: Deutsch (84) **Bestimmungsstaaten (regional):** europäisches Patent (AT,  
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,  
(30) **Angaben zur Priorität:** 00100507.3 11. Januar 2000 (11.01.2000) EP NL, PT, SE, TR).  
(71) **Anmelder (für alle Bestimmungsstaaten mit Ausnahme von** **Veröffentlicht:**  
**US): INFINEON TECHNOLOGIES AG** [DE/DE]; St.- **— ohne internationalen Recherchenbericht und erneut zu**  
Martin-Strasse 53, 81669 München (DE). **veröffentlichen nach Erhalt des Berichts**

[Fortsetzung auf der nächsten Seite]

(54) **Title:** CHIPCARD ARRANGEMENT

(54) **Bezeichnung:** CHIPKARTENANORDNUNG



(57) **Abstract:** The invention relates to a chipcard arrangement with a card-like support, in which a recess is provided, with at least two superimposed semiconductor chips arranged therein. Said chips exchange electrical signals and/or energy, with each other, by means of electrically conducting connectors, whereby the at least two semiconductor chips together have a minimum size of from 20 to 25 mm<sup>2</sup> and the electrically conducting connection is achieved by means of a three-dimensional wiring in the semiconductor chip.

(57) **Zusammenfassung:** Chipkartenanordnung mit einem kartenförmigen Träger, in dem eine Ausnehmung vorgesehen ist, in der zumindest zwei übereinanderliegende Halbleiterchips angeordnet sind, die miteinander über elektrisch leitende Verbindungen elektrische Signale und/oder Energie austauschen, wobei die zumindest zwei Halbleiterchips zusammen eine Mindestgröße von 20 bis 25 mm<sup>2</sup> aufweisen und die elektrisch leitende Verbindung mittels einer dreidimensionalen Verdrahtung in dem Halbleiterchip realisiert ist.



WO 01/52184 A2



*Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

Beschreibung

Chipkartenanordnung

5 Die Erfindung betrifft eine Chipkartenanordnung mit einem kartenförmigen Träger, in dem eine Ausnehmung vorgesehen ist, die zur Aufnahme eines Halbleiterchips dient.

Derartige Chipkartenanordnungen sind mittlerweile weit verbreitet. Sie werden beispielsweise als bargeldloses Zahlungsmittel, als Telefonkarte, als Kreditkarte oder als Speicher für persönliche Daten, wie beispielsweise bei der Krankenkassen-Chipkarte, verwendet. Die Chipkarten sind dabei den unterschiedlichsten äußeren Einflüssen unterworfen. Insbesondere können Biegebeanspruchungen auftreten, die im Extremfall die Funktionsfähigkeit der Chipkarte beeinträchtigen können.

Üblicherweise besteht eine Chipkarte aus einem kartenförmigen Träger, in dem eine Ausnehmung vorgesehen ist. In diese wird ein Modul, bestehend aus einem Trägerelement, auf welchem ein Halbleiterchip angeordnet ist, und einem Kontaktelement, das eine elektrische Kontaktierung von außen ermöglicht, eingesetzt. Die elektrische Verbindung zwischen dem Halbleiterchip und den Kontaktelementen wird über Bond-Drähte realisiert.

25 Das Modul dient dazu, den Halbleiterchip vor mechanischen Beschädigungen zu schützen und einen einfachen Zusammenbau des kartenförmigen Trägers mit dem Modul zu ermöglichen.

In der Vergangenheit hat sich ein Standard (ISO-Standard) herausgebildet, der die Abmasse des Moduls und die Anordnung der Kontaktelemente bestimmt. Die Abmasse des Moduls sind im wesentlichen von der Größe des Halbleiterchips abhängig. Die Größe des Halbleiterchips, die eine Fläche von 20 bis 25 mm<sup>2</sup> nicht überschreitet, ist durch die geforderte Bruchfestigkeit des Halbleiterchips bedingt. Würde die Fläche des Halbleiter-

chips größer ausgeführt werden, so könnte durch auftretende Biegebelastungen an der Chipkarte, die dann auch auf das Modul übertragen werden, der Halbleiterchip beschädigt werden.

5 Durch die Flächenbegrenzung ist das Maß der Komplexität bzw. der auf dem Halbleiterchip realisierbaren Funktionen beschränkt. Da die Einsatzgebiete und der Funktionsumfang einer Chipkarte in Zukunft stärker zunehmen werden, besteht das Bedürfnis, möglichst viele Bauelemente auf dem Halbleiterchip  
10 unterzubringen. Durch die Flächenbegrenzung kann die Anzahl der Funktionen bzw. der Bauelemente jedoch nicht beliebig erweitert werden.

Zur Lösung dieses Problems schlägt die DE 195 11 775 C1 ein  
15 Trägermodul zum Einbau in einem kartenförmigen Datenträger vor, das zumindest zwei Halbleiterchips aufweist, die auf einem Trägerelement des Trägermoduls angeordnet sind und elektrisch mit dem Kontaktelement des Moduls verbindbar sind. Die Halbleiterchips sind dabei übereinander angeordnet. Der direkt  
20 auf dem Trägerelement angeordnete erste Halbleiterchip weist eine größere Fläche als der auf dem ersten Halbleiterchip befestigte zweite Halbleiterchip. Diese Vorgehensweise ist dadurch bedingt, daß der erste Halbleiterchip auf der von dem Trägerelement abgewandten Oberfläche Kontaktpads auf-  
25 weist, die über Bond-Drähte mit dem Trägerelement des Trägermoduls verbunden sind. Der zweite Halbleiterchip weist ebenfalls auf seiner Oberfläche Kontaktpads auf, die in einer Variante über Bond-Drähte mit dem Kontaktelement verbunden sind. Nachteilig bei einer derartigen Anordnung ist, daß Si-  
30 gnale über die Bonddrähte von den Halbleiterchips abgegriffen werden können, wodurch sicherheitsrelevante Daten nicht ausreichend geschützt sind.

Da bei einer Bond-Verbindung grundsätzlich bestimmte Biege-  
35 Radien nicht unterschritten werden dürfen, muß das Trägermo-

3

dul eine bestimmte Mindesthöhe aufweisen. Es ist deshalb fraglich, ob die nach dem ISO-Standard vorgegebenen Abmasse eines derartigen Trägermoduls eingehalten werden können. Weiterhin weist das in der DE 196 11 775 C1 beschriebene Trägermodul den Nachteil auf, daß trotz zweier übereinander gestapelter Halbleiterchips die Integrationsdichte nicht verdoppelt werden konnte.

Die Aufgabe der vorliegenden Erfindung besteht nunmehr darin, eine Chipkartenanordnung vorzusehen, die eine hohe Integrationsdichte aufweist und gleichzeitig einen hohen Schutz der Daten ermöglicht.

Diese Aufgabe wird mit den Merkmalen des Patentanspruchs 1 gelöst.

Die Erfindung schlägt eine Chipkartenanordnung mit einem kartenförmigen Träger vor, in dem eine Ausnehmung vorgesehen, in der zumindest zwei übereinanderliegende Halbleiterchips angeordnet sind, die miteinander über elektrisch leitende Verbindungen elektrische Signale und/oder Energie austauschen, wobei die zumindest zwei Halbleiterchips zusammen eine Mindestgröße von 20 bis 25 mm<sup>2</sup> aufweisen und die elektrisch leitende Verbindung zwischen den zumindest zwei Halbleiterchips wird vorteilhafterweise mittels einer dreidimensionalen Verdrahtung in den Halbleiterchips realisiert ist.

Hierdurch kann auf die Verwendung von Bond-Drähten verzichtet werden, die einerseits Kontaktpads auf einer Oberfläche jedes Halbleiterchips erfordern und andererseits eine vorgegebene Mindestbauhöhe der Chipkartenanordnung erfordert. Durch das Vorsehen einer dreidimensionalen Verdrahtung in den Halbleiterchips kann die Chipkartenanordnung gegenüber dem Stand der Technik mit geringerer Bauhöhe realisiert werden.

35 .

Dadurch, daß die zumindest zwei Halbleiterchips zusammen eine Mindestgröße von 20 bis 25 mm<sup>2</sup> aufweisen, die die maximal mögliche Fläche eines einzelnen Halbleiterchips bezüglich der Biegebeanspruchung darstellt, kann die Integrationsdichte gegenüber dem Stand der Technik wesentlich erhöht werden. Insbesondere ermöglicht die Erfindung die weitere Verwendung von Standardmodulen, die auf eine Chipgrundfläche von 20 bis 25 mm<sup>2</sup> ausgelegt sind.

10

Vorteilhafte Ausgestaltungen ergeben sich aus den Unteransprüchen.

In einer Ausgestaltung der Erfindung weist ein erster Halbleiterchip im Bereich einer ersten Hauptfläche mindestens ein erstes Halbleiterbauelement mit ersten Kontakten und ein zweiter Halbleiterchip im Bereich einer zweiten Hauptseite mindestens ein zweites Halbleiterbauelement mit zweiten Kontakten auf, wobei der erste und der zweite Halbleiterchip so zu einem Stapel zusammengefügt werden, daß die erste Hauptfläche auf die zweite Hauptfläche trifft und mindestens ein erster Kontakt und ein zweiter Kontakt aufeinander treffen.

Selbstverständlich könnte das erste Bauelement auch auf der der ersten Hauptfläche gegenüberliegenden Seite des ersten Halbleiterchips zum Liegen kommen. Entsprechend könnte die Anordnung von zweiten Kontakten und zweiten Bauelementen auch bei dem zweiten Halbleiterchip sein. Eine derartige Anordnung erhöht die Sicherheit gegen einen unerwünschten Signalabgriff.

In der der ersten Hauptseite gegenüberliegenden Rückseite des ersten Halbleiterchips sind in eine weiteren Ausgestaltung Kontaktlöcher zur Bildung von Rückseitenkontakten vorgesehen,

35

5

die mit elektrischen Anschlüssen des kartenförmigen Trägers verbunden sind. Da auch die elektrische Kontaktierung der Halbleiterchips mit den elektrischen Anschlüssen des kartenförmigen Trägers in einer vertikalen Ebene stattfindet, bleibt gegenüber dem Stand der Technik mit einer Drahtbondung in der Ausnehmung ein ungenützter freier Raum, der eine Vergrößerung der Halbleiterchips zuläßt, ohne die Abmasse der Ausnehmung bzw. eines Trägermoduls verändern zu müssen. Ist ausreichend Platz in der Ausnehmung vorhanden, könnte alternativ selbstverständlich auch eine Bondverbindung zwischen einem der Halbleiterchips und den elektrischen Anschlüssen des kartenförmigen Trägers vorgesehen sein, sofern sichergestellt ist, daß über diese elektrischen Anschlüsse keine sicherheitsrelevanten Daten übertragen werden.

15

Eine Vergrößerung jedes einzelnen der Halbleiterchips über die bisher vorhandene Flächenlimitierung von 20 bis 25 mm<sup>2</sup> kann dadurch erfolgen, daß die übereinanderliegenden Halbleiterchips auf ihren jeweiligen Rückseiten dünn geschliffen werden. Je dünner ein Halbleiterchip ausgeführt ist, desto höher ist seine Biegefähigkeit, ohne daß Beschädigungen im Inneren des Halbleiterkörpers auftreten.

20

Zudem ist es möglich, bis zu sieben Halbleiterchips in einem Standard-ISO-Modul anzuordnen, während bei einer üblichen Bondverbindung maximal drei Halbleiterchips übereinander möglich sind. Andererseits kann ein Modul wesentlich dünner gebaut werden, indem eine dreidimensionale Verdrahtung rückseitiggedünnter vorgesehen ist. Hierbei würden lediglich die Anzahl an Halbleiterchips übereinander angeordnet werden, die für die Realisierung der Funktionen notwendig ist.

30

In einer vorteilhaften Ausgestaltung ist die Funktionsfähigkeit der Chipkartenanordnung nur dann gewährleistet, wenn die zumindest zwei Halbleiterchips elektrisch miteinander verbun-

35

6

den sind. Diese Vorgehensweise ist insbesondere bei sicherheitsrelevanten Anwendungen von Vorteil, da die elektrischen Anschlüsse des ersten Halbleiterchips, der zwischen den kartenförmigen Träger und den zweiten Halbleiterchip gelegen ist, nicht von außen kontaktierbar sind. Würden die ersten Kontakte des ersten Halbleiterchips freigelegt, so müßten die Verbindungen zwischen den ersten Kontakten und den zweiten Kontakten aufgetrennt werden. Hierdurch werden die auf den Halbleiterchips realisierten Schaltungen nicht mehr funktionieren und somit eine Untersuchung der auf den Leitungen entstehenden Ladungspotentialen verhindern.

Vorteilhafterweise weisen die übereinander liegenden Halbleiterchips eine maximale Höhe von 200µm auf.

15

In einer weiteren Ausgestaltung sind die übereinanderliegenden Halbleiterchips in einem Modul mit einem Kontaktelemente aufweisenden Trägerelement angeordnet und elektrisch mit den Kontaktelementen verbunden. Das Modul ist dabei in die Ausnehmung des kartenförmigen Trägers eingebracht. Das Vorsehen eines Moduls, welches in die Ausnehmung des kartenförmigen Trägers eingebracht wird, entspricht dem üblichen Aufbau einer Chipkarte. Somit ist eine einfache und kostengünstige Fertigung der erfindungsgemäßen Chipkartenanordnung möglich.

25

Weitere Einzelheiten und Vorteile der Erfindung ergeben sich aus den nachfolgenden Figurenbeschreibungen und Ausführungsbeispielen. Es zeigen:

30 Figur 1 den prinzipiellen Aufbau einer aus dem Stand der Technik bekannten Chipkarte in einer Draufsicht,

Figur 2 einen Querschnitt der Chipkartenanordnung aus Figur 1,

35

7

Figur 3 eine erste beispielhafte Anordnung der Halbleiterchips in einem Modul,

5 Figur 4 eine zweite beispielhafte Anordnung der Halbleiterchips in einem Modul,

Figur 5 einen Querschnitt durch zwei Halbleiterchips, in welchem das Prinzip der dreidimensionalen Verdrahtung veranschaulicht wird und

10

Figur 6 drei übereinander liegende Halbleiterchips, die mittels einer dreidimensionalen Verdrahtung miteinander elektrisch verbunden sind.

15 Figur 1 zeigt eine aus dem Stand der Technik bekannte Chipkartenanordnung 1 in einer Draufsicht. Die Chipkartenanordnung 1 weist einen kartenförmigen Träger 2 auf, welcher auf eine Hauptfläche eine Ausnehmung 3 aufweist. Die Ausnehmung 3 ist in der Figur 1 gestrichelt dargestellt. In die Ausnehmung  
20 3 wird ein Modul (nicht sichtbar) eingebracht, welches im wesentlichen aus einem Trägerelement, dem Halbleiterchip (beide nicht sichtbar) und einem Kontaktelement 15 besteht. Über das Kontaktelement 15, das im ISO-Standard über acht voneinander separierte Kontaktflächen aufweist, ist die elektrische Ver-  
25 bindung zu einem externen Lese-/Schreibgerät möglich.

Figur 2 zeigt einen Querschnitt durch die Chipkartenanordnung 1, welche in Figur 1 dargestellt ist. Der kartenförmigen Träger 2, der im vorliegenden Ausführungsbeispiel aus einer einzigen Lage besteht, weist eine Ausnehmung 3 auf. In die Ausnehmung 3 ist das Modul 13 eingebracht. Das zu dem Modul 13 gehörige Kontaktelement 15 kommt dabei auf der Oberseite des kartenförmigen Trägers 2 zum Liegen und ragt über den Rand der Ausnehmung 3 hinaus. Die Ausgestaltung des kartenförmigen  
30 Trägers 2 ist dabei nicht auf eine Lage, wie dargestellt, be-  
35

schränkt. Der kartenförmigen Träger 2 könnte aus einer beliebigen Anzahl aus übereinander liegenden Lagen bestehen.

Figur 3 zeigt in einem ersten Ausführungsbeispiel ein Modul 5 13, welches zum Einbringen in die Ausnehmung eines kartenförmigen Trägers gemäß der Erfindung gedacht ist. Das Modul 13 weist ein Kontaktelement 15 auf, das über Kontaktflächen 19 von außen kontaktierbar ist. Auf der von den Kontaktflächen 19 abgewandten Seite befindet sich ein erster Halbleiterchip 10 4. Dieser ist mit seiner Rückseite 10 auf dem Kontaktelement 15 angeordnet. Auf einer ersten Hauptfläche 6 ist ein zweiter Halbleiterchip 5 mit einer zweiten Hauptfläche 7 angeordnet. Der erste Halbleiterchip 4 weist eine größere Fläche als der zweite Halbleiterchip 5 auf. Die Fläche des zweiten Halbleiterchips 5 kann dabei 20 bis 25 mm<sup>2</sup> betragen, während die Fläche des ersten Halbleiterchips 4 größer ist. Der zweite Halbleiterchip könnte auch größer als die angegebene Fläche sein.

20 Der erste Halbleiterchip 4 und der zweite Halbleiterchip 5 sind beispielsweise über eine Haftschrift 28 miteinander verbunden. Die elektrische Verbindung zwischen dem ersten und dem zweiten Halbleiterchip 4, 5 findet über eine dreidimensionale Verdrahtung statt, die in den nachfolgenden Figuren 25 noch näher erläutert wird.

Die Erfindung sieht im vorliegenden Ausführungsbeispiel ebenfalls vor, daß die elektrische Verbindung zwischen dem ersten Halbleiterchip 4 und dem Kontaktelement 15 nicht über Bond- 30 Drähte, sondern ebenfalls über eine dreidimensionale Verdrahtung stattfindet.

Zur mechanischen Stabilisierung des Moduls 13 sind die Halbleiterchips 4, 5 von einem Versteifungsring 17 umgeben. Der 35 von dem Versteifungsring 17 und dem Kontaktelement 15 um-

geschlossene Raum, in welchem sich die Halbleiterchips 4, 5 befinden, kann beispielsweise mit einer Vergußmasse ausgefüllt sein, um die Halbleiterchips vor einer mechanischen Beschädigung zu schützen. Es wäre gleichfalls vorstellbar, daß auf dem Versteifungsring 17 ein Deckel aufgebracht wird und der gebildete Hohlraum ohne eine Vergußmasse verbleibt.

Eine Vergrößerung des ersten Halbleiterchips 4 über die bisher maximale Fläche von 20 bis 25 mm<sup>2</sup> ist dadurch möglich, daß der erste Halbleiterchip 4 gegenüber dem zweiten Halbleiterchip 5 eine wesentlich geringere Dicke aufweist. Hierdurch verringert sich bei einer Verbiegung die mechanische Belastung. Eine Vergrößerung gegenüber den genannten ursprünglichen Abmassen ist dadurch möglich, daß durch die dreidimensionale Verdrahtung zwischen dem Rand des Halbleiterchips 4 und dem Versteifungsring 17 ein nichtgenutzter Raum verbleibt, der im Stand der Technik für ein Bond-Verbindung benötigt wird. Im Extremfall ist es vorstellbar, daß der erste Halbleiterchip 4 bis an den Versteifungsring 17 heranreicht.

In der Figur 3 ist beispielhaft eine Anordnung gezeigt, die aus zwei übereinanderliegenden Halbleiterchips besteht. Prinzipiell ist es auch denkbar, mehr als zwei Halbleiterchips übereinander zu stapeln, sofern gewährleistet ist, daß die übereinander liegenden Halbleiterchips eine Höhe von 200µm nicht überschreiten. Das Vorsehen einer Vielzahl an übereinander liegenden Halbleiterchips ist in der Praxis problemlos möglich, da bei einer dreidimensionalen Verdrahtung ein Dünnschleifen derjenigen Halbleiterchips prinzipiell vorgesehen ist, die sowohl auf ihrer ersten Hauptfläche als auch auf ihrer Rückseite Kontakte aufweisen.

Figur 4 zeigt ein zweites Ausführungsbeispiel der Anordnung der Halbleiterchips in einem Modul 13. Dieses unterscheidet sich von der Anordnung aus Figur 3 lediglich dadurch, daß der

10

erste und der zweite Halbleiterchip 4, 5 eine identische Grundfläche aufweisen. Der erste Halbleiterchip 4 und der zweite Halbleiterchip 5 sind derart übereinanderliegend, daß deren Ränder bündig übereinander zum Liegen kommen. Weisen 5 der erste und der zweite Halbleiterchip 4, 5 die bisher übliche Fläche von 20 bis 25 mm<sup>2</sup> auf, so verbleibt zu den Versteifungsring 17 ein relativ großer ungenützter Bereich. Durch ein Rückseitenschleifen sowohl des ersten als auch des zweiten Halbleiterchips 5 kann dieser Bereich für eine Vergrößerung der Chipfläche genützt werden, da die Biegefähigkeit aufgrund der geringeren Dicke größer ist. Werden der erste und der zweite Halbleiterchip 4, 5 bis an den Rand des Versteifungsring 17 ausgeführt, ist eine gegenüber dem Stand der Technik wesentlich höhere Anzahl an Bauelementen realisierbar. 15

In den Figuren 5 und 6 soll das Prinzip der dreidimensionalen Verdrahtung näher verdeutlicht werden, wobei dort jeweils Ausschnitte aus den benachbart zueinanderliegenden Hauptflächen der Halbleiterchips dargestellt sind. 20

Der erste Halbleiterchip 4 umfaßt im Bereich einer ersten Hauptfläche 6 Schaltungsstrukturen, die Bestandteil einer mikroelektronischen Schaltung oder einer optoelektronischen Komponente oder einer Sensorkomponente sind. Die Schaltungsstrukturen, die im einzelnen in Figur 5 nicht dargestellt sind, umfassen mindestens eine Metallisierungsebene 20, die durch isolierendes Material, z.B. SiO<sub>2</sub> (nicht dargestellt) gegenüber dem ersten Halbleiterchip 4 isoliert ist. Auf die erste Metallisierungsebene 20 reicht von der ersten Hauptfläche 6 her ein erster Kontakt 24. Auf der ersten Hauptfläche 6 sind erste Metallflächen 22 angeordnet, die z.B. durch ganzflächige CVD-Abscheidung von Wolfram und anschließende Strukturierung gebildet werden. 30

35

Ein zweiter Halbleiterchip 5 umfaßt im Bereich einer zweiten Hauptfläche 7 Schaltungsstrukturen, die ebenfalls Bestandteil einer mikroelektronischen Schaltung, einer optoelektronischen Komponente oder einer Sensorkomponente sind. Diese nichtdargestellten Schaltungsstrukturen umfassen mindestens eine  
5 zweite Metallisierungsebene 21, die durch isolierendes Material, z.B. SiO<sub>2</sub> (nicht dargestellt) gegenüber dem zweiten Halbleiterchip 5 isoliert ist. Von der zweiten Hauptfläche 7 her reicht ein zweiter Kontakt 25 auf die zweite Metallisie-  
10 rungsebene 21. Auf der zweiten Hauptfläche 7 sind zweite Metallflächen 23 angeordnet, die z.B. durch Abscheidung und anschließende Strukturierung einer Kupferschicht gebildet werden.

15 Der erste Halbleiterchip 4 und der zweite Halbleiterchip 5 werden so zusammengefügt, daß die ersten Metallisierungsflächen 22 auf die zweiten Metallisierungsflächen 23 treffen und daß der erste Kontakt 24 auf den zweiten Kontakt 25 trifft. Zwischen die Metallflächen 22, 23 und die Kontakte 24, 25  
20 wird eine Lotschicht 26, z.B. aus Zinn aufgebracht. Durch Erhitzen der Anordnung auf etwa 200°C werden die Metallflächen 22, 23 und die Kontakte 24, 25 miteinander verlötet. Über die Kontakte 24, 25 kommt es zu einer elektrischen Verbindung zwischen den Schaltungsstrukturen im ersten Halbleiterchip 4  
25 und im zweiten Halbleiterchip 5. Über die verlöteten Metallflächen 22, 23 kommt es zu einer festen mechanischen Verbindung zwischen beiden Substraten. Die Metallflächen 22, 23 stellen sogleich den Abtransport der wegen der hohen Pak-  
kungsdichte beträchtlichen Verlustwärme sicher.

30

Soll dem aus dem ersten Halbleiterchip 4 und dem zweiten Halbleiterchip 5 gebildeten Stapel ein weiteres Bauelement hinzugefügt werden, muß zumindest einer der beiden Halbleiterchips gedünnt werden. Um eine möglichst geringe Höhe und  
35 Biegefähigkeit des Chipstapels zu erlangen, werden vorteil-

12

hafterweise beide Halbleiterchips auf ihrer Rückseite dünn geschliffen. Im vorliegenden Beispiel wird der erste Halbleiterchip 4 an der der ersten Hauptfläche 6 gegenüberliegende Rückseite 10 dünn geschliffen, bis die Dicke des ersten Substrats 5 bis 20µm, vorzugsweise 10µm, beträgt. Um die elektrische Verbindung zwischen einem der beiden Halbleiterchips und dem Kontaktelement in dreidimensionaler Verdrahtung herstellen zu können, ist ebenfalls ein Dünnschleifen eines Halbleiterchips notwendig.

10

Zur Herstellung der elektrischen Verbindung der Halbleiterchips mit dem Kontaktelement 15 wird von der Rückseite 10 her ein Rückseitenkontakt 12 auf die erste Metallisierungsebene 20 gebildet. Dazu wird ein Kontaktloch 12 geätzt, das mit einer Metallisierung, z.B. aus Wolfram aufgefüllt wird.

15

Der aus dem ersten Halbleiterchip 4 und dem zweiten Halbleiterchip 5 gebildete Stapel kann anschließend mit einem dritten Halbleiterchip 16 zusammengefügt werden (siehe Figur 6). Der dritte Halbleiterchip 16 ist auf der der dritten Hauptfläche 29 zugewandten Seite prinzipiell identisch aufgebaut wie der erste bzw. der zweite Halbleiterchip 4, 5. Der dritte Halbleiterchip 16 wird mit dem aus dem ersten Halbleiterchip 4 und dem zweiten Halbleiterchip 5 gebildeten Stapel so zusammengefügt, daß die dritte Hauptfläche 29 auf die Rückseite 10 des ersten Halbleiterchips 4 trifft. Dabei trifft ein dritter Kontakt 27 auf den Rückseitenkontakt 12 des ersten Halbleiterchips 4. Außerhalb des dritten Kontakts 27 und des Rückseitenkontaktes 12 wird eine Haftschrift 28, z.B. aus Polyimid aufgebracht, über die der dritte Halbleiterchip 16 fest mit dem ersten Halbleiterchip 4 verbunden wird. Der dritte Kontakt 27 und der Rückseitenkontakt 12 sind durch direktes Aufeinandertreffen der Kontakte elektrisch miteinander verbunden.

35

13

Der dritte Halbleiterchip 16 wird von einer der dritten Hauptfläche 29 gegenüberliegenden Rückseite 32 her bis auf 5 bis 20µm dünngeschliffen. Anschließend wird ein Rückseitenkontakt 30 von der Rückseite 32 auf eine dritte Metallisierungsebene 31 gebildet. Der Rückseitenkontakt 30 kann als An- 5 schluß zu der dreidimensionalen Schaltungsanordnung verwendet werden, also mit dem Kontaktelement 15 des Moduls 13 verbunden werden. Der Rückseitenkontakt 30 könnte auch als vertikaler Kontakt zu einer weiteren hinzu zu fügenden Bauelemen- 10 tebene dienen.

Das erfindungsgemäße Vorgehen ermöglicht somit eine Chipkartenanordnung, die gegenüber den aus dem Stand der Technik bekannten Anordnungen eine wesentlich höhere Integrationsdichte 15 aufweist und mit den üblichen Fertigungsmethoden hergestellt werden kann.

20

## Patentansprüche

1. Chipkartenanordnung mit einem kartenförmigen Träger (2),  
in dem eine Ausnehmung (3) vorgesehen ist, in der zumindest  
5 zwei übereinanderliegende Halbleiterchips (4, 5) angeordnet  
sind, die miteinander über elektrisch leitende Verbindungen  
(24, 25, 27, 11, 30) elektrische Signale und/oder Energie  
austauschen, wobei die zumindest zwei Halbleiterchips (4, 5)  
zusammen eine Mindestgröße von 20 bis 25 mm<sup>2</sup> aufweisen und  
10 die elektrisch leitende Verbindung mittels einer dreidimen-  
sionalen Verdrahtung in dem Halbleiterchips (4, 5, 16) reali-  
siert ist.

2. Chipkartenanordnung nach Anspruch 1,  
15 d a d u r c h g e k e n n z e i c h n e t , daß  
ein erster Halbleiterchip (4) im Bereich einer ersten  
Hauptfläche (6) mindestens ein erstes Halbleiterbauelement  
mit ersten Kontakten (24) und ein zweiter Halbleiterchip (5)  
im Bereich einer zweiten Hauptseite (7) mindestens ein zwei-  
20 tes Halbleiterbauelement mit zweiten Kontakten (25) aufweist,  
wobei der erste und der zweite Halbleiterchip (4, 5) so zu  
einem Stapel zusammengefügt werden, daß die erste Hauptfläche  
(6) auf die zweite Hauptfläche (7) trifft und daß mindestens  
ein erster Kontakt (24) und ein zweiter Kontakt aufeinander  
25 treffen,

3. Chipkartenanordnung nach A1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t , daß  
in der der ersten Hauptseite (6) gegenüberliegenden Rückseite  
30 (10) des ersten Halbleiterchips (4) Kontaktlöcher (11) zur  
Bildung von Rückseitenkontakten (12) vorgesehen sind, die mit  
elektrischen Anschlüssen des kartenförmigen Trägers verbunden  
sind.

15

4. Chipkartenanordnung nach einem der Ansprüche 1 bis 3,  
d a d u r c h g e k e n n z e i c h n e t , daß  
die Funktionsfähigkeit der Chipkartenanordnung nur dann ge-  
währleistet ist, wenn die zumindest zwei Halbleiterchips (4,  
5 5) elektrisch miteinander verbunden sind.

5. Chipkartenanordnung nach einem der Ansprüche 1 bis 4,  
d a d u r c h g e k e n n z e i c h n e t , daß  
die übereinanderliegenden Halbleiterchips (4, 5) eine Höhe  
10 von maximal 200µm aufweisen.

6. Chipkartenanordnung nach einem der Ansprüche 1 bis 5,  
d a d u r c h g e k e n n z e i c h n e t , daß  
die übereinanderliegenden Halbleiterchips (4, 5, 16) in einem  
15 Modul mit einem Kontaktelemente (15) aufweisenden Trägerele-  
ment angeordnet und elektrisch mit den Kontaktelementen (15)  
verbunden sind, wobei das Modul (13) in die Ausnehmung (3)  
des kartenförmigen Trägers (2) eingebracht ist.

FIG 1

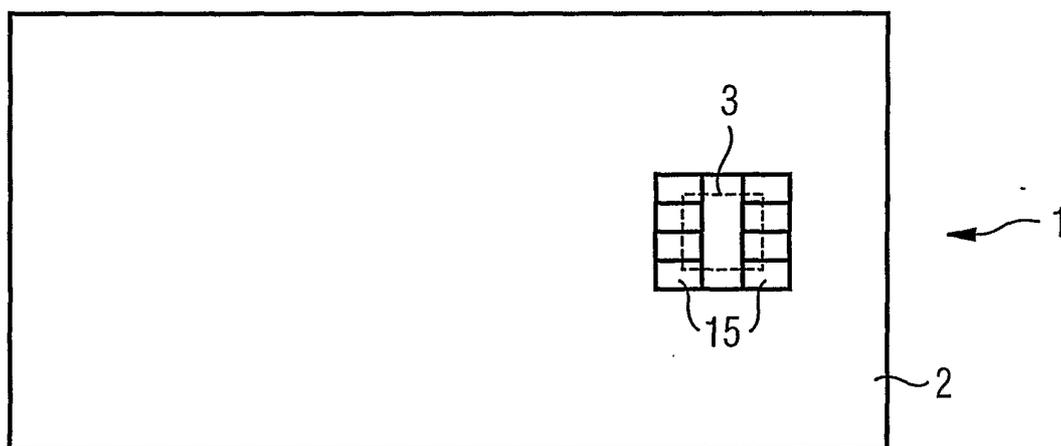


FIG 2

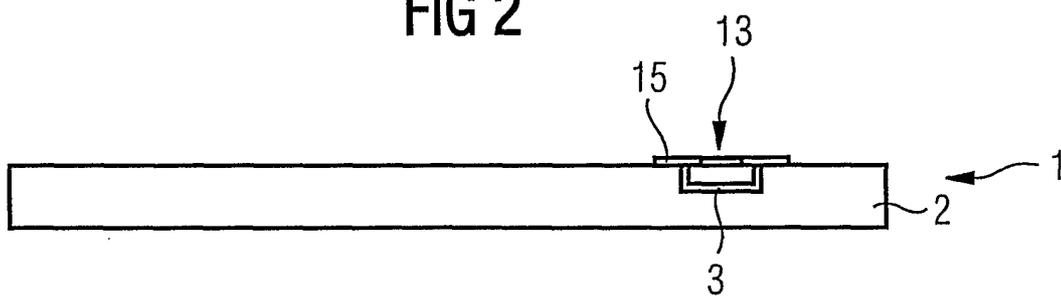


FIG 3

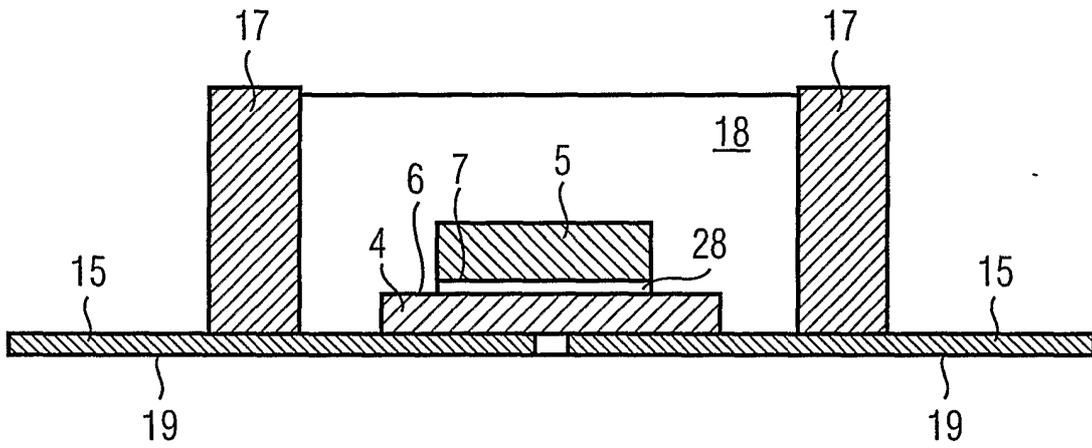


FIG 4

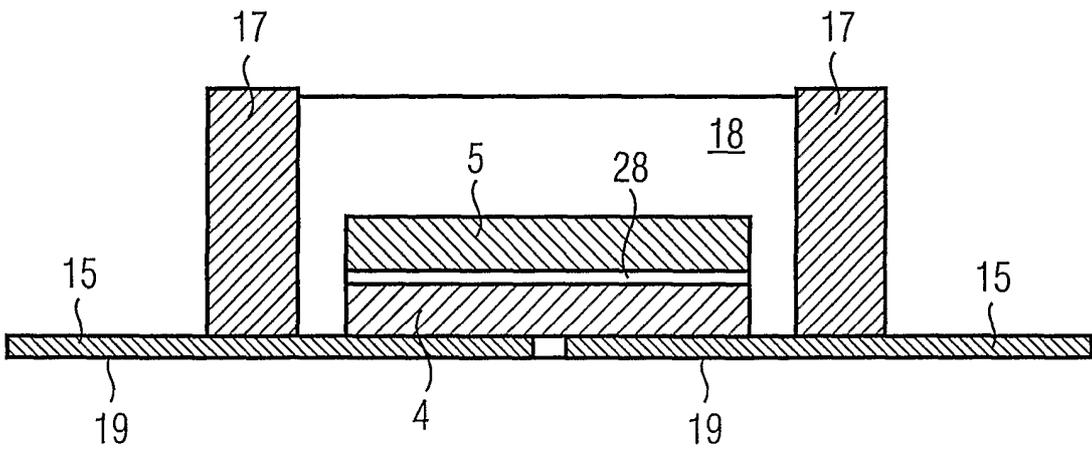


FIG 5

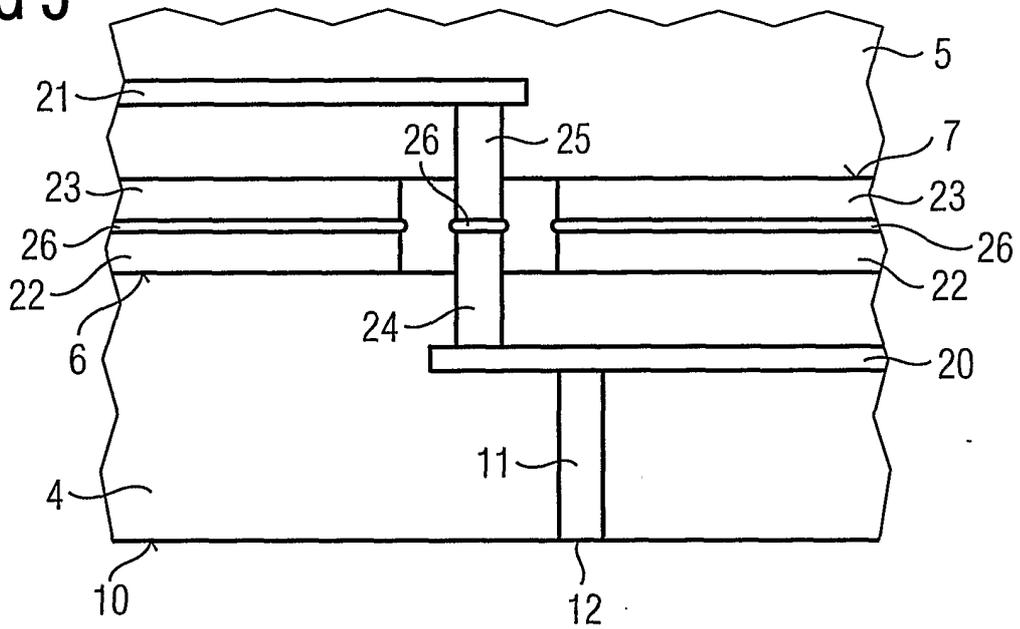


FIG 6

