



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월30일
 (11) 등록번호 10-0860975
 (24) 등록일자 2008년09월24일

(51) Int. Cl.
G11C 11/4074 (2006.01) *G11C 5/14* (2006.01)
G11C 11/406 (2006.01)
 (21) 출원번호 10-2007-0020698
 (22) 출원일자 2007년03월02일
 심사청구일자 2007년03월02일
 (65) 공개번호 10-2008-0080695
 (43) 공개일자 2008년09월05일
 (56) 선행기술조사문헌
 KR1020060028094 A

(73) 특허권자
 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
 변상진
 경기 용인시 기흥구 신갈동 인성현대아파트
 102-209
 (74) 대리인
 특허법인 신성

전체 청구항 수 : 총 11 항

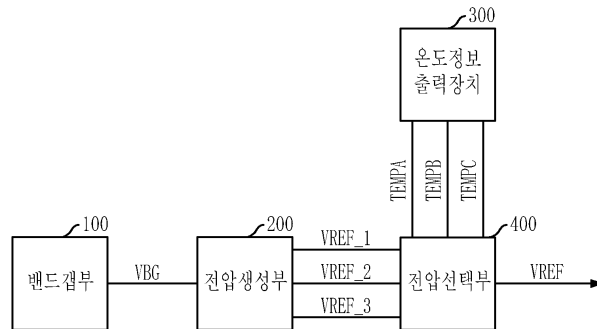
심사관 : 윤진훈

(54) 반도체장치의 내부전압 생성회로.

(57) 요약

본 발명은 온도에 대한 면역성이 강화된 반도체장치의 내부전압 생성회로에 관한 것으로, 본 발명에 따른 반도체 장치의 내부전압 생성회로는 반도체장치의 온도를 측정하여 온도정보를 출력하는 온도정보 출력장치; 서로 다른 레벨을 가지는 복수의 전압을 생성하는 전압생성부; 및 상기 온도정보에 따라 상기 복수의 전압 중 내부전압을 선택하는 전압선택부를 포함한다.

대표도 - 도9



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

반도체장치의 온도를 측정하여 온도정보를 출력하는 온도정보 출력장치;

전압분배를 통해 서로 다른 레벨을 가지는 복수의 전압을 생성하는 전압생성부;

상기 온도정보에 따라 상기 복수의 전압 중 내부전압을 선택하는 전압선택부; 및

온도에 영향을 받지 않는 일정한 기준전압을 발생하는 밴드갭부를 포함하며,

상기 전압생성부는 상기 기준전압을 전압분배해 상기 복수의 전압을 생성하는 것을 특징으로 하는 반도체장치의 내부전압 생성회로.

청구항 4

반도체장치의 온도를 측정하여 온도정보를 출력하는 온도정보 출력장치;

서로 다른 레벨을 가지는 복수의 전압을 생성하는 전압생성부; 및

상기 온도정보에 따라 상기 복수의 전압 중 내부전압을 선택하는 전압선택부를 포함하며,

상기 전압선택부는,

상기 복수의 전압을 각각 입력받는 복수의 패스게이트를 포함하며,

상기 복수의 패스게이트는 상기 온도정보에 의해 온/오프 되는 것을 특징으로 하는 반도체장치의 내부전압 생성회로.

청구항 5

반도체장치의 온도를 측정하여 온도정보를 출력하는 온도정보 출력장치;

서로 다른 레벨을 가지는 복수의 전압을 생성하는 전압생성부; 및

상기 온도정보에 따라 상기 복수의 전압 중 내부전압을 선택하는 전압선택부를 포함하며,

상기 온도정보는,

각각 일정 온도에서 인에이블 되는 복수의 플래그신호인 것을 특징으로 하는 반도체장치의 내부전압 생성회로.

청구항 6

제 5항에 있어서,

상기 전압선택부는,

상기 복수의 전압을 각각 입력받는 복수의 패스게이트를 포함하며,

상기 복수의 패스게이트는 상기 복수의 플래그신호에 의해 온/오프 되는 것을 특징으로 하는 반도체장치의 내부전압 생성회로.

청구항 7

제 6항에 있어서,

상기 패스게이트와 상기 플래그신호는 일대 일로 대응되며,

상기 패스게이트는,

상기 패스게이트에 대응되는 상기 플래그신호가 인에이블 되면 온 되는 것을 특징으로 하는 반도체장치의 내부 전압 생성회로.

청구항 8

제 7항에 있어서,

상기 패스게이트는,

상기 패스게이트에 대응되는 상기 플래그신호보다 상위의 플래그신호-더 높은 온도에서 인에이블 되는 신호임-가 인에이블 되는 경우에는 오프되는 것을 특징으로 하는 반도체장치의 내부전압 생성회로.

청구항 9

제 8항에 있어서,

상기 전압선택부는,

상기 패스게이트에 대응되는 상기 플래그신호를 입력받는 인버터; 및 상기 인버터의 출력과 상기 상위의 플래그신호를 입력받는 노아게이트를 포함해 상기 노아게이트의 출력으로 상기 패스게이트의 온/오프를 제어하며,

최상위 온도에 대응되는 패스게이트만은 최상위 온도에 대응하는 플래그신호가 직접 제어하는 것을 특징으로 하는 반도체장치의 내부전압 생성회로.

청구항 10

반도체장치의 온도를 측정하여 온도정보를 출력하는 온도정보 출력장치;

서로 다른 레벨을 가지는 복수의 전압을 생성하는 전압생성부; 및

상기 온도정보에 따라 상기 복수의 전압 중 내부전압을 선택하는 전압선택부를 포함하며,

상기 온도정보 출력장치는,

온도를 감지하여 온도에 일대일로 대응하는 전압을 출력하는 전압감지부;

상기 전압을 디지털코드로 변환하는 아날로그-디지털 변환부; 및

상기 디지털코드를 입력받아 특정온도에서 인에이블 되는 복수의 플래그신호를 생성하는 플래그신호 생성부를 포함하는 것을 특징으로 하는 반도체장치의 내부전압 생성회로.

청구항 11

반도체 메모리장치(DRAM)의 온도를 측정하여 온도정보를 출력하는 온도정보 출력장치;

서로 다른 레벨을 가지는 복수의 전압을 생성하는 전압생성부; 및

상기 온도정보에 따라 상기 복수의 전압 중 내부전압을 선택하는 전압선택부를 포함하며,

상기 전압선택부에서 선택된 내부전압은 메모리장치의 코어전압(VCORE)을 만들기 위한 기준전압으로 사용되는 것을 특징으로 하는 반도체 메모리장치(DRAM)의 내부전압 생성회로.

청구항 12

반도체 메모리장치(DRAM)의 온도를 측정하여 온도정보를 출력하는 온도정보 출력장치;

서로 다른 레벨을 가지는 복수의 전압을 생성하는 전압생성부; 및

상기 온도정보에 따라 상기 복수의 전압 중 내부전압을 선택하는 전압선택부를 포함하며,

상기 전압선택부에서 선택된 내부전압은 메모리장치의 전원전압보다 높은 전압인 고전압(VPP)을 펌핑하기 위한 기준전압으로 사용되는 것을 특징으로 하는 반도체 메모리장치(DRAM)의 내부전압 생성회로.

청구항 13

반도체 메모리장치(DRAM)의 온도를 측정하여 온도정보를 출력하는 온도정보 출력장치;

서로 다른 레벨을 가지는 복수의 전압을 생성하는 전압생성부; 및

상기 온도정보에 따라 상기 복수의 전압 중 내부전압을 선택하는 전압선택부를 포함하며,

상기 전압선택부에서 선택된 내부전압은 접지전압보다 낮은 전압인 음전압(VBB)을 펌핑하기 위한 기준전압으로 사용되는 것을 특징으로 하는 반도체 메모리장치(DRAM)의 내부전압 생성회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 반도체장치에 관한 것으로, 더욱 상세하게는 반도체장치 내에서 사용되는 내부전압을 생성하는 회로에 관한 것이다.
- <18> 여러 반도체장치 내에서는 외부에서 공급되는 전원전압과는 다른 레벨을 가지는 여러 내부전압을 만들어 사용하고 있다. 특히, 반도체 메모리장치(DRAM)의 경우에는 메모리장치의 코어(core)지역에서 사용하는 전압인 V_{CORE}, 셀(cell)트랜지스터의 게이트(워드라인: Word Line)에 인가되는 외부전위(VDD)보다 높은 전압인 VPP, 셀트랜지스터의 벌크에 사용되는 접지전압(VSS)보다 낮은 전압인 음전압(VBB)등을 만들어 사용하고 있다.
- <19> 이러한 내부전압들을 만들기 위해서는 차지펌핑(charge pumping) 방식(VBB, VPP의 경우)과 다운 컨버팅(down converting) 방식(V_{CORE}의 경우) 등을 사용하고 있는데, 일반적으로 어떠한 방법을 사용하던지 1차적으로는 기준이 되는 내부전압(내부 기준전압(VREF))을 만든 후, 이를 이용하여 다시 2차적으로 새로운 내부전압(VBB, VPP, V_{CORE})을 만드는 방법을 사용하고 있다.
- <20> 도 1은 종래의 내부전압 생성회로의 구성도이다.
- <21> 종래의 내부전압(VREF) 생성회로는 밴드갭부(10)와 전압생성부(20)를 포함하여 구성된다.
- <22> 밴드갭부(10)에서는 PVT(Process, Voltage, Temperature: 공정, 전압, 온도) 변화에 대해 일정한 레벨을 가지는 전압인 VBG를 만들고, 전압생성부(20)는 VBG를 이용하여 내부전압(VREF)을 생성한다. 밴드갭부(10)와 전압생성부(20)에 대해서는 도 2,3에서 자세히 알아본다.
- <23> 도 2는 도 1의 밴드갭부(10)의 상세 회로도이다.
- <24> 밴드갭부는 공정에 대한 변화가 적은 버티컬(vertical) PNP BJT 트랜지스터를 이용한다. 이는 온도에 따라 흐르는 전류의 양이 증가하게 하는 PTAT(Proportional to Absolute Temperature)향과 온도에 따라 흐르는 전류의 양이 감소하게 하는 CTAT(Complementary proportional to Absolute Temperature)향을 만들고 이들의 조합으로 이루어진다.
- <25> 이 회로에서 A노드와 B노드가 가상 단락(virtually shorted) 되었다는 가정 하에 N:1의 비를 가지는 두 BJT(Q1, Q2)의 이미터 전류로 표현되는 일반적인 다이오드 전류 대 전압에 관한 식은 다음과 같다.
- <26>
$$I_{Q2} = I_S (\exp[V_{BE} / V_T] - 1) \approx I_S \exp[V_{BE} / V_T] |_{V_{BE} \gg V_T}$$
- <27> 이를 각각 Q1, Q2에 적용하면 다음과 같아진다.
- <28>
$$I_{Q1} = I_S \exp[V_{BE1} / V_T], \quad I_{Q2} = N \cdot I_S \exp[V_{BE2} / V_T]$$
- <29> 여기서 I_{Q1}, I_{Q2}는 각각의 BJT에 흐르는 이미터 전류이다.

<30> A노드와 B노드의 전위가 같은 경우 R1저항을 통해 흐르는 IPTAT전류는 다음과 같다.

<31>
$$I_{IPTAT} = (V_{BE1} - V_{BE2}) / R_1 = \ln(N \cdot \alpha) \cdot V_T / R_1$$

<32> 그리고 동일한 상황 하에 R2저항을 통해 흐르는 ICTAT전류는 다음과 같다.

<33>
$$I_{ICTAT} = V_{BE1} / R_2$$

<34> 동일한 크기의 MOS에 동일한 양의 전류가 흐른다는 가정하에서 M*IPTAT, K*ICTAT의 전류는 표시된 대로 M*IPTAT, K*ICTAT가 된다.

<35> 이를 바탕으로 밴드갭부의 출력전압인 VBG는 다음과 같이 표시된다.

<36>
$$VBG = K \cdot R_1 / R_2 \cdot (V_{BE1} + (M \cdot R_1 / K \cdot R_1) \cdot \ln(N \cdot \alpha) \cdot V_T)$$

<37> 온도 보상이 일어나도록 M, R1, R2, R3, K, M 값을 적절하게 조절해 주면 출력 VBG는 PVT변화에 대해 일정한 값을 가지게 된다. 일반적으로는 N, R1, R2, R3값은 고정하고 K, M값만을 조절하여 PTAT와 CTAT의 전류량을 조절하게 된다.

<38> 즉, 밴드갭부에서는 PVT 변화에 일정한 값을 갖는 전압인 VBG를 출력한다.

<39> 도 3은 도 1의 전압생성부(20)의 상세 회로도이다.

<40> 전압생성부는 OP앰프(21), PMOS트랜지스터(22)와 저항들(23)을 포함하여 구성된다.

<41> 그 동작을 보면, OP앰프를 통해 밴드갭부(10)의 출력전압인 VBG를 입력받으며, OP앰프의 출력이 PMOS트랜지스터의 게이트에 입력되어 이를 구동하게 되는데, 결국에는 OP앰프의 양 입력의 전위레벨이 동일해진다. 즉, C노드의 전위 레벨은 VBG가 된다.

<42> C노드의 전위 VBG는 저항 23,24에 의해서 전압 분배가 된다. 따라서 저항비에 따라 내부전압(VREF)={VBG*(24저항+23저항)/24저항}의 값을 가지게 된다.

<43> 상술한 과정을 거쳐서 생성된 내부전압(VREF)은 바로 반도체장치의 내부전압으로 사용될 수도 있지만, 다른 내부전압(예, Vcore, VBB, VPP)을 생성하기 위해서 사용되기도 한다.

<44> 이하, 상술한 도 1의 내부전압 생성회로에서 만들어진 내부전압(VREF)이 사용되는 예에 대해서 도 4에서 도 8에 걸쳐 알아보기로 한다.

<45> 도 4는 종래의 음전압 펌핑회로 구성도이다.

<46> 음전압 펌핑회로는 음전압감지부(41), 오실레이터부(42), 전압펌핑부(43+44)를 포함하여 구성된다.

<47> 음전압감지부(41)는 음전압(VBB)의 레벨을 감지하는 부분으로 전압펌핑부(43+44)를 구동할 것인지 말 것인지를 여부를 결정하는 감지신호(bbweb)를 출력한다. 음전압감지부(41)가 음전압(VBB)을 감지하는데 있어서 상술한 도 1의 내부전압 생성회로에서 만들어진 내부전압(VREFB: VBB를 펌핑하는데 사용된다는 의미에서 첨자B를 추가함)이 사용되는데, 이에 대해서는 도 5와 함께 후술하기로 한다. 오실레이터부(42)는 감지신호(bbweb)를 입력받아 주기파(osc)를 출력한다. 전압펌핑부(43+44)는 오실레이터부(42)에서 출력되는 주기파(osc)에 응답하여 음전압(VBB)을 펌핑하는데 전압펌핑부(43+44)는 펌프제어부(43)와 차지펌프부(44)로 구성될 수 있다. 상세하게 펌프제어부(43)는 오실레이터부의 출력신호(osc)에 응답하여 펌프 제어신호(p1, p2, g1, g2)를 출력하며, 차지펌프부(44)는 펌프제어신호(p1, p2, g1, g2)에 응답하여 음전압(VBB)을 펌핑하게 된다.

<48> 전체적인 동작을 간단히 설명하면, 음전압감지부(41)에서 감지한 음전압(VBB)의 레벨이 충분히 낮은 경우에는 펌핑동작을 중단하고, 음전압감지부(41)에서 감지한 음전압(VBB)의 레벨이 높은 경우에는 전압펌핑부(43+44)에서 음전압(VBB) 펌핑동작을 하게 된다.

<49> 도 5는 도 4의 음전압감지부(41)의 상세 회로도이다.

<50> 도면은 보면, 트랜지스터 P01의 게이트에 접지전압(VSS) 트랜지스터 P02의 게이트에 음전압(VBB)이 각각 인가된다. 트랜지스터 P01과 P02는 선형 영역(linear region)에서 동작하며, 저항 역할을 하여 고전위(VREFB)와 저전위(VSS)의 전압을 분배한다. 예를 들어 음전압(VBB)의 절대값이 작아서(음전압의 레벨은 높은 것을 의미한다.) 트랜지스터 P02의 저항이 커지게 되면 DET노드의 전위는 올라가게 되어 인버터 I03에서는 감지신호(bbweb)가 '

로우'로 출력될 것이며(음전압을 펌핑하게 한다.), 음전압(VBB)의 절대값이 커서(음전압의 레벨이 낮아서) 트랜지스터 P03의 저항이 작아지면 DET노드의 전위는 내려가고 인버터 I03에서는 감지신호(bbweb)가 '하이'로 출력될 것이다.(음전압 펌핑을 중단하게 한다.)

- <51> 즉, 음전압감지부(41)는 접지전압(VSS) 및 음전압(VBB)을 각각 인가받는 트랜지스터 P01,P02의 전압분배에 의해서 음전압(VBB)의 레벨을 감지한다.
- <52> 이러한 음전압감지부(41)에서의 고전위와 트랜지스터 P02의 벌크전압으로 도 1의 내부전압 생성회로에서 만들어진 내부전압(VREFB)이 사용될 수 있으며, 결국 내부전압(VREFB)의 레벨에 따라 감지신호(bbweb)가 인에이블 디스에이블 되는 음전압(VBB) 레벨에 변화가 있게 된다.
- <53> 도 6은 종래의 고전압 펌핑회로의 구성도이다.
- <54> 고전압 펌핑회로는 고전압감지부(61), 오실레이터부(62), 전압펌핑부(63+64)를 포함하여 구성된다. 각 부의 기본적인 역할은 도 4의 음전압 펌핑회로와 동일하지만 음전압(VBB)이 아닌 고전압(VPP)을 펌핑하게 되므로 약간의 변경이 가해진다.
- <55> 고전압감지부(61)는 고전압(VPP)의 레벨을 감지하는 부분으로 전압펌핑부(63+64)를 구동할 것인지 말 것인지를 여부를 결정하는 감지신호(ppes)를 출력한다. 고전압감지부(61)가 음전압(VPP)을 감지하는데 있어서 상술한 도 1의 내부전압 생성회로에서 만들어진 내부전압(VREFP: VPP를 펌핑하는데 사용된다는 의미에서 첨자P를 추가함)이 사용되는데, 이에 대해서는 도 7과 함께 후술하기로 한다. 오실레이터부(62)는 감지신호(ppes)를 입력받아 주기파(osc)를 출력한다. 전압펌핑부(63+64)는 오실레이터부(62)에서 출력되는 주기파에 응답하여 고전압(VPP)을 펌핑하는데 전압펌핑부(63+64)는 펌프제어부(63)와 차지펌프부(64)로 구성될 수 있다. 상세하게 펌프제어부(63)는 오실레이터부(62)의 출력신호(osc)에 응답하여 펌프 제어신호(p1, p2, g1, g2)를 출력하며, 차지펌프부(64)는 펌프제어신호(p1, p2, p3, g2)에 응답하여 고전압(VPP)을 펌핑하게 된다.
- <56> 전체적인 동작을 간단히 설명하면, 고전압감지부(61)에서 감지한 고전압(VPP)의 레벨이 충분히 높은 경우에는 펌핑동작을 중단하고, 고전압감지부(61)에서 감지한 고전압(VPP)의 레벨이 낮은 경우에는 전압펌핑부(63+64)에서 고전압(VPP) 펌핑동작을 하게 된다.
- <57> 도 7은 도 6의 고전압감지부(61)의 상세 회로도이다.
- <58> 고전압감지부는 차지펌프부(64)로부터 피드백(feed back) 받은 고전압(VPP)을 전압분배하여 내부전압(VREFP)과의 비교를 통해 고전압(VPP)의 레벨을 감지한다. 즉, 고전압(VPP)이 원하는 타겟(target) 레벨보다 떨어질 경우에는 d노드의 전위가 내부전압(VREFP)보다 낮아지게 된다. 그러면 전류미러(current mirror)를 형성하고 있는 트랜지스터N05가 트랜지스터N04보다 강하게 턴온되어 f노드의 논리레벨은 '로우'가 된다. 따라서 인버터I03에서는 감지신호 ppes가 '하이'로 출력된다.(이는 고전압을 펌핑하게 한다.)
- <59> 반대로 고전압(VPP)이 원하는 타겟 레벨보다 높을 경우에는 d노드의 전위가 기준전압(VREFP)보다 높아지게 된다. 이때는 f노드의 논리레벨이 '하이'가 되고, 인버터I03에서는 감지신호 ppes가 '로우'로 출력된다.(고전압의 펌핑은 중단)
- <60> 이러한 고전압감지부(61)에서는 고전압(VPP)과 비교를 하게 되는 기준전압으로 도 1의 내부전압 생성회로에서 만들어진 내부전압(VREFP)을 사용한다. 따라서 내부전압(VREFP)의 레벨에 따라 감지신호 ppes가 인에이블 디스에이블 되는 고전압(VPP)의 레벨에 변화가 있게 되고, 이는 곧 펌핑되는 고전압(VPP)의 레벨이 달라진다는 것을 의미한다.
- <61> 도 8은 종래의 코어전압 생성회로의 구성도이다.
- <62> 종래의 코어전압 생성회로(VCORE generator)는 전류미러(current mirror) 방식의 버퍼(unit gain buffer)를 이용하여 외부전원을 다운 컨버팅(down converting)하여 일정한 내부 전위로 만들고, 이를 이용해 필요한 전류를 드라이빙 하는 방식으로 만든다.
- <63> 회로에 입력되는 전압으로 외부전압인 VDD, VSS가 있고, 회로가 신뢰 있는 동작을 할 수 있으며 동작가능한 시점임을 알리는 ON신호, 코어전압(VCORE)을 만들기 위한 기준전압으로 쓰이는 내부전압(VREFC: 코어전압을 만들기 위한 내부전압이기 때문에 첨자 C를 추가함)이 있다. 그리고 출력되는 전압으로는 코어전압(VCORE)이 있다.
- <64> 대략적인 동작을 설명하면, 회로가 정상상태 동작을 하고 있음을 알리는 ON신호가 들어오면 전류미러는 동작을 시작한다. 전류미러가 동작을 시작하면 VREFC와 VCORE_Half의 전위는 같아지게 되고, VCORE 노드로는

VCORE_Half의 2배가 되는 VCORE전압이 출력된다.

- <65> 이러한 코어전압 생성부에서는 내부전압(VREFC)을 입력받아 내부전압(VREFC)*2의 레벨이 되는 코어전압(VCORE)을 출력하기 때문에 결국에는 도 1의 내부전압 생성회로에서 만들어지는 내부전압(VREFC)이 코어전압(VCORE)의 레벨에 영향을 주게 된다.
- <66> 도 1에 도시된 종래의 내부전압 생성회로는 온도에 따라 일정한 값을 가지는 내부전압(VREF)을 출력한다. 그러나 반도체 메모리장치에서 VPP의 경우에는 온도가 낮아질수록 높아지는 것이, VBB는 온도가 낮아질수록 높아지는 것(음전압이므로 절대값은 작아지는 것을 의미)이 tWR(Write Recovery time) 측면에서 유리하다.
- <67> 저온에서는 트랜지스터의 문턱전압 Vth가 커진다. 이런 상황에서는 VPP의 레벨을 높게, VBB의 레벨을 높게 하여 셀(cell)에 데이터가 저장될 때 충분한 양의 전하를 공급할 필요가 있기 때문이다.
- <68> 또한, 고온에서는 이와 반대로 VBB의 레벨을 낮게 할 필요성이 있는데 이는 고온의 경우 누설전류(leakage current)가 증가하므로 이를 막기 위해 VBB의 레벨이 낮을 필요성이 있는 것이다.
- <69> 이와 같이 반도체장치에서는 내부전압의 레벨을 온도에 따라 변화시켜야할 필요성이 있지만 종래의 내부전압 생성회로는 온도의 변화에 대해 일정한 크기를 갖는 내부전압(VREF)만을 공급하기 때문에 반도체장치에서 요구하는 조건을 만족시키지 못한다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <70> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 제안된 것으로, 온도에 따라 변화하는 내부전압을 생성하는 반도체장치의 내부전압 생성회로를 제공하고자 하는데 그 목적이 있다.

발명의 구성 및 작용

- <71> 상기한 목적을 달성하기 위한 본 발명의 일실시예에 따른 반도체장치의 내부전압 생성회로는, 반도체장치의 온도를 측정하여 온도정보를 출력하는 온도정보 출력장치; 서로 다른 레벨을 가지는 복수의 전압을 생성하는 전압생성부; 및 상기 온도정보에 따라 상기 복수의 전압 중 내부전압을 선택하는 전압선택부를 포함한다.
- <72> 또한, 상기 전압생성부는 전압분배를 통해 상기 복수의 전압을 생성하는 것을 특징으로 할 수 있다.
- <73> 또한, 상기 내부전압 생성회로는 온도에 영향을 받지 않는 일정한 기준전압을 발생하는 밴드갭부를 더 포함하며, 상기 전압생성부는 상기 기준전압을 전압분배해 상기 복수의 전압을 생성하는 것을 특징으로 할 수 있다.
- <74> 이하 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- <75> 도 9는 본 발명에 따른 반도체장치의 내부전압 생성회로 일실시예 구성도이다.
- <76> 본 발명에 따른 반도체장치의 내부전압 생성회로는, 전압생성부(200), 온도정보 출력장치(300), 및 전압선택부(400)를 포함하여 구성된다.
- <77> 온도정보 출력장치(300)는 반도체장치의 온도를 측정하여 온도정보(TEMPA, TEMPB, TEMPC)를 출력한다. 온도정보는 여러 가지의 형태가 될 수 있지만, 여기서는 온도구간을 나타내는 신호인 플래그신호(TEMPA, TEMPB, TEMPC)로 온도정보를 표시하는 형태로 도시하였다.
- <78> 전압생성부(200)는 서로 다른 레벨을 가지는 복수의 전압(VREF_1, VREF_2, VREF_3)을 생성한다. 여기서 복수의 전압(VREF_1, VREF_2, VREF_3)은 내부전압(VREF)으로 쓰일 전압을 의미한다. 본 발명의 전압생성부에 있어서의 특징은 서로 다른 레벨을 가지는 복수의 전압(VREF_1, VREF_2, VREF_3)을 생성한다는데 있다. 따라서 전원전압(예: VDD)을 전압분배하여 복수의 전압(VREF_1, VREF_2, VREF_3)을 생성할 수도 있으며, 도면에 도시된 것처럼 밴드갭부(100)로부터 VBG를 입력받아 VBG를 이용하여 복수의 전압(VREF_1, VREF_2, VREF_3)을 생성할 수도 있다.
- <79> 전압선택부(400)는 온도정보 출력장치(300)로부터 제공받은 온도정보(TEMPA, TEMPB, TEMPC)에 따라 복수의 전압(VREF_1, VREF_2, VREF_3) 중 내부전압(VREF)을 선택한다.
- <80> 밴드갭부(100)는 종래기술 부분에서 설명했다시피 PVT변화에 대해 일정한 값을 가지는 전압인 VBG를 출력한다.

상술한 바와 같이, 전압생성부(200)에서 복수의 전압(VREF_1, VREF_2, VREF_3)을 생성할 때 VBG를 이용하는 경우, 본 발명 반도체장치의 내부전압 생성회로는 밴드갭부(100)를 포함하게 된다.

- <81> 도 10은 도 9의 온도정보 출력장치(300)의 일실시에 구성도이다.
- <82> 온도정보 출력장치(On Die Thermal Sensor)는 온도에 일대일로 대응하는 전압을 출력하는 온도감지부(310); 밴드갭부에서 출력된 전압을 디지털코드로 변환하는 아날로그-디지털 변환부(320); 및 디지털코드를 입력받아 특정온도에서 인에이블 되는 복수의 플래그신호를 생성하는 플래그신호 생성부(330)를 포함한다.
- <83> 구체적으로 온도감지부(310)는 온도나 전원전압의 영향을 받지 않는 밴드갭(bandgap)회로 중에서 바이폴라 접합 트랜지스터(BJT: Bipolar Junction Transistor)의 베이스-이미터(Vbe)의 변화가 약 $-1.8mV/^{\circ}C$ 인 것을 이용함으로써 온도를 감지한다. 그리고 미세하게 변동하는 바이폴라 접합 트랜지스터의 베이스-이미터 전압(Vbe)을 증폭함으로써 온도에 1:1로 대응하는 전압(VTEMP)을 출력한다. 즉, 온도가 높을수록 낮아지는 바이폴라 접합 트랜지스터의 베이스-이미터 전압(Vbe)을 출력한다. 온도정보 출력장치의 온도감지부(310)는 밴드갭 회로의 일종이기 때문에 본 발명 반도체장치의 내부전압 생성회로가 밴드갭부(100)를 포함하여 실시될 경우에는, 온도정보 출력장치의 온도감지부(310)와 상기 도 9의 밴드갭부(100)는 동일한 블록 내에 구성될 수도 있다.
- <84> 아날로그-디지털 변환부(Analog-Digital Converter)(320)는 밴드갭부(310)에서 출력된 전압(VTEMP)을 디지털코드(DIGITAL CODE)로 변환하여 출력하는데, 일반적으로 추적형 아날로그-디지털 변환부(Tracking Analog-Digital Converter)가 많이 사용되고 있다.
- <85> 플래그신호 생성부(330)는 디지털코드(DIGITAL CODE)를 디코딩하여 온도구간을 나타내는 복수의 플래그신호(TEMPA, TEMPB, TEMPC)를 출력한다.
- <86> 각각의 플래그신호(TEMPA, TEMPB, TEMPC)는 온도가 일정온도 이상이면 인에이블 된다. 도 11에는 각각의 플래그신호(TEMPA, TEMPB, TEMPC)가 언제 인에이블 되는지가 도시되어 있으며, 저온에서 고온으로 갈수록 TEMPA, TEMPB, TEMPC 신호가 차례로 인에이블 된다. 따라서 TEMPA='로우', TEMPB='로우', TEMPC='로우'일 때는 가장 온도가 낮은 구간임을 나타내게 되고, TEMPA='하이', TEMPB='하이', TEMPC='하이'일 때가 가장 온도가 높은 구간임을 나타내게 된다.
- <87> 참고로 도면에 도시한 실시예에서는 3개의 플래그신호(TEMPA, TEMPB, TEMPC)가 출력되는 형태로 도시하였지만, 이는 일례일 뿐이며 설계에 따라 플래그신호의 갯수는 변경될 수 있다.
- <88> 도 12는 도 9의 전압생성부(200)의 일실시에 구성도이다.
- <89> 전압생성부는 서로 다른 레벨을 가지는 복수의 전압(VREF_1, VREF_2, VREF_3)을 생성하는 곳으로, 전압분배를 통해 복수의 전압(VREF_1, VREF_2, VREF_3)을 생성할 수 있다.
- <90> 기본적으로는 전원전압(VDD) 또는 외부에서 입력되는 전압을 전압분배하여 서로 다른 레벨을 가지는 전압을 생성할 수 있지만, 도면에는 밴드갭부(100)로부터 VBG를 입력받아 이를 전압 분배하여 복수의 전압(VREF_1, VREF_2, VREF_3)을 생성하는 실시예에 대해 도시하였다.
- <91> 도면을 참조하면, 전압생성부는 연산증폭기(OP amp)(201)를 통해 VBG를 입력받는다. 연산증폭기(201)의 출력은 트랜지스터 P08을 구동하게 되고, 연산증폭기의 (+)단자인 g노드는 VBG와 동일한 전위레벨이 된다. g노드의 전위(=VBG)는 저항들(R4~R11)의 저항비에 따라 분배되어 서로 다른 레벨을 가지는 복수의 전압(VREF_1, VREF_2, VREF_3)을 생성하게 된다.
- <92> 도 13은 도 9의 전압선택부(400)의 일실시에 구성도이다.
- <93> 전압선택부는 복수의 전압(VREF_1, VREF_2, VREF_3)을 각각 입력받는 복수의 패스게이트(PG1, PG2, PG3)를 포함하여 구성되며, 복수의 패스게이트(PG1, PG2, PG3)는 온도정보(TEMPA, TEMPB, TEMPC)에 의해서 온/오프(on/off) 된다. 온도정보에 의해 온(on)된 패스게이트에 의해 선택된 전압은 내부전압(VREF)으로 출력되게 된다.
- <94> 상세하게 온도정보를 나타내는 플래그신호(TEMPA, TEMPB, TEMPC)와 패스게이트(PG1, PG2, PG3)는 각각 일대일로 대응된다. 기본적으로 패스게이트는 자신에 대응되는 플래그신호가 인에이블 되면 온 된다. 그러나 자신에게 대응되는 플래그신호가 인에이블 되더라도 더 상위의 플래그신호-더 높은 온도에서 인에이블 되는 플래그신호가 인에이블 되는 경우에는 오프된다. 예를 들어 TEMPA가 인에이블 되면 패스게이트 PG1이 온 되지만 TEMPB도 인에이블 되는 경우에는 패스게이트 PG1은 오프 된다. 이 경우에는 패스게이트 PG2가 온 되어야 하기 때문이다.

최상위의 온도를 나타내는 TEMPC에 대응되는 패스게이트 PG3는 TEMPC만 인에이블 되면 온된다. 이 경우에는 TEMPC보다 상위의 플래그신호가 존재하지 않기 때문이다.

- <95> 이러한 전압선택부는 도면에 도시된 바와 같이, 패스게이트(PG1, PG2)에 대응되는 플래그신호(TEMPA, TEMPB)를 입력받는 인버터(I04, I05); 및 인버터(I04, I05)의 출력과 상위의 플래그신호(TEMPB, TEMPC)를 입력받는 노아게이트(N001, N002)를 포함해 노아게이트(N001, N002)의 출력으로 패스게이트(PG1, PG2)의 온/오프를 제어하게 구성하고, 최상위 온도에 대응되는 패스게이트(PG3)만은 최상위 온도에 대응하는 플래그신호(TEMPC)가 직접 제어하게 하면 된다.
- <96> 도면에 도시된 실시예에서는 VREF_1, VREF_2, VREF_3이 차례대로 PG1, PG2, PG3에 입력되는 형태로 구성하여 온도가 높을수록 낮은 레벨의 내부전압(VREF)을 출력하게 되어있다.(온도에 반비례) 본 발명은 온도가 높을수록 높은 레벨의 내부전압(VREF)을 출력하게 구성할 수도 있는데(온도에 비례), 이 경우에는 VREF_1, VREF_2, VREF_3이 차례대로 PG3, PG2, PG1에 입력되게 구성하면 된다.
- <97> 상술한 본 발명에 따른 내부전압 생성회로에서 생성된 내부전압(VREF)은 바로 반도체장치의 내부전압으로 사용될 수도 있으며, 종래기술의 응용예에서 보인바와 같이 다른 내부전압(예: VBB, VPP, VCORE등)을 생성하는데 있어서의 기준전압으로 사용될 수도 있다. 생성된 내부전압(VREF)을 바로 반도체장치의 내부전압으로 사용하는 경우는 물론, 다른 내부전압(VBB, VPP, VCORE)을 생성할 때 사용하는 기준전압(VREF)으로 사용하는 경우에도, 기본적인 기준전압(VREF)의 레벨을 온도에 따라 변동되게 하는 것이 가능하기 때문에 새롭게 만들어지는 내부전압들(VBB, VPP, VCORE)의 레벨도 온도에 따라 변동시키는 것이 가능해진다.
- <98> 본 발명의 기술 사상은 상기 바람직한 일실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

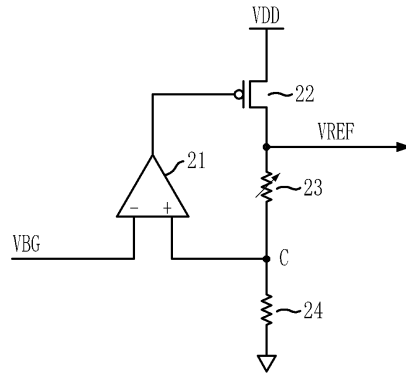
발명의 효과

- <99> 상술한 본 발명에 따르면, 반도체장치의 내부전압의 레벨을 온도에 따라 변화시키는 것이 가능하다는 장점이 있다.
- <100> 따라서 반도체장치가 요구하는 온도에 따른 내부전압의 레벨을 만족시키는 것이 가능하다.
- <101> 특히, 본 발명이 반도체 메모리장치에서 VPP를 펌핑하기 위해 사용될 경우에는, 저온으로 갈수록 내부전압인 VPP의 레벨을 높게 하여 셀에 데이터가 저장될 때 충분한 양의 전하를 공급하는 것이 가능해진다는 장점이 있다.
- <102> 또한, 반도체 메모리장치에서 VBB를 펌핑하기 위해 사용될 경우에는 고온으로 갈수록 VBB의 레벨을 낮게 하여 셀에서의 누설전류(leakage current)를 줄이는 것이 가능해진다는 장점이 있다.

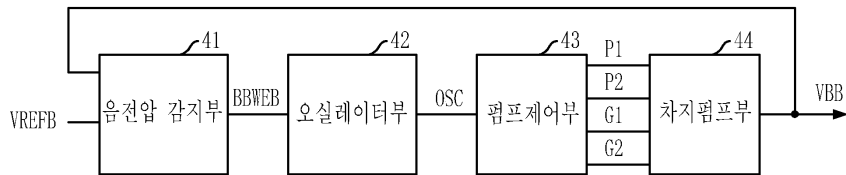
도면의 간단한 설명

- <1> 도 1은 종래의 내부전압 생성회로의 구성도.
- <2> 도 2는 도 1의 밴드갭부(10)의 상세 회로도.
- <3> 도 3은 도 1의 전압생성부(20)의 상세 회로도.
- <4> 도 4는 종래의 음전압 펌핑회로 구성도.
- <5> 도 5는 도 4의 음전압감지부(41)의 상세 회로도.
- <6> 도 6은 종래의 고전압 펌핑회로의 구성도.
- <7> 도 7은 도 6의 고전압감지부(61)의 상세 회로도.
- <8> 도 8은 종래의 코어전압 생성회로의 구성도.
- <9> 도 9는 본 발명에 따른 반도체장치의 내부전압 생성회로 일실시예 구성도.
- <10> 도 10은 도 9의 온도정보 출력장치(300)의 일실시예 구성도.
- <11> 도 11은 각각의 플래그신호(TEMPA, TEMPB, TEMPC)가 언제 인에이블 되는지를 도시한 도면.

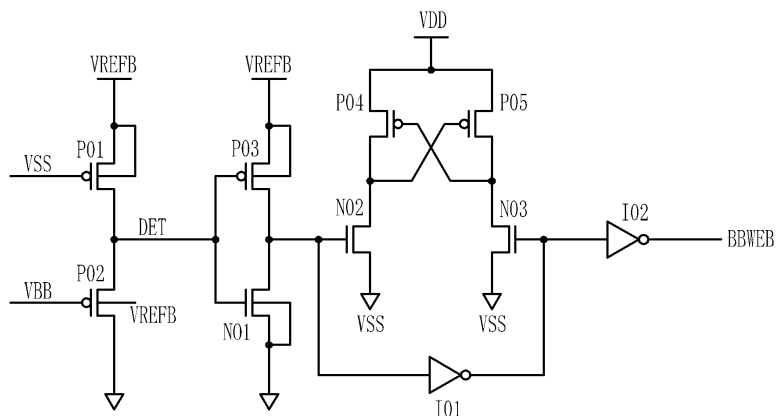
도면3



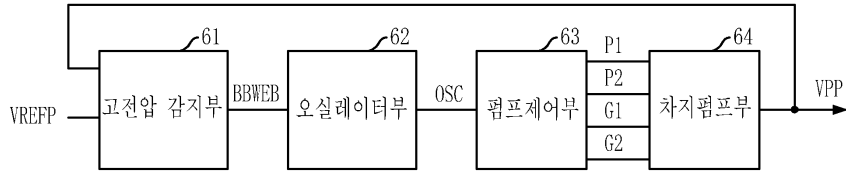
도면4



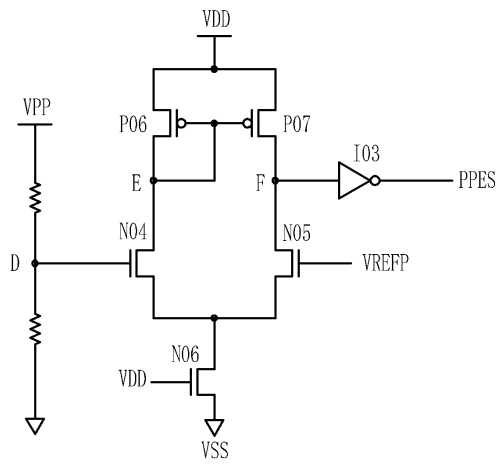
도면5



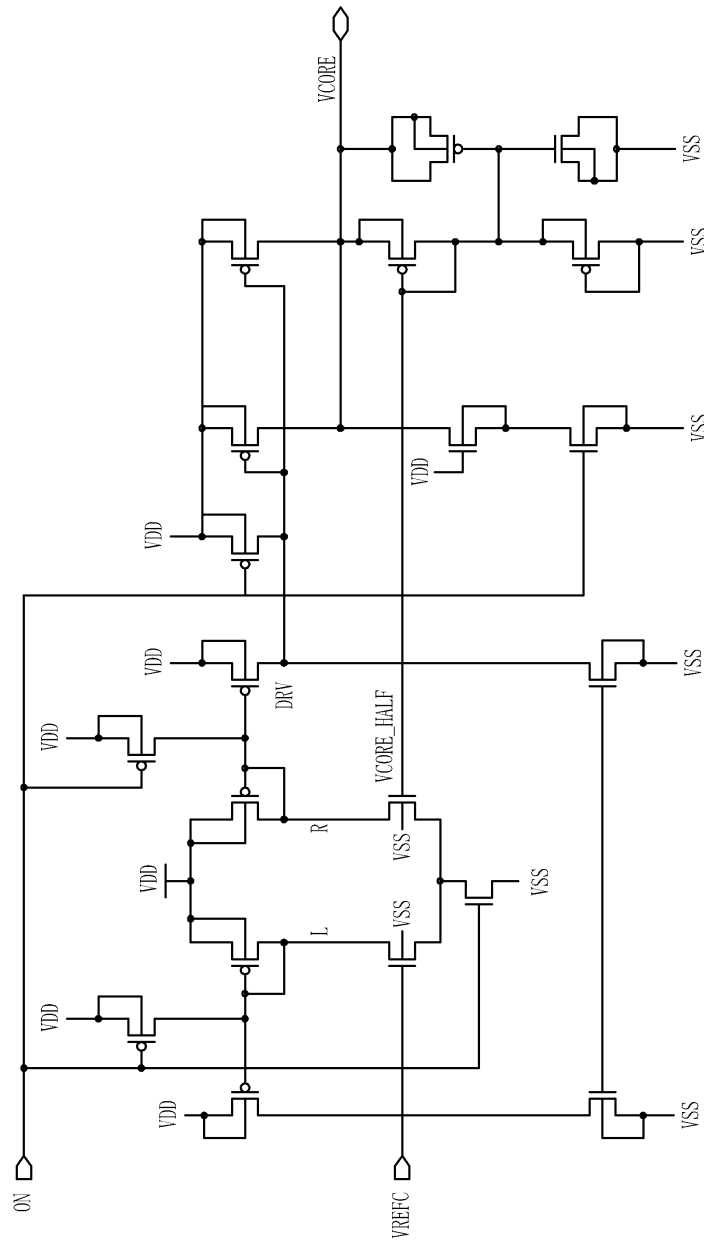
도면6



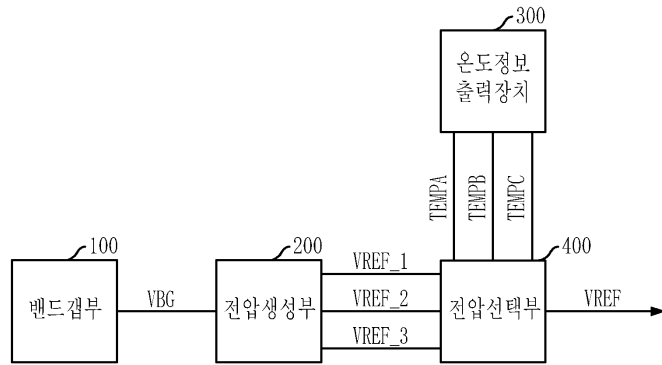
도면7



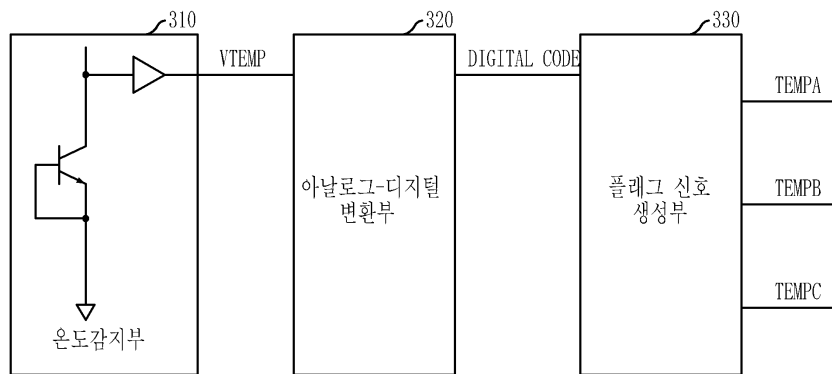
도면8



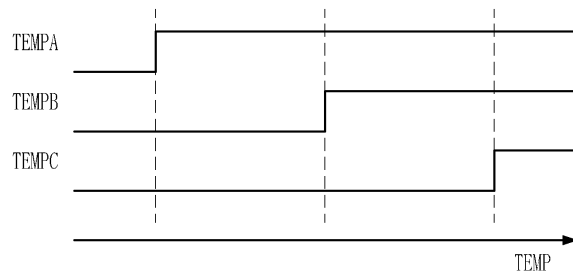
도면9



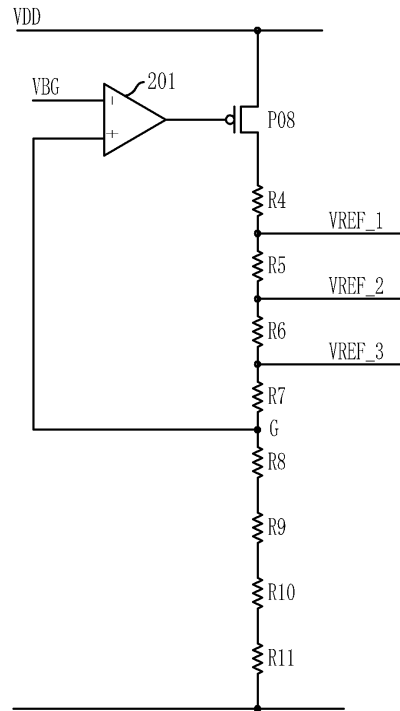
도면10



도면11



도면12



도면13

