



(12) 发明专利申请

(10) 申请公布号 CN 103765776 A

(43) 申请公布日 2014. 04. 30

(21) 申请号 201280042417. 3

(51) Int. Cl.

(22) 申请日 2012. 08. 22

H03K 3/356(2006. 01)

(30) 优先权数据

G02F 1/133(2006. 01)

2011-185614 2011. 08. 29 JP

H01L 29/786(2006. 01)

(85) PCT国际申请进入国家阶段日

2014. 02. 28

(86) PCT国际申请的申请数据

PCT/JP2012/071754 2012. 08. 22

(87) PCT国际申请的公布数据

W02013/031793 EN 2013. 03. 07

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 小山润

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 叶晓勇 王忠忠

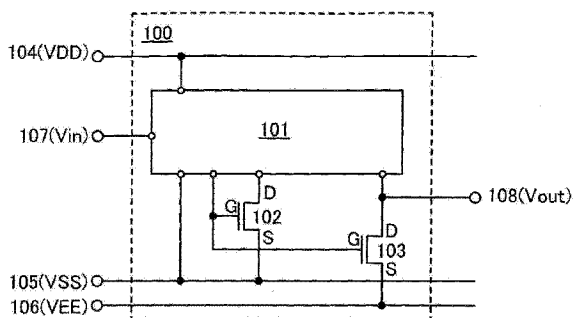
权利要求书2页 说明书21页 附图14页

(54) 发明名称

半导体装置

(57) 摘要

一种包括具有相同极性晶体管的半导体装置
功耗低且能够防止输出的电位的幅度变小。该
半导体装置,包括:具有第一电位的第一布线;具
有第二电位的第二布线;具有第三电位的第三布
线;具有相同极性的第一晶体管及第二晶体管;
以及用来选择是对第一晶体管及第二晶体管的
栅极供应第一电位还是对第一晶体管及第二晶
体管的栅极供应第三电位以及用来选择是否对
第一晶体管及第二晶体管的漏极端子供应一个
电位的多个第三晶体管。第一晶体管的源极端
子与第二布线连接,并且第二晶体管的源极端
子与第三布线连接。



1. 一种半导体装置,包括:
构成成为被供应第一电位的的第一布线;
构成成为被供应第二电位的第二布线;
具有相同极性的第一晶体管及第二晶体管;以及
构成成为控制对所述第一晶体管的栅极及所述第二晶体管的栅极供应所述第二电位的第三晶体管,
其中,所述第一晶体管的源极与所述第一布线电连接,
并且,所述第二晶体管的源极与所述第二布线电连接。
2. 根据权利要求1所述的半导体装置,其中所述第一晶体管的所述栅极与所述第二晶体管的所述栅极彼此电连接。
3. 根据权利要求1所述的半导体装置,还包括构成成为被供应第三电位的第三布线,其中所述第三布线与所述第一晶体管的漏极及所述第二晶体管的漏极电连接。
4. 根据权利要求1所述的半导体装置,其中所述第三晶体管具有与所述第一晶体管及所述第二晶体管相同的极性。
5. 根据权利要求1所述的半导体装置,其中所述第一晶体管的沟道宽度比所述第二晶体管的沟道宽度宽。
6. 根据权利要求1所述的半导体装置,其中所述第一电位高于或等于所述第二电位。
7. 根据权利要求1所述的半导体装置,其中所述第一布线与所述第二布线电分离。
8. 一种半导体装置,包括:
构成成为被供应第一电位的的第一布线;
构成成为被供应第二电位的第二布线;
构成成为被供应第三电位的第三布线;
具有相同极性的第一晶体管、第二晶体管及第三晶体管;以及
多个第四晶体管,该多个第四晶体管构成成为控制对所述第一晶体管的栅极及所述第二晶体管的栅极供应所述第二电位和所述第三电位中的一个并对所述第三晶体管的栅极供应所述第二电位和所述第三电位中的另一个,
其中,所述第一晶体管的源极与所述第一布线电连接,
所述第二晶体管的源极与所述第二布线电连接,
所述第三晶体管的源极与所述第一晶体管的漏极电连接,
并且,所述第三晶体管的漏极与所述第三布线电连接。
9. 根据权利要求8所述的半导体装置,其中所述第一晶体管的所述栅极与所述第二晶体管的所述栅极彼此电连接。
10. 根据权利要求8所述的半导体装置,其中所述多个第四晶体管具有与所述第一晶体管、所述第二晶体管以及所述第三晶体管相同的极性。
11. 根据权利要求8所述的半导体装置,其中所述第一晶体管的沟道宽度比所述第二晶体管的沟道宽度宽。
12. 根据权利要求8所述的半导体装置,其中所述第一电位高于或等于所述第二电位。
13. 根据权利要求8所述的半导体装置,其中所述第一布线与所述第二布线电分离。
14. 一种半导体装置,包括:

构成为被供应第一电位的第二布线；
构成为被供应第二电位的第三布线；
构成为第一 n 沟道型晶体管及第二 n 沟道型晶体管；以及
构成为控制对所述第一 n 沟道型晶体管的栅极及所述第二 n 沟道型晶体管的栅极供应所述第二电位的多个第三晶体管，

其中，所述第一 n 沟道型晶体管的源极与所述第二布线电连接，
所述第二 n 沟道型晶体管的源极与所述第三布线电连接，
并且，所述第一电位高于或等于所述第二电位。

15. 根据权利要求 14 所述的半导体装置，其中所述第一 n 沟道型晶体管的所述栅极与所述第二 n 沟道型晶体管的所述栅极彼此电连接。

16. 根据权利要求 14 所述的半导体装置，其中所述第一电位等于所述第二电位。

17. 根据权利要求 14 所述的半导体装置，其中所述第一 n 沟道型晶体管的沟道宽度比所述第二 n 沟道型晶体管的沟道宽度宽。

18. 根据权利要求 14 所述的半导体装置，还包括构成为被供应第三电位的第三布线，其中所述第三布线与所述第一 n 沟道型晶体管的漏极及所述第二 n 沟道型晶体管的漏极电连接。

19. 根据权利要求 14 所述的半导体装置，其中所述第二布线与所述第三布线电分离。

半导体装置

技术领域

[0001] 本发明涉及一种包括具有相同极性的晶体管的电路以及诸如包括上述电路的半导体显示装置等半导体装置。

背景技术

[0002] 为了降低底板（电路板）的成本，作为诸如液晶显示装置、EL 显示装置等半导体显示装置，与包括互补金属氧化物半导体（CMOS）相比，更优选包括具有相同极性的半导体。专利文献 1 及专利文献 2 公开了一种由具有相同极性的晶体管构成用于半导体显示装置的驱动电路的诸如反相器、移位寄存器等各种电路的技术。

[参考文献]

[0003] [专利文献 1] 日本专利申请公开 2001-325798 号公报

[专利文献 2] 日本专利申请公开 2010-277652 号公报

发明内容

[0004] 作为由非晶硅或氧化物半导体晶体管构成的半导体显示装置，可以使用第五代（宽 1200mm×长 1300mm）或第五代之后的玻璃衬底。因此这种半导体装置具有高生产率且低成本的优点。但是，包括非晶硅或氧化物半导体晶体管通常具有相同极性并容易变为常导通（normal ly-on）。并且，由具有相同极性的晶体管构成的电路有当晶体管为常导通时功耗增大或者电位输出的幅度变小等问题。

[0005] 例如，在专利文献 2 的图 10 所公开的电路中，晶体管 Q2 的源极端子的电位被固定为低电位 VSS。如果晶体管 Q2 为常截止（normally-off），当晶体管 Q2 的栅极被施加低电位 VSS 时晶体管 Q2 截止。但是，当晶体管 Q2 为常导通时，即使晶体管 Q2 的栅极被施加低电位 VSS，相对于源极端子的栅极的电压（栅电压）仍高于晶体管 Q2 的阈值电压。因此，晶体管 Q2 不是截止而是导通。

[0006] 当晶体管 Q2 在应该为截止时导通时，无用的电流流过电路而导致消耗电流增大。再者，上述无用的电流使流过用来对电路供应电位（例如，在专利文献 2 的图 10 的情况下，低电位的电位 VSS 或时钟信号 CLKA 的高电平电位 VDD 及低电平电位 VSS）的布线的电流增大。并且，上述布线的电阻使被供应电位 VDD 的布线的电位降低，并使被供应电位 VSS 的布线的电位上升。其结果，从电路输出的电位的幅度小于电位 VDD 与电位 VSS 之间的电位差（理想的电位差）。

[0007] 尤其是，在半导体显示装置的像素部中，当对与多个像素连接的被称为总线的布线（例如，扫描线或信号线）供应从电路输出的电位时，用来控制从电路输出电位的晶体管（例如，专利文献 2 的图 10 中的晶体管 Q2）需要具有较大的电流供给能力。因此，在很多情况下，将该晶体管的沟道宽度 W 设定为大于电路中的其他晶体管的沟道宽度 W。晶体管的漏极电流与沟道宽度 W 成正比。因此，在将常导通晶体管的沟道宽度 W 设定为大的情况下，当常导通晶体管应该截止时，流过常导通晶体管的电流比其他晶体管的电流大。因此，流过电

路的无用的电流增大而导致上述功耗增大或输出的电位的幅度缩小等显著地发生。

[0008] 鉴于上述技术背景,本发明的目的之一是提供一种低功耗的半导体装置。此外,本发明的目的之一是提供一种能够防止输出的电位的幅度变小的半导体装置。

[0009] 根据本发明的一个方式的半导体装置是一种电路,该电路包括多个晶体管,并且通过使上述多个晶体管分别为导通或截止来选择性地输出高电位或低电位。在本发明的一个方式中,在多个晶体管中,通过不同布线对输出侧的晶体管的源极端子及对其他晶体管的源极端子供应的电位。并且,当用来将电位供应给其他晶体管的源极端子的布线的电位通过上述其他晶体管供应给输出侧晶体管的栅极时,输出侧晶体管截止。

[0010] 上述结构可以使输出侧晶体管的栅极与源极端子彼此电分离。因此,即使输出侧晶体管为常导通而使用用来将电位供应给输出侧晶体管的源极端子的布线的电位发生变化,用来将电位供应给输出侧晶体管的栅极端子的布线的电位与上述变化无关。因此,当因输出侧晶体管的漏极电流使输出侧晶体管的源极端子的电位发生变化时,可以使输出侧晶体管的栅电压接近于阈值电压,即,能够进行负反馈。因此,即使输出侧晶体管为常导通,该晶体管可以在应该截止时截止。

[0011] 在本发明的一个方式中,可以提供一种低功耗的由具有相同极性的晶体管构成的半导体装置。此外,在本发明的一个方式中,可以提供一种能够防止输出的电位的幅度变小的半导体装置。

附图说明

[0012] 图 1A 和 1B 示出半导体装置的结构;

图 2 示出脉冲发生器的结构;

图 3 是脉冲发生器的时序图;

图 4 示出移位寄存器的结构;

图 5 是移位寄存器的时序图;

图 6 示意性地示出第 j 脉冲发生器 200_j;

图 7A 示出脉冲发生器(比较例)的结构,图 7B 示出电位 GROUT 的波形;

图 8A 和 8B 示出脉冲发生器的结构;

图 9A 和 9B 示出脉冲发生器的结构;

图 10 示出脉冲发生器的结构;

图 11 示出反相器的结构;

图 12 是驱动电路及像素的截面图;

图 13A 至 13D 是晶体管的截面图;

图 14 示出面板的结构;

图 15A 至 15E 示出电子设备。

具体实施方式

[0013] 参照附图对本发明的实施方式进行详细说明。注意,本发明不局限于以下说明。所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解

释为仅限于以下所示的实施方式的说明中。

[0014] 注意,本发明可以用来制造任何种类的半导体装置,诸如微处理器、图像处理电路、数字信号处理器(DSP:Digital Signal Processor)、微控制器等的集成电路、RF标签以及半导体显示装置等。半导体显示装置的范畴包括液晶显示装置、在各像素中设置以有机发光元件(OLED)为代表的发光元件的EL显示装置、电子纸、数字微镜装置(DMD:Digital Micromirror Device)、等离子体显示面板(PDP:Plasma Display Panel)及场致发射显示器(FED:Field Emission Display)以及在驱动电路中包括由半导体膜构成的电路元件的其他半导体显示装置。

[0015] 注意,在本说明书中半导体显示装置的范畴包括各像素中形成有液晶元件或发光元件等显示元件的面板以及该面板上安装有包括控制器的IC等的模块。

[0016] 实施方式1

图1A示出根据本发明的一个方式的半导体装置的电路结构的一个例子。图1A所示的半导体装置100包括具有多个晶体管的电路101、晶体管102及晶体管103。在图1A所示的半导体装置100中,至少晶体管102与晶体管103具有相同极性。在图1A中,晶体管102及晶体管103为n沟道型晶体管。

[0017] 电路101通过布线104及布线105被供应高电平电位VDD及低电平电位VSS。在图1A中,通过布线104电位VDD被供应给电路101,通过布线105电位VSS被供应给电路101。另外,通过布线107信号电位 V_{in} 被供应给电路101。

[0018] 晶体管102的栅极和漏极端子与电路101连接。电路101根据电位 V_{in} 选择电位VDD或电位VSS并将选择的电位供应给晶体管102的栅极或漏极端子。布线105的电位VSS被供应给晶体管102的源极端子。

[0019] 另外,晶体管的“源极端子”是指为活性层的一部分的源区或者与活性层连接的源电极。同样地,晶体管的“漏极端子”是指为活性层的一部分的漏区或者与活性层连接的漏电极。

[0020] 另外,晶体管103的栅极及漏极端子与电路101连接。电路101根据电位 V_{in} 选择电位VDD或电位VSS并将选择的电位供应给晶体管103的栅极或漏极端子。晶体管103的源极端子通过布线106被供应电位VEE。电位VEE是低于电位VDD的低电平电位。并且,电位VEE优选为与电位VSS相等或者高于电位VSS的电位。

[0021] 注意,晶体管的“源极端子”及“漏极端子”根据晶体管的极性或供应给电极的电位的电平而调换。一般而言,在n沟道型晶体管中,将被供应低电位的电极称为源极端子,而将被供应高电位的电极称为漏极端子。另外,在p沟道型晶体管中,将被供应低电位的电极称为漏极端子,而将被供应高电位的电极称为源极端子。在本说明书中,虽然有时为了方便起见假设源极端子和漏极端子为固定来对晶体管的连接关系进行说明,但是实际上源极端子和漏极端子根据上述电位关系而调换。

[0022] 在本说明书中,“连接”是指电连接,其相当于能够供应或者传送电流、电压或电位的状态。由此,连接状态并不仅是指直接连接的状态,而包括以能够供应或者传送电流、电压或电位的方式通过布线、导电膜、电阻器、二极管、晶体管等元件间接连接的状态。

[0023] 即使在电路图上独立的构成要素彼此连接,也有一个导电膜兼具多个构成要素的功能的情况,例如布线的一部分用作电极的情况等。在本说明书中“连接”也指上述一个导

电膜兼具多个构成要素的功能的情况。

[0024] 另外,从电路 101 供应给晶体管 102 的栅极的电位与从电路 101 供应给晶体管 103 的栅极的电位相同。在图 1A 中,晶体管 102 的栅极与晶体管 103 的栅极彼此连接。

[0025] 图 1A 所示的半导体装置 100 根据上述信号电位 V_{in} 分别使电路 101 内的多个晶体管、晶体管 102 及晶体管 103 导通或截止,以选择电位 VDD 或电位 VEE 并将选择的电位作为电位 V_{out} 向布线 108 输出。具体地,当通过电路 101 布线 104 与布线 108 彼此连接时,布线 104 的电位被作为电位 V_{out} 输出。另外,当通过晶体管 103 布线 106 与布线 108 彼此连接时,布线 106 的电位被作为电位 V_{out} 输出。

[0026] 当对与多个像素连接的被称为总线的布线(例如,扫描线或信号线)供应从上述半导体装置 100 输出的电位 V_{out} 时,用来控制上述电位 V_{out} 的输出的晶体管 103 需要具有较大的电流供给能力。因此,优选的是,将该晶体管 103 的沟道宽度 W 设定为大于电路 101 内的晶体管的沟道宽度 W 或晶体管 102 的沟道宽度 W 。

[0027] 另外,在晶体管 102 为 n 沟道型晶体管的情况下,当从电路 101 向晶体管 102 的栅极供应电位 VDD 时,晶体管 102 导通。当从电路 101 向晶体管 102 的栅极供应电位 VSS 时,栅电压 V_{gs} 变为 0V。因此,当晶体管 102 为常截止,即,阈值电压 V_{th} 高于 0V 时,晶体管 102 截止。当晶体管 102 为常导通,即,阈值电压 V_{th} 为 0V 以下时,晶体管 102 不是截止而是导通。

[0028] 晶体管 103 与晶体管 102 同样地工作。具体地,在晶体管 103 为 n 沟道型晶体管的情况下,当从电路 101 向晶体管 103 的栅极供应电位 VDD 时,晶体管 103 导通。另外,当从电路 101 向晶体管 103 的栅极供应电位 VSS 时,栅电压 V_{gs} 等于 $VSS-VEE$,即栅电压 V_{gs} 变为 0V 以下。因此,当晶体管 103 为常截止,即阈值电压 V_{th} 高于 0V 时,晶体管 103 截止。当晶体管 103 为常导通,即阈值电压 V_{th} 为 0V 以下时,有时晶体管 103 不是截止而是导通。

[0029] 下面,对使晶体管 102 及晶体管 103 常导通时的图 1A 所示的半导体装置 100 的工作进行详细说明。

[0030] 在 $VSS-VEE > V_{th}$ 的情况下,当晶体管 103 的栅极被供应电位 VSS 时,晶体管 103 的栅电压 V_{gs} 等于 $VSS-VEE > V_{th}$ 。因此,晶体管 103 导通。另外,如上所述,当晶体管 102 的栅极被供应电位 VSS 时,无论电位 VEE 的电平如何晶体管 102 都导通。

[0031] 并且,在晶体管 102 及晶体管 103 本应截止但为导通的情况下,当从电路 101 向晶体管 102 及晶体管 103 的漏极端子供应电位 VDD 时,通过晶体管 102 电流流过布线 105,并且通过晶体管 103 电流流过布线 106。因此,布线 105 的电位从电位 VSS 上升至电位 $VSS+V\alpha$ 。同样地,布线 106 的电位从电位 VEE 上升至电位 $VEE+V\beta$ 。

[0032] 另外,如上所述,在晶体管 103 的沟道宽度 W 大于晶体管 102 的沟道宽度 W 的情况下,即使晶体管 102 及晶体管 103 具有相同的栅电压 V_{gs} ,通过晶体管 103 流过布线 106 的电流量大于通过晶体管 102 流过布线 105 的电流量。因此,在晶体管 103 的沟道宽度 W 大于晶体管 102 的沟道宽度 W 的情况下,布线 106 的电位比布线 105 的电位上升得大,其结果电位 $VSS+V\alpha$ 等于电位 $VEE+V\beta+V_{th}$ 。由此,晶体管 103 的栅电压 V_{gs} 下降至阈值电压 V_{th} ,晶体管 103 几乎变为截止。因此,即使晶体管 103 为常导通,该晶体管 103 可以在应该截止时几乎变为截止。

[0033] 在 $VSS-VEE \leq V_{th}$ 的情况下,当晶体管 103 的栅极被供应电位 VSS 时,栅电压 V_{gs}

等于 $V_{SS}-V_{EE} \leq V_{th}$ 。因此,在这种情况下,即使晶体管 103 为常导通晶体管 103 也可以截止。

[0034] 另外,当晶体管 102 的栅极被供应电位 V_{SS} 时,无论电位 V_{EE} 的电平如何晶体管 102 都导通。因此,布线 105 的电位从电位 V_{SS} 上升至电位 $V_{SS}+V_{\alpha}$ 。由于布线 105 的电位从电路 101 被供应到晶体管 103 的栅极,因此由于布线 105 的电位上升供应给晶体管 103 的栅极的电位也从电位 V_{SS} 上升至电位 $V_{SS}+V_{\alpha}$ 。

[0035] 即使供应给晶体管 103 的栅极的电位上升,只要栅电压 $V_{gs}=V_{SS}+V_{\alpha}-V_{EE} \leq V_{th}$,则晶体管 103 仍为截止。当栅电压 $V_{gs}=V_{SS}+V_{\alpha}-V_{EE} > V_{th}$ 时,晶体管 103 导通。但是,在这种情况下,当通过晶体管 103 电流流过布线 106 时,布线 106 的电位上升,其结果电位 $V_{SS}+V_{\alpha}$ 等于电位 $V_{EE}+V_{\gamma}+V_{th}$ 。因此,由于晶体管 103 的栅电压 V_{gs} 下降至阈值电压 V_{th} ,晶体管 103 几乎变为截止。

[0036] 如此,在根据本发明的一个方式的半导体装置 100 中,通过输出侧晶体管 103 的源极端子及晶体管 103 以外的晶体管(例如晶体管 102)的源极端子分别供应给不同的布线 105 及布线 106,当晶体管 103 的漏极电流较大时,以使晶体管 103 的栅电压接近于阈值电压的方式进行负反馈。由此,即使晶体管 103 为常导通,晶体管 103 也可以截止。因此,即使由于各布线的电阻使布线 104 的电位下降且使布线 105 的电位上升,也可以降低半导体装置 100 的功耗。此外,可以防止从半导体装置 100 输出的电位 V_{out} 的幅度变小。

[0037] 另外,虽然在图 1A 中晶体管 102 及晶体管 103 为 n 沟道型晶体管,但是晶体管 102 及晶体管 103 也可以为 p 沟道型晶体管。在上述情况下,比布线 104 的电位高的电位供应给与晶体管 102 的源极端子连接的布线 105 及与晶体管 103 的源极端子连接的布线 106。

[0038] 在图 1A 所示的半导体装置中,用来控制输出布线 106 的电位的输出侧晶体管 103 为常导通。但是,在本发明的一个方式中,即使用来控制输出布线 104 的电位的输出侧晶体管为常导通,该晶体管可以在应该截止时截止。下面,针对用来控制输出布线 104 的电位的输出侧晶体管,对根据本发明的一个方式的半导体装置的工作进行说明。

[0039] 图 1B 示出根据本发明的一个方式的半导体装置的电路结构的另一个例子。图 1B 所示的半导体装置 100 包括具有多个晶体管的电路 101、晶体管 102、晶体管 103、晶体管 109 及电容器 110。在半导体装置 100 中,至少晶体管 102、晶体管 103 及晶体管 109 具有相同极性。在图 1B 中,晶体管 102、晶体管 103 及晶体管 109 为 n 沟道型晶体管。

[0040] 与图 1A 不同,在图 1B 所示的半导体装置 100 中,晶体管 103 的栅极与电路 101 连接,晶体管 103 的漏极端子与晶体管 109 的源极端子及布线 108 连接。晶体管 109 的栅极与电路 101 连接。根据电位 V_{in} ,电路 101 将电位 V_{DD} 和电位 V_{SS} 中的一个供应给晶体管 103 的栅极,而将另一个供应给晶体管 109 的栅极。晶体管 103 的源极端子通过布线 106 被供应电位 V_{EE} 。晶体管 109 的漏极端子通过布线 104 被供应电位 V_{DD} 。

[0041] 电容器 110 具有保持晶体管 109 的栅电压的功能。注意,在即使不设置电容器 110 也可以保持晶体管 109 的栅电压的情况下,例如,在晶体管 109 的栅极的寄生电容大的情况下,并不需要设置电容器 110。

[0042] 接着,下面对使晶体管 102、晶体管 103 及晶体管 109 常导通时的半导体装置 100 的工作进行详细说明。

[0043] 在 $V_{SS}-V_{EE} > V_{th}$ 的情况下,当晶体管 102 及晶体管 103 的栅极被供应电位 V_{DD} 时,

晶体管 102 及晶体管 103 导通。当晶体管 102 及晶体管 103 的栅极被供应电位 VDD 时,晶体管 109 的栅极被供应电位 VSS。因此,晶体管 109 的栅电压 V_{gs} 等于 $VSS-VEE > V_{th}$, 而晶体管 109 虽然应该截止但是导通。因此,通过晶体管 109 及晶体管 103 电流流过布线 106 与布线 104 之间,布线 104 的电位下降而布线 105 的电位上升。

[0044] 但是,在本发明的一个方式中,当布线 106 的电位从电位 VEE 上升至电位 $VEE+V_a$ 时,晶体管 109 的栅电压 V_{gs} 下降至阈值电压 V_{th} ,其结果晶体管 109 几乎变为截止。具体地,当电位 VSS 等于电位 $VEE+V_a+V_{th}$ 时,晶体管 109 截止。由此,即使晶体管 109 为常导通,该晶体管 109 也可以在应该截止时几乎变为截止。

[0045] 在 $VSS-VEE \leq V_{th}$ 的情况下,当晶体管 109 的栅极被供应电位 VSS 时,栅电压 V_{gs} 等于 $VSS-VEE \leq V_{th}$ 。因此,在这种情况下,即使晶体管 109 为常导通晶体管 109 也可以截止。

[0046] 如此,在根据本发明的一个方式的半导体装置 100 中,通过输出侧晶体管 103 的源极端子及晶体管 103 以外的晶体管(例如晶体管 102)的源极端子分别供应给不同的布线 105 及布线 106,当晶体管 109 的漏极电流较大时,以使晶体管 109 的栅电压接近于阈值电压的方式可以进行负反馈。由此,即使晶体管 109 为常导通,晶体管 109 也可以截止。因此,即使由于各布线所具有的电阻使布线 104 的电位下降且使布线 105 的电位上升,也可以降低半导体装置 100 的功耗。此外,可以防止从半导体装置 100 输出的电位 V_{out} 的幅度变小。

[0047] 另外,虽然在图 1B 中晶体管 102、晶体管 103 及晶体管 109 为 n 沟道型晶体管,但是晶体管 102、晶体管 103 及晶体管 109 也可以为 p 沟道型晶体管。在上述情况下,比布线 104 的电位高的电位供应给与晶体管 102 的源极端子连接的布线 105 及与晶体管 103 的源极端子连接的布线 106。

[0048] 接着,对根据本发明的一个方式的半导体装置之一的脉冲发生器进行说明。图 2 示出根据本发明的一个方式的脉冲发生器的一个例子。

[0049] 图 2 所示的脉冲发生器 200 包括电路 201、晶体管 202 至晶体管 204。电路 201 相当于图 1A 所示的电路 101。晶体管 202 及晶体管 203 相当于图 1A 所示的晶体管 102。晶体管 204 相当于图 1A 所示的晶体管 103。脉冲发生器 200 从布线 205 至布线 212 被供应各种电位并对布线 213 及布线 214 输出电位。

[0050] 通过连接多个脉冲发生器 200 可以构成移位寄存器。

[0051] 在晶体管 202 及晶体管 203 为 n 沟道型晶体管的情况下,具体地,布线 205 被供应电位 VDD,布线 206 被供应电位 VSS,布线 207 被供应电位 VEE。布线 208 被供应电位 LIN,布线 209 被供应电位 RIN。电位 LIN 及电位 RIN 相当于图 1A 所示的半导体装置 100 中的电位 V_{in} 。

[0052] 另外,布线 210 至布线 212 分别被供应时钟信号 CL1 至时钟信号 CL4 中的任三个时钟信号的电位。在图 2 中,对布线 210、布线 211 以及布线 212 分别供应时钟信号 CL1 的电位、时钟信号 CL2 的电位以及时钟信号 CL3 的电位。

[0053] 晶体管 202 的栅极与晶体管 203 及晶体管 204 的栅极连接。晶体管 202 的源极端子与布线 206 连接。晶体管 202 的漏极端子与电路 201 连接。晶体管 203 的源极端子与布线 206 连接。晶体管 203 的漏极端子与电路 201 连接。晶体管 204 的源极端子与布线 207

连接。晶体管 204 的漏极端子与电路 201 及布线 213 连接。

[0054] 另外,电路 201 还包括晶体管 215 至晶体管 223、电容器 224 及电容器 225。具体地,晶体管 215 的栅极与布线 208 连接。晶体管 215 的源极端子与晶体管 202 的漏极端子连接。晶体管 215 的漏极端子与布线 205 连接。晶体管 216 的栅极与布线 211 连接。晶体管 216 的源极端子与晶体管 218 的漏极端子连接。晶体管 216 的漏极端子与布线 205 连接。晶体管 217 的栅极与布线 209 连接。晶体管 217 的源极端子与晶体管 202、晶体管 203 及晶体管 204 的栅极连接。晶体管 217 的漏极端子与布线 205 连接。晶体管 218 的栅极与布线 212 连接。晶体管 218 的源极端子与晶体管 202、晶体管 203 及晶体管 204 的栅极连接。晶体管 219 的栅极与布线 208 连接。晶体管 219 的源极端子与布线 206 连接。晶体管 219 的漏极端子与晶体管 202、晶体管 203 及晶体管 204 的栅极连接。晶体管 220 的栅极与布线 205 连接。晶体管 220 的源极端子和漏极端子中的一个与晶体管 215 的源极端子及晶体管 202 的漏极端子连接。晶体管 220 的源极端子和漏极端子中的另一个与晶体管 221 的栅极连接。晶体管 221 的源极端子与布线 214 连接。晶体管 221 的漏极端子与布线 210 连接。晶体管 222 的栅极与布线 205 连接。晶体管 222 的源极端子和漏极端子中的一个与晶体管 215 的源极端子及晶体管 202 的漏极端子连接。晶体管 222 的源极端子和漏极端子中的另一个与晶体管 223 的栅极连接。晶体管 223 的源极端子与布线 213 连接。晶体管 223 的漏极端子与布线 210 连接。电容器 224 的一个电极与晶体管 221 的栅极连接。电容器 224 的另一个电极与布线 214 连接。电容器 225 的一个电极与晶体管 223 的栅极连接。电容器 225 的另一个电极与布线 213 连接。

[0055] 参照图 3 中的时序图对图 2 所示的脉冲发生器 200 的工作进行说明。

[0056] 如图 3 所示,在期间 t1 中,供应给布线 210 的时钟信号 CL1 的电位低,供应给布线 211 的时钟信号 CL2 的电位高,供应给布线 212 的时钟信号 CL3 的电位高,供应给布线 208 的电位 LIN 低,供应给布线 209 的电位 RIN 低。

[0057] 因此,在期间 t1 中,在脉冲发生器 200 中,晶体管 202 至晶体管 204、晶体管 216、晶体管 218、晶体管 220、晶体管 222 导通。另外,晶体管 215、晶体管 217、晶体管 219、晶体管 221、晶体管 223 截止。因此,布线 207 的电位被作为电位 GOUT 从布线 213 输出。另外,布线 206 的电位被作为电位 SROUT 从布线 214 输出。

[0058] 接着,如图 3 所示,在期间 t2 中,供应给布线 210 的时钟信号 CL1 的电位低,供应给布线 211 的时钟信号 CL2 的电位低,供应给布线 212 的时钟信号 CL3 的电位高,供应给布线 208 的电位 LIN 高,供应给布线 209 的电位 RIN 低。

[0059] 因此,在期间 t2 中,在脉冲发生器 200 中,晶体管 215、晶体管 218 至晶体管 223 导通。另外,晶体管 202 至晶体管 204、晶体管 216 及晶体管 217 截止。由此,布线 210 的电位被作为电位 GOUT 从布线 213 输出并被作为电位 SROUT 从布线 214 输出。

[0060] 接着,如图 3 所示,在期间 t3 中,供应给布线 210 的时钟信号 CL1 的电位高,供应给布线 211 的时钟信号 CL2 的电位低,供应给布线 212 的时钟信号 CL3 的电位低,供应给布线 208 的电位 LIN 高,供应给布线 209 的电位 RIN 低。

[0061] 因此,在期间 t3 中,在脉冲发生器 200 中,晶体管 215、晶体管 219、晶体管 221、晶体管 223 导通。另外,晶体管 202 至晶体管 204、晶体管 216 至晶体管 218、晶体管 220、晶体管 222 截止。由此,布线 210 的电位被作为电位 GOUT 从布线 213 输出,并被作为电位 SROUT

从布线 214 输出。

[0062] 接着,如图 3 所示,在期间 t_4 中,供应给布线 210 的时钟信号 CL1 的电位高供应给布线 211 的时钟信号 CL2 的电位高,供应给布线 212 的时钟信号 CL3 的电位低,供应给布线 208 的电位 LIN 低,供应给布线 209 的电位 RIN 低。

[0063] 因此,在期间 t_4 中,在脉冲发生器 200 中,晶体管 216、晶体管 221、晶体管 223 导通。另外,晶体管 202 至晶体管 204、晶体管 215、晶体管 217 至晶体管 220、晶体管 222 截止。因此,布线 210 的电位被作为电位 GOUT 从布线 213 输出,并作为电位 SROUT 从布线 214 输出。

[0064] 接着,如图 3 所示,在期间 t_5 中,供应给布线 210 的时钟信号 CL1 的电位低,供应给布线 211 的时钟信号 CL2 的电位高,供应给布线 212 的时钟信号 CL3 的电位高,供应给布线 208 的电位 LIN 低,供应给布线 209 的电位 RIN 高。

[0065] 因此,在期间 t_5 中,在脉冲发生器 200 中,晶体管 202 至晶体管 204、晶体管 216 至晶体管 218、晶体管 220、晶体管 222 导通。另外,晶体管 215、晶体管 219、晶体管 221、晶体管 223 截止。由此,布线 207 的电位被作为电位 GOUT 从布线 213 输出。另外,布线 206 的电位被作为电位 SROUT 从布线 214 输出。

[0066] 另外,在上述工作中,在期间 t_2 至期间 t_4 中晶体管 204 截止。尤其是在期间 t_3 及期间 t_4 中,由于供应给布线 210 的时钟信号 CL1 的电位高,当晶体管 204 导通时,通过晶体管 204 及晶体管 223 电流流过布线 210 与布线 207 之间。但是,在本发明的一个方式中,晶体管 204 的栅极与源极端子彼此电分离。具体地,当晶体管 204 截止时,可以对晶体管 204 的栅极供应布线 206 的电位,对晶体管 204 的源极端子供应布线 207 的电位。因此,即使电流流过布线 210 与布线 207 之间,也该电流使布线 207 的电位上升而使晶体管 204 的栅电压 V_{gs} 接近于阈值电压 V_{th} 。其结果晶体管 204 可以截止。

[0067] 图 4 示出通过连接上述多个脉冲发生器 200 构成的移位寄存器的例子。

[0068] 图 4 所示的移位寄存器包括脉冲发生器 200₁ 至脉冲发生器 200_y。脉冲发生器 200₁ 至脉冲发生器 200_y 具有与图 2 所示的脉冲发生器 200 相同的结构。注意,图 2 所示的布线 210 至布线 212 分别被供应时钟信号 CL1 至 CL4 中的任三个时钟信号的电位。

[0069] 具体地,在脉冲发生器 200_{4m+1} 中,布线 210、布线 211 以及布线 212 分别被供应时钟信号 CL1、时钟信号 CL2 以及时钟信号 CL3。在脉冲发生器 200_{4m+2} 中,布线 210、布线 211 以及布线 212 分别被供应时钟信号 CL2、时钟信号 CL3 以及时钟信号 CL4。在脉冲发生器 200_{4m+3} 中,布线 210、布线 211 以及布线 212 分别被供应时钟信号 CL3、时钟信号 CL4 以及时钟信号 CL1。在脉冲发生器 200_{4m+4} 中,布线 210、布线 211 以及布线 212 分别被供应时钟信号 CL4、时钟信号 CL1 以及时钟信号 CL2。注意, m 是满足脉冲发生器 200 的总数为 y 的任意整数。

[0070] 另外,图 6 示意性地示出图 4 中的移位寄存器中的脉冲发生器 200_j (j 为 y 以下的自然数) 布线 208 至布线 214 的位置。由图 4 和图 6 可知,从上一个脉冲发生器 200_{j-1} 的布线 214 输出的电位 SROUT_{j-1} 被作为电位 LIN 供应给脉冲发生器 200_j 的布线 208。注意,第一脉冲发生器 200₁ 的布线 208 被供应起始脉冲信号 SP 的电位。

[0071] 另外,从两级后的脉冲发生器 200_{j+2} 的布线 214 输出的电位 SROUT_{j+2} 被作为电位 RIN 供应到脉冲发生器 200_j 的布线 209。注意,第 $y-1$ 级的脉冲发生器 200_{y-1} 的布线

208 被供应电位 RIN_{y-1} , 第 y 级的脉冲发生器 200_y 的布线 208 被供应电位 RIN_y 。在假设设置脉冲发生器 200_{y+1} 的情况下, 电位 RIN_{y-1} 是从该脉冲发生器 200_{y+1} 输出的电位 $SROUT_{y+1}$ 。另外, 在假设设置脉冲发生器 200_{y+2} 的情况下, 电位 RIN_y 是从该脉冲发生器 200_{y+2} 输出的电位 $SROUT_{y+2}$ 。

[0072] 从脉冲发生器 200_j 的布线 213 输出电位 $GOUT_j$ 。

[0073] 图 5 是时钟信号 CL_1 至时钟信号 CL_4 的电位、起始脉冲信号 SP 的电位、电位 $GOUT_1$ 至电位 $GOUT_3$ 的时序图。时钟信号 CL_1 至时钟信号 CL_4 呈现电位上升时序以四分之一周期向后推移的波形。图 4 所示的移位寄存器对应于上述信号进行工作, 并输出电位 $GOUT_1$ 至电位 $GOUT_y$, 该电位 $GOUT_1$ 至电位 $GOUT_y$ 的脉冲宽度为上述时钟信号的二分之一周期且电位 $GOUT_1$ 至电位 $GOUT_y$ 呈现脉冲以上述时钟信号的四分之一周期向后推移的波形。

[0074] 例如, 在图 4 所示的移位寄存器对半导体显示装置的被称为总线的布线 (例如, 扫描线或信号线) 供应电位 $GOUT_1$ 至电位 $GOUT_y$ 的情况下, 脉冲发生器 200₁ 至脉冲发生器 200_y 中的输出侧晶体管 204 需要具有较大的电流供给能力。因此, 在很多情况下, 将晶体管 204 的沟道宽度 W 设定为大于晶体管 204 以外的晶体管的沟道宽度 W 。因此, 当晶体管 204 为常导通时, 移位寄存器的功耗增大或输出的电位 $GOUT_1$ 至电位 $GOUT_y$ 的幅度缩小等显著地发生。但是, 在本发明的一个方式中, 即使脉冲发生器 200₁ 至脉冲发生器的输出侧晶体管 204 为常导通, 也可以在该晶体管 204 应该截止时截止该晶体管 204。

[0075] 因此, 根据本发明的一个方式的上述移位寄存器将功耗抑制得较小, 并可以防止输出的电位 $GOUT_1$ 至电位 $GOUT_y$ 的幅度变小。包括上述移位寄存器的根据本发明的一个方式的半导体显示装置将功耗抑制得较小, 并可以防止因对总线供应的信号幅度小而引起的显示不良。

[0076] 作为比较例, 对图 2 所示的脉冲发生器 200 中的布线 206 与布线 207 电连接时的情况进行考察。图 7A 示出比较例的脉冲发生器所含有的晶体管 204、晶体管 222、晶体管 223、电容器 225、布线 205、布线 207、布线 210 的连接关系。在比较例的脉冲发生器中, 布线 207 与布线 206 (未图示) 连接并被供应电位 VSS 。

[0077] 另外, 图 7A 分别示出布线 207 的电阻及布线 210 的电阻作为电阻 230 及电阻 231。

[0078] 另外, 如上所述, 有时非晶硅或氧化物半导体晶体管为常导通。例如, 在晶体管具有 $6\mu m$ 的沟道长度 L 及 $10\mu m$ 的沟道宽度 W 的情况下, 将栅电压 V_{gs} 为 $0V$ 时流过的电流假设为 $0.5\mu A$ 。为了增加晶体管的电流供给能力, 在很多情况下将晶体管的沟道宽度 W 增宽至 $1000\mu m$ 左右。当将具有上述电流电压特性的晶体管的沟道宽度从 $10\mu m$ 增宽至 $1000\mu m$ 时, 栅电压 V_{gs} 为 $0V$ 时流过的电流变为 100 倍 ($0.05mA$)。

[0079] 假设各脉冲发生器消耗 $0.05mA$ 的电流, 当移位寄存器中的脉冲发生器的个数为 960 个时, 整个移位寄存器中流过 $50mA$ 左右的电流。

[0080] 并且, 假设电阻 230 及电阻 231 具有 100Ω 的电阻。再者, 假设晶体管 204 为常导通并在上述那样当栅电压 V_{gs} 为 $0V$ 时 $0.05mA$ 的电流流过。当将晶体管 223 的漏极端子与布线 210 的连接部分表示为节点 A, 并将晶体管 204 的源极端子与布线 207 的连接部分表示为节点 B 时, 在电流流过晶体管 204 时, 节点 A 的电位下降, 节点 B 的电位上升。布线 207 的电位上升量相当于流过晶体管 204 的电流与电阻 230 的电阻与移位寄存器的个数的积。另外, 布线 210 中的电位下降量相当于流过晶体管 204 的电流与电阻 231 的电阻与移位寄

存器的个数的积。因此,电位下降量与电位上升量分别达到 5V。

[0081] 在图 7B 中,以实线 232 示出从布线 213 输出的电位 GOUT 的理想波形。理想电位 GOUT 的脉冲电位差相当于电位 VSS 与电位 VDD 之间的差。另外,在图 7B 中,以实线 233 示出当布线 207 的电位上升而布线 210 的电位下降时的从布线 213 输出的电位 GOUT 的波形。以实线 233 示出的电位 GOUT 的脉冲电位差相当于电位 $VSS + \Delta V1$ 与电位 $VDD - \Delta V2$ 之间的差。在上述例子中 $\Delta V1$ 及 $\Delta V2$ 成为 5V 左右,由此可知该幅度从原来的幅度大幅减少。

[0082] 但是,在本发明的一个方式中,即使输出侧晶体管 204 为常导通,晶体管 204 也可以截止。由此,可以防止被输出的电位 GOUT 的幅度变小,由此可以降低功耗。

[0083] 实施方式 2

下面,对根据本发明的一个方式的脉冲发生器的结构实例进行说明。

[0084] 图 8A 所示的脉冲发生器 300 包括电路 301、晶体管 302 至晶体管 304。电路 301 相当于图 1A 所示的电路 101。晶体管 302 及晶体管 303 相当于图 1A 所示的晶体管 102。晶体管 304 相当于图 1A 所示的晶体管 103。

[0085] 通过连接多个脉冲发生器 300 可以构成移位寄存器。

[0086] 晶体管 302 的栅极与晶体管 303 及晶体管 304 的栅极连接。晶体管 302 的源极端子与布线 306 连接。晶体管 302 的漏极端子与电路 301 连接。晶体管 303 的源极端子与布线 306 连接。晶体管 303 的漏极端子与电路 301 及布线 314 连接。晶体管 304 的源极端子与布线 307 连接。晶体管 304 的漏极端子与电路 301 及布线 313 连接。

[0087] 另外,电路 301 还包括晶体管 315 至晶体管 320。具体地,晶体管 315 的栅极与布线 308 连接。晶体管 315 的源极端子与晶体管 302 的漏极端子连接。晶体管 315 的漏极端子与布线 305 连接。晶体管 316 的栅极与布线 309 连接。晶体管 316 的源极端子与晶体管 302、晶体管 303 及晶体管 304 的栅极连接。晶体管 316 的漏极端子与布线 305 连接。晶体管 317 的栅极与布线 310 连接。晶体管 317 的源极端子与晶体管 302、晶体管 303 及晶体管 304 的栅极连接。晶体管 317 的漏极端子与布线 305 连接。晶体管 318 的栅极与布线 308 连接。晶体管 318 的源极端子与布线 306 连接。晶体管 318 的漏极端子与晶体管 302、晶体管 303 及晶体管 304 的栅极连接。晶体管 319 的栅极与晶体管 315 的源极端子及晶体管 302 的漏极端子连接。晶体管 319 的源极端子与布线 314 连接。晶体管 319 的漏极端子与布线 311 连接。晶体管 320 的栅极与晶体管 315 的源极端子及晶体管 302 的漏极端子连接。晶体管 320 的源极端子与布线 313 连接。晶体管 320 的漏极端子与布线 312 连接。

[0088] 当晶体管 302 至晶体管 304 为 n 沟道型时,具体地,布线 305 被供应电位 VDD,布线 306 被供应电位 VSS,布线 307 被供应电位 VEE。另外,布线 308 至布线 312 除了被供应图 1A 所示的半导体装置 100 的电位 V_{in} 之外还被供应时钟信号等的各种信号电位。电位 GOUT 及电位 SROUT 分别从布线 313 及布线 314 被输出。

[0089] 在图 8A 所示的脉冲发生器 300 中,上述结构可以使输出侧的晶体管 304 的栅极与源极端子电分离。因此,即使晶体管 304 为常导通而使用来对该晶体管 304 的源极端子供应电位的布线 307 的电位上升,也可以在晶体管 304 应该截止时变为截止。

[0090] 图 8B 所示的脉冲发生器 330 包括电路 331、晶体管 332 至晶体管 334。电路 331 相当于图 1A 所示的电路 101。晶体管 332 及晶体管 333 相当于图 1A 所示的晶体管 102。晶体管 334 相当于图 1A 所示的晶体管 103。

[0091] 通过连接多个脉冲发生器 330 可以构成移位寄存器。

[0092] 晶体管 332 的栅极与晶体管 333 及晶体管 334 的栅极连接。晶体管 332 的源极端子与布线 336 连接。晶体管 332 的漏极端子与电路 331 连接。晶体管 333 的源极端子与布线 336 连接。晶体管 333 的漏极端子与电路 331 及布线 345 连接。晶体管 334 的源极端子与布线 337 连接。晶体管 334 的漏极端子与电路 331 及布线 344 连接。

[0093] 另外,电路 331 还包括晶体管 346 至晶体管 352。具体地,晶体管 346 的栅极与布线 338 连接。晶体管 346 的源极端子与晶体管 332 的漏极端子连接。晶体管 346 的漏极端子与布线 335 连接。晶体管 347 的栅极与布线 339 连接。晶体管 347 的源极端子与晶体管 332、晶体管 333 及晶体管 334 的栅极连接。晶体管 347 的漏极端子与布线 335 连接。晶体管 348 的栅极与布线 340 连接。晶体管 348 的源极端子与晶体管 332、晶体管 333 及晶体管 334 的栅极连接。晶体管 348 的漏极端子与布线 335 连接。晶体管 349 的栅极与布线 338 连接。晶体管 349 的源极端子与布线 336 连接。晶体管 349 的漏极端子与晶体管 332、晶体管 333 及晶体管 334 的栅极连接。晶体管 350 的栅极与布线 341 连接。晶体管 350 的源极端子与晶体管 332、晶体管 333 及晶体管 334 的栅极连接。晶体管 350 的漏极端子与布线 335 连接。晶体管 351 的栅极与晶体管 346 的源极端子及晶体管 332 的漏极端子连接。晶体管 351 的源极端子与布线 345 连接。晶体管 351 的漏极端子与布线 342 连接。晶体管 352 的栅极与晶体管 346 的源极端子及晶体管 332 的漏极端子连接。晶体管 352 的源极端子与布线 344 连接。晶体管 352 的漏极端子与布线 343 连接。

[0094] 当晶体管 332 至晶体管 334 为 n 沟道型时,具体地,布线 335 被供应电位 VDD, 布线 336 被供应电位 VSS, 布线 337 被供应电位 VEE。另外,布线 338 至布线 343 除了被供应图 1A 所示的半导体装置 100 的电位 V_{in} 之外还被供应时钟信号等的各种信号电位。电位 GOUT 及电位 SROUT 分别从布线 344 及布线 345 被输出。

[0095] 在图 8B 所示的脉冲发生器 330 中,上述结构可以使输出侧的晶体管 334 的栅极与源极端子电分离。因此,即使晶体管 334 为常导通而使用来对该晶体管 334 的源极端子供应电位的布线 337 的电位上升,也可以在晶体管 334 应该截止时变为截止。

[0096] 图 9A 所示的脉冲发生器 360 包括电路 361、晶体管 362 至晶体管 364。电路 361 相当于图 1A 所示的电路 101。晶体管 362 及晶体管 363 相当于图 1A 所示的晶体管 102。晶体管 364 相当于图 1A 所示的晶体管 103。

[0097] 通过连接多个脉冲发生器 360 可以构成移位寄存器。

[0098] 晶体管 362 的栅极与晶体管 363 及晶体管 364 的栅极连接。晶体管 362 的源极端子与布线 366 连接。晶体管 362 的漏极端子与电路 361 连接。晶体管 363 的源极端子与布线 366 连接。晶体管 363 的漏极端子与电路 361 及布线 375 连接。晶体管 364 的源极端子与布线 367 连接。晶体管 364 的漏极端子与电路 361 及布线 374 连接。

[0099] 另外,电路 361 还包括晶体管 376 至晶体管 382。具体地,晶体管 376 的栅极与布线 368 连接。晶体管 376 的源极端子与晶体管 362 的漏极端子连接。晶体管 376 的漏极端子与布线 365 连接。晶体管 377 的栅极与布线 365 连接。晶体管 377 的源极端子和漏极端子中的一方与晶体管 376 的源极端子及晶体管 362 的漏极端子连接。晶体管 377 的源极端子和漏极端子中的另一方与晶体管 381 及晶体管 382 的栅极连接。晶体管 378 的栅极与布线 369 连接。晶体管 378 的源极端子与晶体管 362、晶体管 363 及晶体管 364 的栅极连

接。晶体管 378 的漏极端子与布线 365 连接。晶体管 379 的栅极与布线 368 连接。晶体管 379 的源极端子与布线 366 连接。晶体管 379 的漏极端子与晶体管 362、晶体管 363 及晶体管 364 的栅极连接。晶体管 380 的栅极与布线 370 连接。晶体管 380 的源极端子与晶体管 362、晶体管 363 及晶体管 364 的栅极连接。晶体管 380 的漏极端子与布线 365 连接。晶体管 381 的源极端子与布线 375 连接。晶体管 381 的漏极端子与布线 371 连接。晶体管 382 的源极端子与布线 374 连接。晶体管 382 的漏极端子与布线 372 连接。

[0100] 当晶体管 362 至晶体管 364 为 n 沟道型时,具体地,布线 365 被供应电位 VDD,布线 366 被供应电位 VSS,布线 367 被供应电位 VEE。另外,布线 368 至布线 372 除了被供应图 1A 所示的半导体装置 100 的电位 V_{in} 之外还被供应时钟信号等的各种信号电位。电位 GOUT 及电位 SROUT 分别从布线 374 及布线 375 被输出。

[0101] 在图 9A 所示的脉冲发生器 360 中,上述结构可以使输出侧的晶体管 364 的栅极与源极端子电分离。因此,即使晶体管 364 为常导通而使用来对该晶体管 364 的源极端子供应电位的布线 367 的电位上升,也可以在晶体管 364 应该截止时变为截止。

[0102] 图 9B 所示的脉冲发生器 400 包括电路 401、晶体管 402 至晶体管 404。电路 401 相当于图 1A 所示的电路 101。晶体管 402 及晶体管 403 相当于图 1A 所示的晶体管 102。晶体管 404 相当于图 1A 所示的晶体管 103。

[0103] 通过连接多个脉冲发生器 400 可以构成移位寄存器。

[0104] 晶体管 402 的栅极与晶体管 403 及晶体管 404 的栅极连接。晶体管 402 的源极端子与布线 406 连接。晶体管 402 的漏极端子与电路 401 连接。晶体管 403 的源极端子与布线 406 连接。晶体管 403 的漏极端子与电路 401 及布线 415 连接。晶体管 404 的源极端子与布线 407 连接。晶体管 404 的漏极端子与电路 401 及布线 414 连接。

[0105] 另外,电路 401 还包括晶体管 416 至晶体管 423。具体地,晶体管 416 的栅极与布线 408 连接。晶体管 416 的源极端子与晶体管 402 的漏极端子连接。晶体管 416 的漏极端子与布线 405 连接。晶体管 417 的栅极与布线 405 连接。晶体管 417 的源极端子和漏极端子中的一方与晶体管 416 的源极端子及晶体管 402 的漏极端子连接。晶体管 417 的源极端子和漏极端子中的另一方与晶体管 421 的栅极连接。晶体管 418 的栅极与布线 409 连接。晶体管 418 的源极端子与晶体管 402、晶体管 403 及晶体管 404 的栅极连接。晶体管 418 的漏极端子与布线 405 连接。晶体管 419 的栅极与布线 408 连接。晶体管 419 的源极端子与布线 406 连接。晶体管 419 的漏极端子与晶体管 402、晶体管 403 及晶体管 404 的栅极连接。晶体管 420 的栅极与布线 410 连接。晶体管 420 的源极端子与晶体管 402、晶体管 403 及晶体管 404 的栅极连接。晶体管 420 的漏极端子与布线 405 连接。晶体管 421 的源极端子与布线 415 连接。晶体管 421 的漏极端子与布线 411 连接。晶体管 422 的栅极与布线 405 连接。晶体管 422 的源极端子和漏极端子中的一方与晶体管 421 的栅极连接。晶体管 422 的源极端子和漏极端子中的另一方与晶体管 423 的栅极连接。晶体管 423 的源极端子与布线 414 连接。晶体管 423 的漏极端子与布线 412 连接。

[0106] 当晶体管 402 至晶体管 404 为 n 沟道型时,具体地,布线 405 被供应电位 VDD,布线 406 被供应电位 VSS,布线 407 被供应电位 VEE。另外,布线 408 至布线 412 除了被供应图 1A 所示的半导体装置 100 的电位 V_{in} 之外还被供应时钟信号等的各种信号电位。电位 GOUT 及电位 SROUT 分别从布线 414 及布线 415 被输出。

[0107] 在图 9B 所示的脉冲发生器 400 中,上述结构可以使输出侧的晶体管 404 的栅极与源极端子电分离。因此,即使晶体管 404 为常导通而使用来对该晶体管 404 的源极端子供应电位的布线 407 的电位上升,也可以在晶体管 404 应该截止时变为截止。

[0108] 图 10 所示的脉冲发生器 430 包括电路 431、晶体管 432 至晶体管 434。电路 431 相当于图 1A 所示的电路 101。晶体管 432 及晶体管 433 相当于图 1A 所示的晶体管 102。晶体管 434 相当于图 1A 所示的晶体管 103。

[0109] 通过连接多个脉冲发生器 430 可以构成移位寄存器。

[0110] 晶体管 432 的栅极与晶体管 433 及晶体管 434 的栅极连接。晶体管 432 的源极端子与布线 436 连接。晶体管 432 的漏极端子与电路 431 连接。晶体管 433 的源极端子与布线 436 连接。晶体管 433 的漏极端子与电路 431 及布线 445 连接。晶体管 434 的源极端子与布线 437 连接。晶体管 433 的漏极端子与电路 431 及布线 444 连接。

[0111] 另外,电路 431 还包括晶体管 446 至晶体管 453。具体地,晶体管 446 的栅极与布线 438 连接。晶体管 446 的源极端子与晶体管 432 的漏极端子连接。晶体管 446 的漏极端子与布线 435 连接。晶体管 447 的栅极与布线 439 连接。晶体管 447 的源极端子与晶体管 432、晶体管 433 及晶体管 434 的栅极连接。晶体管 447 的漏极端子与布线 435 连接。晶体管 448 的栅极与布线 440 连接。晶体管 448 的源极端子与晶体管 432、晶体管 433 及晶体管 434 的栅极连接。晶体管 448 的漏极端子与布线 435 连接。晶体管 449 的栅极与布线 438 连接。晶体管 449 的源极端子与布线 436 连接。晶体管 449 的漏极端子与晶体管 432、晶体管 433 及晶体管 434 的栅极连接。晶体管 450 的栅极与布线 435 连接。晶体管 450 的源极端子和漏极端子中的一方与晶体管 446 的源极端子及晶体管 432 的漏极端子连接。晶体管 450 的源极端子和漏极端子中的另一方与晶体管 451 的栅极连接。晶体管 451 的源极端子与布线 445 连接。晶体管 451 的漏极端子与布线 441 连接。晶体管 452 的栅极与布线 435 连接。晶体管 452 的源极端子和漏极端子中的一方与晶体管 446 的源极端子及晶体管 432 的漏极端子连接。晶体管 452 的源极端子和漏极端子中的另一方与晶体管 453 的栅极连接。晶体管 453 的源极端子与布线 444 连接。晶体管 453 的漏极端子与布线 442 连接。

[0112] 当晶体管 432 至晶体管 434 为 n 沟道型时,具体地,布线 435 被供应电位 VDD,布线 436 被供应电位 VSS,布线 437 被供应电位 VEE。另外,布线 438 至布线 442 除了被提供图 1A 所示的半导体装置 100 的电位 V_{in} 之外还被供应时钟信号等的各种信号电位。电位 GOUT 及电位 SROUT 分别从布线 444 及布线 445 被输出。

[0113] 在图 10 所示的脉冲发生器 430 中,上述结构可以使输出侧的晶体管 434 的栅极与源极端子电分离。因此,即使晶体管 434 为常导通而使用来对该晶体管 434 的源极端子供应电位的布线 437 的电位上升,也可以在晶体管 434 应该截止时变为截止。

[0114] 本实施方式可以与其他实施方式适当地组合而实施。

[0115] 实施方式 3

下面,对根据本发明的一个方式的半导体装置之一的反相器的结构实例进行说明。

[0116] 图 11 示出根据本发明的一个方式的反相器的一个例子。图 11 所示的反相器 500 包括电路 501、晶体管 502 及晶体管 503。电路 501 相当于图 1A 中示出的电路 101。晶体管 502 相当于图 1A 中示出的晶体管 102。晶体管 503 相当于图 1A 中示出的晶体管 103。

[0117] 晶体管 502 的栅极与布线 509 连接。晶体管 502 的源极端子与布线 505 连接。晶

晶体管 502 的漏极端子与电路 501 连接。晶体管 503 的栅极与布线 509 连接。晶体管 503 的源极端子与布线 506 连接。晶体管 503 的漏极端子与电路 501 及布线 508 连接。

[0118] 另外,电路 501 还包括晶体管 510 至晶体管 512 及电容器 513。具体地,晶体管 510 的栅极与布线 507 连接。晶体管 510 的源极端子与晶体管 502 的漏极端子连接。晶体管 510 的漏极端子与布线 504 连接。晶体管 511 的栅极与布线 504 连接。晶体管 511 的源极端子和漏极端子中的一个与晶体管 510 的源极端子及晶体管 502 的漏极端子连接。晶体管 511 的源极端子和漏极端子中的另一个与晶体管 512 的栅极连接。晶体管 512 的源极端子与晶体管 503 的漏极端子及布线 508 连接。晶体管 512 的漏极端子与布线 504 连接。电容器 513 的一个电极与晶体管 512 的栅极连接。电容器 513 的另一个电极与布线 508 连接。

[0119] 当晶体管 502 及晶体管 503 为 n 沟道型晶体管时,具体地,布线 504 被供应电位 VDD,布线 505 被供应电位 VSS,布线 506 被供应电位 VEE。布线 507 被供应时钟信号电位,布线 509 被供应图 1A 中示出的半导体装置 100 中的电位 V_{in} 。在图 11 中,电位 V_{in} 为从图 2 所示的脉冲发生器 200 的布线 214 输出的电位 SROUT。从布线 508 输出通过反转电位 SROUT 的极性得到的电位 SROUTb。

[0120] 在图 11 所示的反相器 500 中,上述结构可以使输出侧的晶体管 503 的栅极与源极端子电分离。因此,即使晶体管 503 为常导通而使用来对该晶体管 503 的源极端子供应电位的布线 506 的电位上升,晶体管 503 在应该截止时也可以变为截止。

[0121] 本实施方式可以与其他实施方式适当地组合而实施。

[0122] 实施方式 4

参照图 12 以 EL 显示装置为例对根据本发明的一个方式的半导体显示装置中的像素和驱动电路的截面结构进行说明。图 12 是像素 840 和驱动电路 841 的截面图的一个例子。

[0123] 在图 12 中,像素 840 包括发光元件 832 以及用来控制对发光元件 832 供应电流的晶体管 831。像素 840 除了包括上述发光元件 832 及晶体管 831 之外,还可以包括用来控制对像素 840 输入图像信号的晶体管、用来保持图像信号的电位的电容器等各种各样的半导体元件。

[0124] 另外,在图 12 中,驱动电路 841 包括晶体管 830 以及用来保持晶体管 830 的栅电压的电容器 833。具体地,晶体管 830 相当于作为驱动电路 841 的一部分的移位寄存器所持有的输出侧晶体管。驱动电路 841 除了包括上述晶体管 830 及电容器 833 之外,还可以包括晶体管、电容器等各种各样的半导体元件。

[0125] 晶体管 831 在具有绝缘表面的衬底 800 上包括:用作栅极的导电膜 816;导电膜 816 上的栅极绝缘膜 802;以与重叠导电膜 816 的方式位于栅极绝缘膜 802 上的半导体膜 817;用作源极端子及漏极端子的位于半导体膜 817 上的导电膜 815 及导电膜 818。导电膜 816 也用作扫描线。

[0126] 晶体管 830 在具有绝缘表面的衬底 800 上包括:用作栅极的导电膜 812;导电膜 812 上的栅极绝缘膜 802;以与导电膜 812 重叠的方式位于栅极绝缘膜 802 上的半导体膜 813;用作源极端子及漏极端子的位于半导体膜 813 上的导电膜 814 及导电膜 819。

[0127] 电容器 833 在具有绝缘表面的衬底 800 上包括:导电膜 812;导电膜 812 上的栅极绝缘膜 802;以与导电膜 812 重叠的方式位于栅极绝缘膜 802 上的导电膜 819。

[0128] 另外,在导电膜 814、导电膜 815、导电膜 818、导电膜 819 上依次层叠有绝缘膜 820

及绝缘膜 821。并且,在绝缘膜 821 上形成有用作阳极的导电膜 822。导电膜 822 通过形成于绝缘膜 820 及绝缘膜 821 中的接触孔 823 与导电膜 818 连接。

[0129] 另外,具有使导电膜 822 的一部分露出的开口部的绝缘膜 824 设置在绝缘膜 821 上。在导电膜 822 的一部分及绝缘膜 824 上依次层叠有 EL 层 825 及用作阴极的导电膜 826。导电膜 822、EL 层 825 及导电膜 826 彼此重叠的区域相当于发光元件 832。

[0130] 另外,在本发明的一个方式中,晶体管 830 及晶体管 831 都可以包括包含非晶、微晶、多晶或单晶半导体(例如,硅或锗)的半导体膜或者包含宽带隙半导体(例如,氧化物半导体)的半导体膜。

[0131] 当晶体管 830 及晶体管 831 的半导体膜包含非晶、微晶、多晶或单晶半导体(例如,硅或锗)时,对上述半导体膜添加赋予一种导电性的杂质元素来形成用作源极端子及漏极端子的杂质区。例如,通过对上述半导体膜添加磷或砷,可以形成具有 n 型导电性的杂质区。另外,例如,通过对上述半导体膜添加硼,可以形成具有 p 型导电性的杂质区。

[0132] 在作为晶体管 830 及晶体管 831 的半导体膜使用氧化物半导体的情况下,可以对上述半导体膜添加掺杂剂来形成用作源极端子及漏极端子的杂质区。可以使用离子注入法添加掺杂剂。作为掺杂剂,例如可以使用氦、氩、氙等稀有气体或氮、磷、砷、锑等第 15 族原子等。例如,在将氮用作掺杂剂的情况下,杂质区中的氮原子的浓度优选为 $5 \times 10^{19} / \text{cm}^3$ 以上且 $1 \times 10^{22} / \text{cm}^3$ 以下。

[0133] 另外,作为硅半导体可以使用:通过等离子体 CVD 等的气相生长或溅射形成的非晶硅;通过激光退火法处理而使非晶硅结晶化而得到的多晶硅;通过对单晶硅片注入氢离子等而使表层部剥离的单晶硅等。

[0134] 另外,作为氧化物半导体,优选至少包含铟(In)或锌(Zn)。尤其是氧化物半导体优选包含 In 及 Zn。另外,作为用来减小包括该氧化物半导体的晶体管的电特性偏差的稳定剂(stabilizer),优选除了上述元素以外还包含镓(Ga)。作为稳定剂优选包含锡(Sn)。作为稳定剂优选包含铪(Hf)。作为稳定剂优选包含铝(Al)。

[0135] 作为其它稳定剂,也可以包含镧系元素的镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镱(Lu)中的一种或多种。

[0136] 例如,作为氧化物半导体可以使用:氧化铟;氧化锡;氧化锌;二元金属氧化物如 In-Zn 类氧化物、Sn-Zn 类氧化物、Al-Zn 类氧化物、Zn-Mg 类氧化物、Sn-Mg 类氧化物、In-Mg 类氧化物、In-Ga 类氧化物;三元金属氧化物如 In-Ga-Zn 类氧化物(也称为 IGZO)、In-Al-Zn 类氧化物、In-Sn-Zn 类氧化物、Sn-Ga-Zn 类氧化物、Al-Ga-Zn 类氧化物、Sn-Al-Zn 类氧化物、In-Hf-Zn 类氧化物、In-La-Zn 类氧化物、In-Ce-Zn 类氧化物、In-Pr-Zn 类氧化物、In-Nd-Zn 类氧化物、In-Sm-Zn 类氧化物、In-Eu-Zn 类氧化物、In-Gd-Zn 类氧化物、In-Tb-Zn 类氧化物、In-Dy-Zn 类氧化物、In-Ho-Zn 类氧化物、In-Er-Zn 类氧化物、In-Tm-Zn 类氧化物、In-Yb-Zn 类氧化物、In-Lu-Zn 类氧化物;以及四元金属氧化物如 In-Sn-Ga-Zn 类氧化物、In-Hf-Ga-Zn 类氧化物、In-Al-Ga-Zn 类氧化物、In-Sn-Al-Zn 类氧化物、In-Sn-Hf-Zn 类氧化物、In-Hf-Al-Zn 类氧化物。另外,上述氧化物半导体也可以包含硅。

[0137] 注意,例如,In-Ga-Zn 类氧化物是指包含 In、Ga 和 Zn 的氧化物,而对 In、Ga、Zn 的比率没有限制。另外,也可以包含 In、Ga、Zn 以外的金属元素。另外,在无电场时电阻充分

高并能够充分地降低关态电流 (off-state current)。并且,由于迁移率高,所以 In-Ga-Zn 类氧化物适合于用于半导体装置的半导体材料。

[0138] 例如,可以使用 In:Ga:Zn=1:1:1(=1 / 3:1 / 3:1 / 3) 或 In:Ga:Zn=2:2:1(=2 / 5:2 / 5:1 / 5) 的原子比的 In-Ga-Zn 类氧化物或其原子比接近于上述原子比的氧化物。此外,优选使用 In:Sn:Zn=1:1:1(=1 / 3:1 / 3:1 / 3)、In:Sn:Zn=2:1:3(=1 / 3:1 / 6:1 / 2) 或 In:Sn:Zn=2:1:5(=1 / 4:1 / 8:5 / 8) 的原子比的 In-Sn-Zn 类氧化物或其原子比接近于上述原子比的氧化物。

[0139] 例如,使用 In-Sn-Zn 类氧化物比较容易得到高迁移率。但是,即使使用 In-Ga-Zn 类氧化物,也可以通过降低块体内缺陷密度来提高迁移率。

[0140] 另外,通过减少成为电子给体(供体)的水分或氢等杂质且减少氧缺陷而被高纯度化的氧化物半导体(purified Oxide Semiconductor)成为本征半导体(i型)或实质上本征。因此,包括上述氧化物半导体的晶体管具有极低的关态电流。另外,氧化物半导体的带隙为 2eV 以上,优选为 2.5eV 以上,更优选为 3eV 以上。通过使用充分减少水分或氢等杂质的浓度并减少氧缺陷而被高纯度化的氧化物半导体膜,可以降低晶体管的关态电流。

[0141] 具体而言,根据各种试验可以证明将被高纯度化的氧化物半导体用作半导体膜的晶体管的关态电流低。例如,即使元件具有 $1 \times 10^6 \mu\text{m}$ 的沟道宽度及 $10 \mu\text{m}$ 的沟道长度,也可以在 1V 至 10V 的源极端子与漏极端子之间的电压(漏极电压)下使关态电流为半导体参数分析仪的测量极限以下,例如为 $1 \times 10^{-13}\text{A}$ 以下。在此情况下,可知根据晶体管的沟道宽度被规格化的关态电流为 $100\text{zA} / \mu\text{m}$ 以下。另外,电容器与晶体管彼此连接并通过使用如下电路来测量关态电流,在该电路中由该晶体管控制流入到电容器或从电容器流出的电荷。在该测量时,将被高纯度化的氧化物半导体膜用于上述晶体管的沟道形成区,并根据电容器的单位时间的电荷量推移测量该晶体管的关态电流。其结果,可知在晶体管的源极端子与漏极端子之间的电压为 3V 的情况下,可以获得为几十 $\text{yA} / \mu\text{m}$ 的更低的关态电流。因此,将被高纯度化的氧化物半导体膜用于沟道形成区的晶体管具有比晶体硅晶体管低得多的关态电流。

[0142] 注意,在没有特别的说明的情况下,在本说明书中 n 沟道型晶体管中关态电流是指在使漏极端子的电位高于源极端子或栅极的电位的状态下,当以源极端子的电位为标准时的栅极的电位为 0V 以下时,流过源极端子与漏极端子之间的电流。此外,在本说明书中, p 沟道型晶体管的关态电流是指在使漏极端子的电位低于源极端子或栅极的电位的状态下,当以源极端子的电位为标准时的栅极的电位为 0V 以上时,流过源极端子与漏极端子之间的电流。

[0143] 此外,例如,氧化物半导体膜可以通过使用包含 In(铟)、Ga(镓)和 Zn(锌)的靶材的溅射形成。在通过溅射形成 In-Ga-Zn 类氧化物半导体膜的情况下,优选使用原子数比为 In:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3 或 3:1:4 的 In-Ga-Zn 类氧化物的靶材。当使用具有上述原子数比的 In-Ga-Zn 类氧化物的靶材形成氧化物半导体膜时,容易形成多晶或后述 c 轴取向结晶氧化物半导体(CAAC-OS:C Axis Aligned Crystalline Oxide Semiconductor)。包含 In、Ga 及 Zn 的靶材的填充率为 90% 以上且 100% 以下,优选为 95% 以上且低于 100%。通过使用填充率高的靶材,可以形成致密的氧化物半导体膜。

[0144] 另外,在作为氧化物半导体使用 In-Zn 类的材料的情况下,将所使用的靶材的原子数比设定为 In :Zn=50 :1 至 1 :2(摩尔数比为 In_2O_3 :ZnO=25 :1 至 1 :4),优选为 In :Zn=20 :1 至 1 :1(摩尔数比为 In_2O_3 :ZnO=10 :1 至 1 :2),更优选为 In :Zn=1.5 :1 至 15 :1(以摩尔数比则为 In_2O_3 :ZnO=3 :4 至 15 :2)。例如,当作为用来使用 In-Zn 类氧化物形成的氧化物半导体膜的靶材具有为 In :Zn :O=X :Y :Z 的原子数比时,满足 $Z>1.5X+Y$ 。通过将 Zn 的比率保持于上述范围内,可以提高迁移率。

[0145] 具体地,可以通过将衬底放置在保持为减压状态的处理室内边去除残留在处理室内的水分边导入被去除了氢及水分的溅射气体并使用上述靶材来以形成氧化物半导体膜。在进行成膜时,也可以将衬底温度设定为 100℃ 至 600℃,优选为 200℃ 至 400℃。通过边加热衬底边进行氧化物半导体膜的成膜,可以降低形成的氧化物半导体膜中含有的杂质浓度。另外,可以减轻由于溅射带来的损伤。为了去除残留在处理室中的水分,优选使用吸附型真空泵。例如,优选使用低温泵、离子泵、钛升华泵。作为排气单元,也可以使用配备有冷阱的涡轮泵。例如,在使用低温泵对处理室进行排气时,排出氢原子、水 (H_2O) 等包含氢原子的化合物(优选为包含碳原子的化合物)等。由此可以降低该处理室中形成的氧化物半导体膜所包含的杂质浓度。

[0146] 另外,有时通过溅射等形成的氧化物半导体膜包含大量的作为杂质的水分或氢(包括羟基)。由于水分或氢容易形成供体能级,因此成为氧化物半导体中的杂质。于是,在本发明的一个方式中,为了减少氧化物半导体膜中的水分或氢等杂质(为了进行脱水化或脱氢化),优选在减压气氛、氮或稀有气体等惰性气体气氛、氧气气氛或超干燥空气(使用 CRDS(cavity ring-down laser spectroscopy:光腔衰荡光谱法)方式的露点计进行测定时的水分是 20ppm(露点换算为 -55℃)以下,优选的是 1ppm 以下,更优选的是 10ppb 以下)气氛下对氧化物半导体膜进行加热处理。

[0147] 通过对氧化物半导体膜进行加热处理,可以使氧化物半导体膜中的水分或氢脱离。具体而言,可以在 250℃ 以上且 750℃ 以下,优选在 400℃ 以上且低于衬底的应变点的温度下进行加热处理。例如,以 500℃ 进行 3 分钟以上且 6 分钟以下左右的加热处理即可。通过使用 RTA 作为加热处理,可以在短时间内进行脱水化或脱氢化,由此即使在超过玻璃衬底的应变点的温度下也可以进行处理。

[0148] 此外,有时由于上述加热处理,氧从氧化物半导体膜脱离而在氧化物半导体膜内形成氧缺损。由此,在本发明一个方式中,作为接触于氧化物半导体膜的诸如栅极绝缘膜等绝缘膜,使用包含氧的绝缘膜。并且,通过在形成包含氧的绝缘膜之后进行加热处理,将氧从上述绝缘膜供应到氧化物半导体膜。通过采用上述结构,可以降低成为供体的氧缺损,而满足包括在氧化物半导体膜中的氧化物半导体的化学计量组成比。氧化物半导体膜的氧的比率优选为高于化学计量组成比。其结果是,氧化物半导体膜可以成为实质上本征,并可以减轻因氧缺损而导致的晶体管的电特性偏差,从而实现电特性的提高。

[0149] 在氮、超干燥空气或稀有气体(例如氩、氦等)的气氛下优选以 200℃ 至 400℃,例如以 250℃ 至 350℃ 进行用来将氧供应到氧化物半导体膜的加热处理。上述气体的含水量为 20ppm 以下,优选为 1ppm 以下,更优选为 10ppb 以下。

[0150] 另外,氧化物半导体既可以为非晶,又可以具有结晶性。当采用后者时,氧化物半导体既可以是单晶或多晶,又可以具有其一部分具有结晶性的结构、在非晶中包含具有结

晶性的部分的结构或非晶。作为其一部分具有结晶性的结构的一个例子,也可以使用包含 c 轴取向状态的结晶的氧化物半导体 (CAAC-OS :C-Axis Aligned Crystalline Oxide Semiconductor :c 轴取向结晶氧化物半导体),其中在从垂直于 a-b 面、表面或界面的方向看时具有三角形状或六角形状的原子排列。在结晶中,在从垂直于 c 轴的方向看时金属原子排列为层状或者金属原子和氧原子排列为层状,而在 a-b 面上 a 轴或 b 轴的方向不同(以 c 轴为中心回转)。

[0151] 从广义来理解,CAAC-OS 是指包括如下相的非单晶氧化物,在该相中在从垂直于 a-b 面的方向看时具有三角形状、六角形状、正三角形状或正六角形状的原子排列,并且在从垂直于 c 轴方向的方向看时金属原子排列为层状或者金属原子和氧原子排列为层状。

[0152] CAAC-OS 不是单晶,但是这并不意味着只由非晶形成。虽然 CAAC-OS 包括结晶部分,但是有时一个结晶部分与其他结晶部分的边界不明确。

[0153] 也可以用氮取代 CAAC-OS 所包含的氧的一部分。另外,CAAC-OS 所包含的结晶部分的 c 轴也可以取向为固定的方向(例如,垂直于形成有 CAAC-OS 的衬底的表面或 CAAC-OS 的表面等的方向)。此外,CAAC-OS 所包含的结晶部分的 a-b 面的法线也可以取向为固定的方向(例如,垂直于形成有 CAAC-OS 的衬底的表面或 CAAC-OS 的表面的方向)。

[0154] CAAC-OS 根据其组成等而使可见光透过或不透过。

[0155] 作为上述 CAAC-OS 的例子,也可以举出一种结晶,该结晶被形成为膜状,并且在从垂直于膜表面或支撑衬底表面的方向看时具有三角形或六角形的原子排列,并且在观察其膜截面时确认到金属原子排列为层状或金属原子及氧原子(或氮原子)排列为层状。

[0156] 接着,对根据本发明的半导体装置所具有的晶体管的具体结构实例进行说明。

[0157] 图 13A 所示的晶体管是沟道蚀刻结构的底栅型晶体管。

[0158] 并且,图 13A 所示的晶体管包括:形成在绝缘表面上的栅电极(栅极)1602;栅电极 1602 上的栅极绝缘膜 1603;在栅极绝缘膜 1603 上与栅电极 1602 重叠的半导体膜 1604;以及形成在半导体膜 1604 上的导电膜 1605 及导电膜 1606。该晶体管还可以包括形成在半导体膜 1604、导电膜 1605 及导电膜 1606 上的绝缘膜 1607。

[0159] 另外,图 13A 所示的晶体管还可以包括在与半导体膜 1604 重叠的位置形成在绝缘膜 1607 上的背栅电极。

[0160] 图 13B 所示的晶体管是沟道保护结构的底栅型晶体管。

[0161] 图 13B 所示的晶体管包括:形成在绝缘表面上的栅电极 1612;栅电极 1612 上的栅极绝缘膜 1613;在栅极绝缘膜 1613 上与栅电极 1612 重叠的半导体膜 1614;形成在半导体膜 1614 上的沟道保护膜 1618;以及形成在半导体膜 1614 上的导电膜 1615 及导电膜 1616。该晶体管还可以包括形成在沟道保护膜 1618、导电膜 1615 及导电膜 1616 上的绝缘膜 1617。

[0162] 另外,图 13B 所示的晶体管还可以包括在与半导体膜 1614 重叠的位置形成在绝缘膜 1617 上的背栅电极。

[0163] 沟道保护膜 1618 可以防止在后面的工序中对用作沟道形成区的半导体膜 1614 中的一部分造成损伤,诸如蚀刻时的等离子体或蚀刻剂所导致的膜的减少。由此,可以提高晶体管的可靠性。

[0164] 图 13C 所示的晶体管是底接触结构的底栅型晶体管。

[0165] 并且,图 13C 所示的晶体管包括:绝缘表面上的栅电极 1622;栅电极 1622 上的栅极绝缘膜 1623;栅极绝缘膜 1623 上的导电膜 1625、导电膜 1626;以及在栅极绝缘膜 1623 上与栅电极 1622 重叠且形成在导电膜 1625、导电膜 1626 上的半导体膜 1624。并且,该晶体管也可以包括形成在导电膜 1625、导电膜 1626 及半导体膜 1624 上的绝缘膜 1627。

[0166] 另外,图 13C 所示的晶体管还可以包括在与半导体膜 1624 重叠的位置形成在绝缘膜 1627 上的背栅电极。

[0167] 图 13D 所示的晶体管是底接触结构的顶栅型晶体管。

[0168] 并且,图 13D 所示的晶体管包括:绝缘表面上的导电膜 1645 及导电膜 1646;导电膜 1645 及导电膜 1646 上的半导体膜 1644;形成在半导体膜 1644 上的栅极绝缘膜 1643;以及在栅极绝缘膜 1643 上与半导体膜 1644 重叠的栅电极 1642。并且,该晶体管也可以包括形成在栅电极 1642 上的绝缘膜 1647。

[0169] 本实施方式可以与其他实施方式适当地组合而实施。

[0170] 实施方式 5

图 14 示出相当于半导体显示装置的一个方式的面板的一个例子。图 14 所示的面板包括:衬底 700;以及衬底 700 上的像素部 701、信号线驱动电路 702、扫描线驱动电路 703 以及端子 704。

[0171] 像素部 701 包括多个像素。各像素包括显示元件以及用来控制该显示元件的工作的一个或多个晶体管。扫描线驱动电路 703 通过控制对与各像素连接的扫描线的电位供应来选择像素部 701 中的像素。信号线驱动电路 702 控制对像素供应由扫描线驱动电路 703 选择的图像信号。

[0172] 在图 14 所示的面板中,作为扫描线驱动电路 703 使用根据本发明的一个方式的移位寄存器。在图 14 中,通过端子 704 对扫描线驱动电路 703 供应电位 VEE、电位 VSS、电位 VDD。

[0173] 由于扫描线与多个像素连接,所以扫描线需要具有较大的电流供给能力。通过使用根据本发明的一个方式的移位寄存器对该扫描线供应电位,可以防止供应给扫描线的电位的幅度变小。因此,可以降低因供应给扫描线的信号幅度小而引起的像素部 701 的显示不良,从而可以显示高清晰度的图像。

[0174] 注意,虽然在本实施方式中使用根据本发明的一个方式的移位寄存器作为扫描线驱动电路 703,但是也可以使用根据本发明的一个方式的移位寄存器作为信号线驱动电路 702。

[0175] 本实施方式可以与其他实施方式适当地组合而实施。

[0176] 实施方式 6

可以将根据本发明的一个方式的半导体装置用于显示设备、个人计算机、具备记录媒体的图像再现装置(典型地是,能够再现如 DVD(Digital Versatile Disc:数字通用磁盘)等记录媒体并具有用来显示其图像的显示器的装置)。此外,作为能够包括根据本发明的一个方式的半导体装置电子设备,可以举出移动电话、游戏机(包括便携式游戏机)、掌上电脑、电子书阅读器、例如摄像机和数码相机等影像拍摄装置、护目镜型显示器(头戴式显示器)、导航系统、音频再现装置(例如,汽车音频系统和数字音频播放器等)、复印机、传真机、打印机、多功能打印机、自动柜员机(ATM)、自动售货机等。图 15A 至 15E 示出这种电子

设备的具体例子。

[0177] 图 15A 示出便携式游戏机,其包括框体 5001、框体 5002、显示部 5003、显示部 5004、麦克风 5005、扬声器 5006、操作键 5007、触屏笔 5008 等。通过将根据本发明的一个方式的半导体装置用于便携式游戏机的驱动电路,可以提供功耗低且工作稳定的便携式游戏机。通过将根据本发明的一个方式的半导体装置用于显示部 5003 或显示部 5004,可以提供高清晰度的便携式游戏机。注意,虽然图 15A 所示的便携式游戏机具有显示部 5003 及显示部 5004 两个显示部,但是便携式游戏机所具有的显示部的数目不局限于此。

[0178] 图 15B 示出显示设备,其包括框体 5201、显示部 5202、支架 5203 等。通过将根据本发明的一个方式的半导体装置用于显示设备的驱动电路,可以提供功耗低且工作稳定的显示设备。通过将根据本发明的一个方式的半导体显示装置用于显示部 5202,可以提供高清晰度的显示设备。注意,显示设备是指用于显示信息的所有显示设备,例如用于个人计算机、电视广播接收以及广告显示的显示设备。

[0179] 图 15C 示出笔记本式个人计算机,其包括框体 5401、显示部 5402、键盘 5403 及指向装置 5404 等。通过将根据本发明的一个方式的半导体装置用于笔记本式个人计算机的驱动电路,可以提供功耗低且工作稳定的笔记本式个人计算机。通过将根据本发明的一个方式的半导体显示装置用于显示部 5402,可以提供高清晰度的笔记本式个人计算机。

[0180] 图 15D 示出掌上电脑,其包括第一框体 5601、第二框体 5602、第一显示部 5603、第二显示部 5604、连接部 5605、操作键 5606 等。第一显示部 5603 设置在第一框体 5601 中,第二显示部 5604 设置在第二框体 5602 中。第一框体 5601 与第二框体 5602 通过连接部 5605 连接,第一框体 5601 与第二框体 5602 之间的角度可以由连接部 5605 改变。第一显示部 5603 中的图像可以根据连接部 5605 的第一框体 5601 与第二框体 5602 之间的角度进行切换。作为第一显示部 5603 和第二显示部 5604 中的至少一个也可以使用附加有位置输入的功能的半导体显示装置。注意,可以通过在半导体显示装置中设置触摸屏来对其添加位置输入的功能。此外,也可以通过在半导体显示装置的像素部中设置被称为光电传感器的光电转换元件来对其添加位置输入装置的功能。通过将根据本发明的一个方式的半导体装置用于掌上电脑的驱动电路,可以提供功耗低且工作稳定的掌上电脑。通过将根据本发明的一个方式的半导体显示装置用于第一显示部 5603 或第二显示部 5604,也可以提供高清晰度的掌上电脑。

[0181] 图 15E 示出移动电话,其包括框体 5801、显示部 5802、声音输入部 5803、音声输出部 5804、操作键 5805、光接收部 5806 等。通过将接收到光接收部 5806 的光转换为电信号,可以提取外部的图像。通过将根据本发明的一个方式的半导体装置用于移动电话的驱动电路,可以提供功耗低且工作稳定的移动电话。通过将根据本发明的一个方式的半导体显示装置用于显示部 5802,可以提供高清晰度的移动电话。

[0182] 本实施方式可以与其他实施方式适当地组合而实施。

附图标记说明

[0183] 100 : 半导体装置 ; 101 : 电路 ; 102 : 晶体管 ; 103 : 晶体管 ; 104 : 布线 ; 105 : 布线 ; 106 : 布线 ; 107 : 布线 ; 108 : 布线 ; 109 : 晶体管 ; 110 : 电容器 ; 200 : 脉冲发生器 ; 200_1 至 200_y : 脉冲发生器 ; 201 : 电路 ; 202 : 晶体管 ; 203 : 晶体管 ; 204 : 晶体管 ; 205 : 布线 ; 206 : 布线 ; 207 : 布线 ; 208 : 布线 ; 209 : 布线 ; 210 : 布线 ; 211 : 布线 ; 212 : 布线 ; 213 : 布线 ; 214 : 布

线;215:晶体管;216:晶体管;217:晶体管;218:晶体管;219:晶体管;220:晶体管;221:晶体管;222:晶体管;223:晶体管;224:电容器;225:电容器;230:电阻;231:电阻;232:实线;233:实线;300:脉冲发生器;301:电路;302:晶体管;303:晶体管;304:晶体管;305:布线;306:布线;307:布线;308:布线;309:布线;310:布线;311:布线;312:布线;313:布线;314:布线;315:晶体管;316:晶体管;317:晶体管;318:晶体管;319:晶体管;320:晶体管;330:脉冲发生器;331:电路;332:晶体管;333:晶体管;334:晶体管;335:布线;336:布线;337:布线;338:布线;339:布线;340:布线;341:布线;342:布线;343:布线;344:布线;345:布线;346:晶体管;347:晶体管;348:晶体管;349:晶体管;350:晶体管;351:晶体管;352:晶体管;360:脉冲发生器;361:电路;362:晶体管;363:晶体管;364:晶体管;365:布线;366:布线;367:布线;368:布线;369:布线;370:布线;371:布线;372:布线;374:布线;375:布线;376:晶体管;377:晶体管;378:晶体管;379:晶体管;380:晶体管;381:晶体管;382:晶体管;400:脉冲发生器;401:电路;402:晶体管;403:晶体管;404:晶体管;405:布线;406:布线;407:布线;408:布线;409:布线;410:布线;411:布线;412:布线;414:布线;415:布线;416:晶体管;417:晶体管;418:晶体管;419:晶体管;420:晶体管;421:晶体管;422:晶体管;423:晶体管;430:脉冲发生器;431:电路;432:晶体管;433:晶体管;434:晶体管;435:布线;436:布线;437:布线;438:布线;439:布线;440:布线;441:布线;442:布线;444:布线;445:布线;446:晶体管;447:晶体管;448:晶体管;449:晶体管;450:晶体管;451:晶体管;452:晶体管;453:晶体管;500:反相器;501:电路;502:晶体管;503:晶体管;504:布线;505:布线;506:布线;507:布线;508:布线;509:布线;510:晶体管;511:晶体管;512:晶体管;513:电容器;700:衬底;701:像素部;702:信号线驱动电路;703:扫描线驱动电路;704:端子;800:衬底;802:栅极绝缘膜;812:导电膜;813:半导体膜;814:导电膜;815:导电膜;816:导电膜;817:半导体膜;818:导电膜;819:导电膜;820:绝缘膜;821:绝缘膜;822:导电膜;823:接触孔;824:绝缘膜;825:EL层;826:导电膜;830:晶体管;831:晶体管;832:发光元件;833:电容器;840:像素;841:驱动电路;1602:栅电极;1603:栅极绝缘膜;1604:半导体膜;1605:导电膜;1606:导电膜;1607:绝缘膜;1612:栅电极;1613:栅极绝缘膜;1614:半导体膜;1615:导电膜;1616:导电膜;1617:绝缘膜;1618:沟道保护膜;1622:栅电极;1623:栅极绝缘膜;1624:半导体膜;1625:导电膜;1626:导电膜;1627:绝缘膜;1642:栅电极;1643:栅极绝缘膜;1644:半导体膜;1645:导电膜;1646:导电膜;1647:绝缘膜;5001:框体;5002:框体;5003:显示部;5004:显示部;5005:麦克风;5006:扬声器;5007:操作键;5008:触屏笔;5201:框体;5202:显示部;5203:支架;5401:框体;5402:显示部;5403:键盘;5404:指向装置;5601:第一框体;5602:第二框体;5603:第一显示部;5604:第二显示部;5605:连接部;5606:操作键;5801:框体;5802:显示部;5803:声音输入部;5804:声音输出部;5805:操作键;5806:光接收部。

本申请基于2011年8月29日提交到日本专利局的日本专利申请No. 2011-185614,通过引用将其完整内容并入在此。

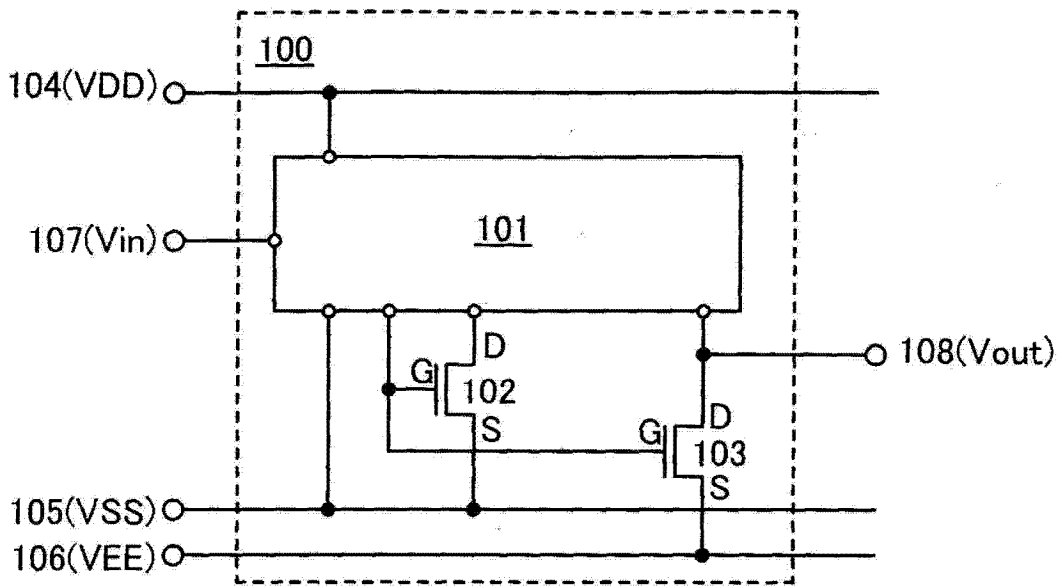


图 1A

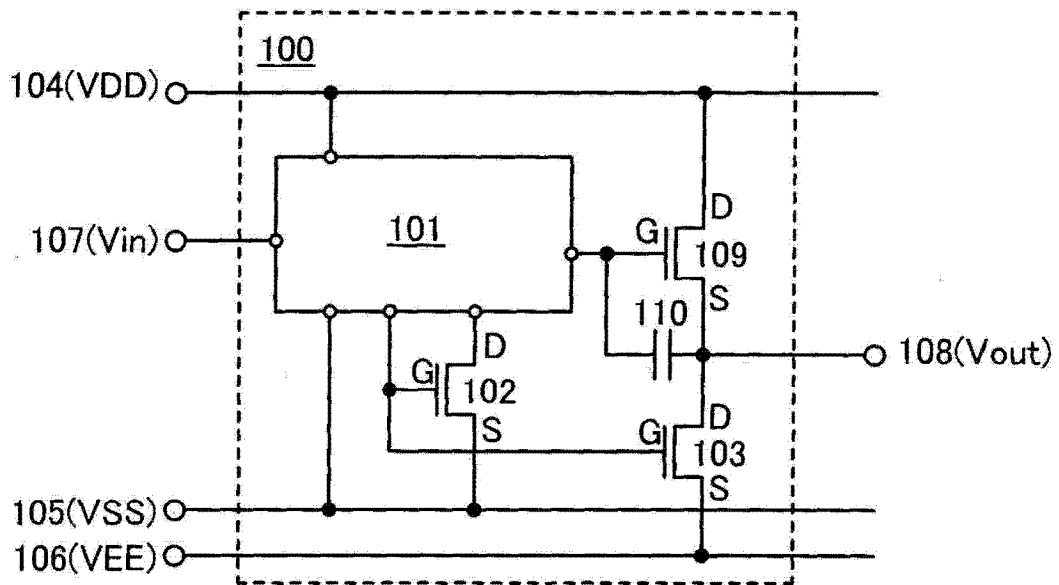


图 1B

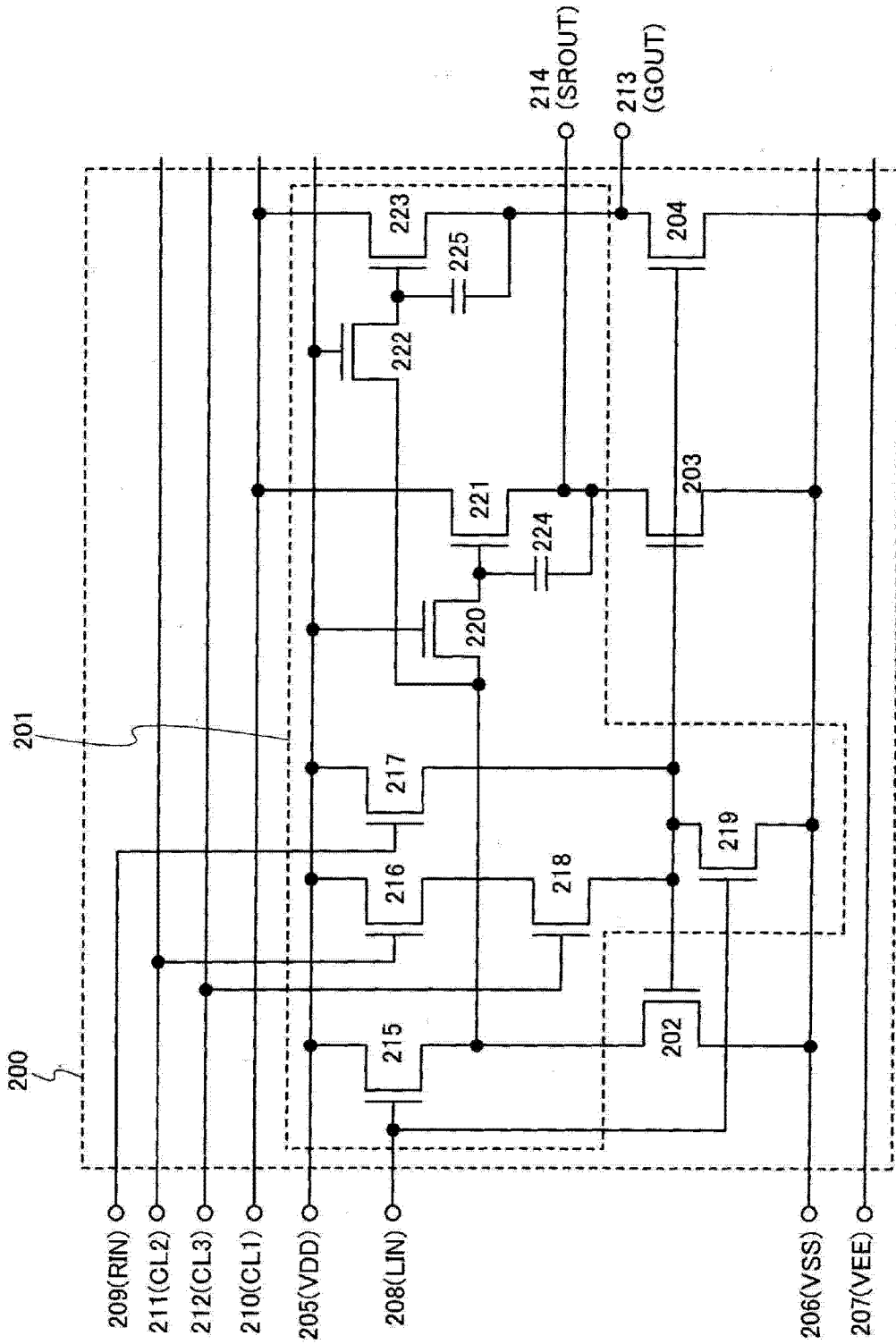


图 2

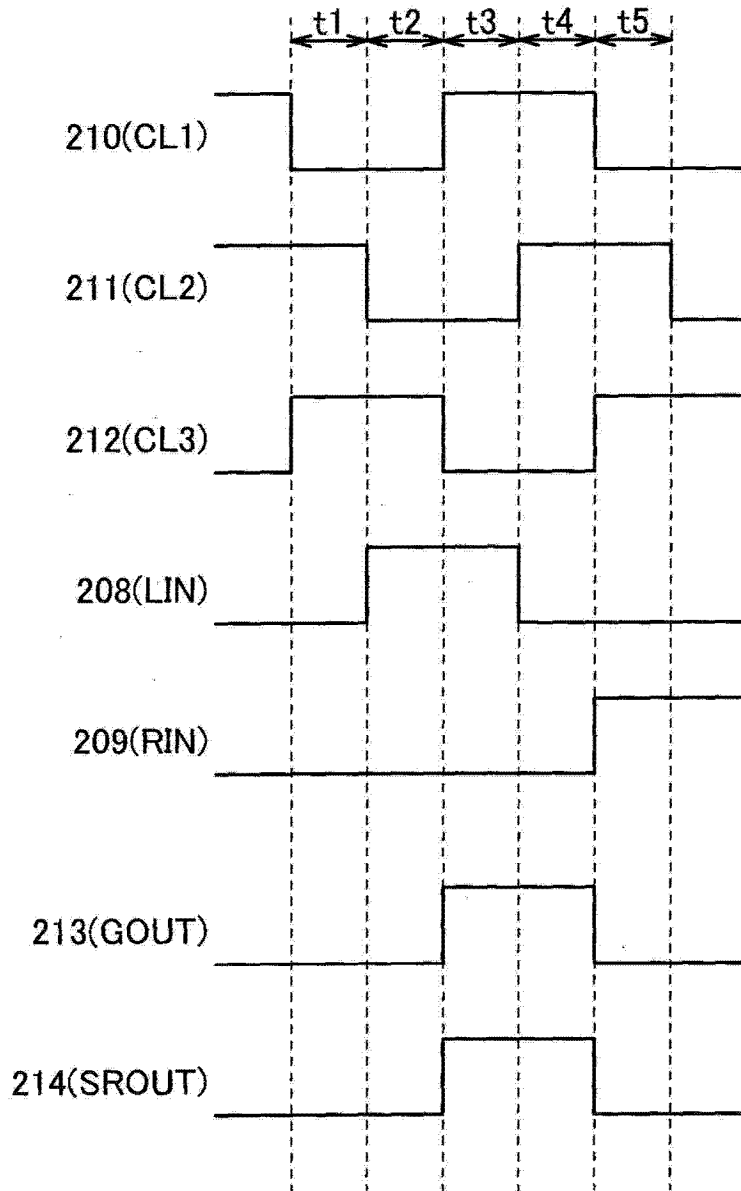


图 3

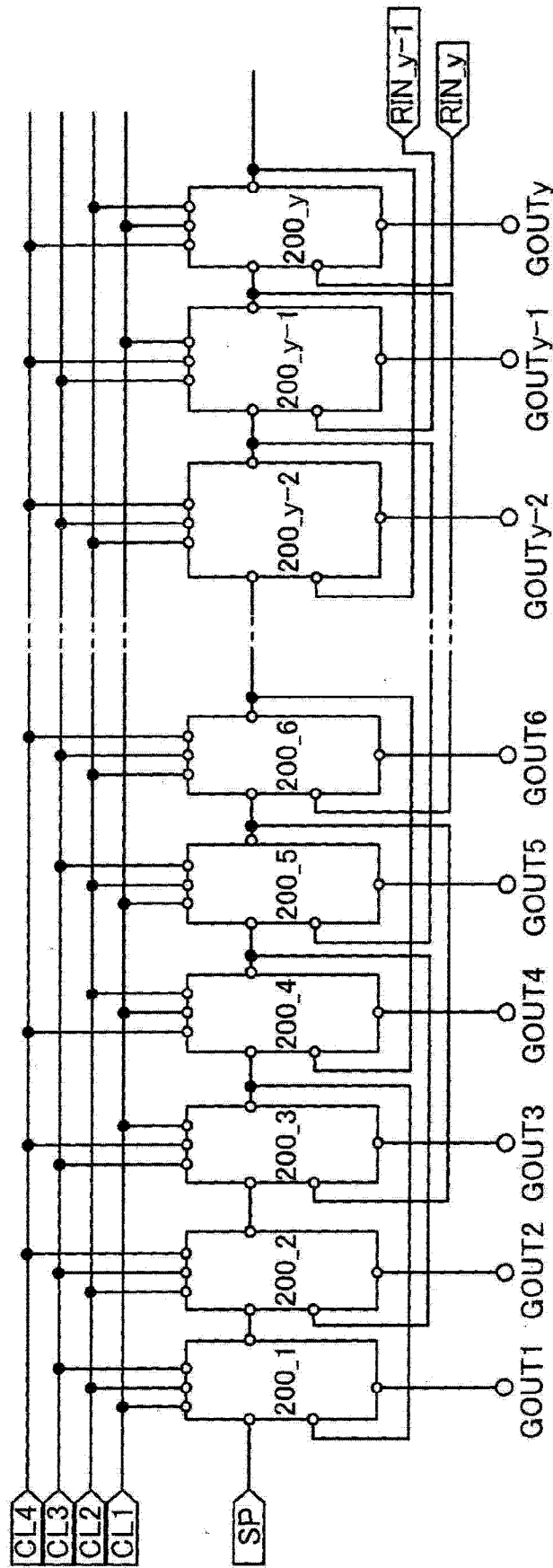


图 4

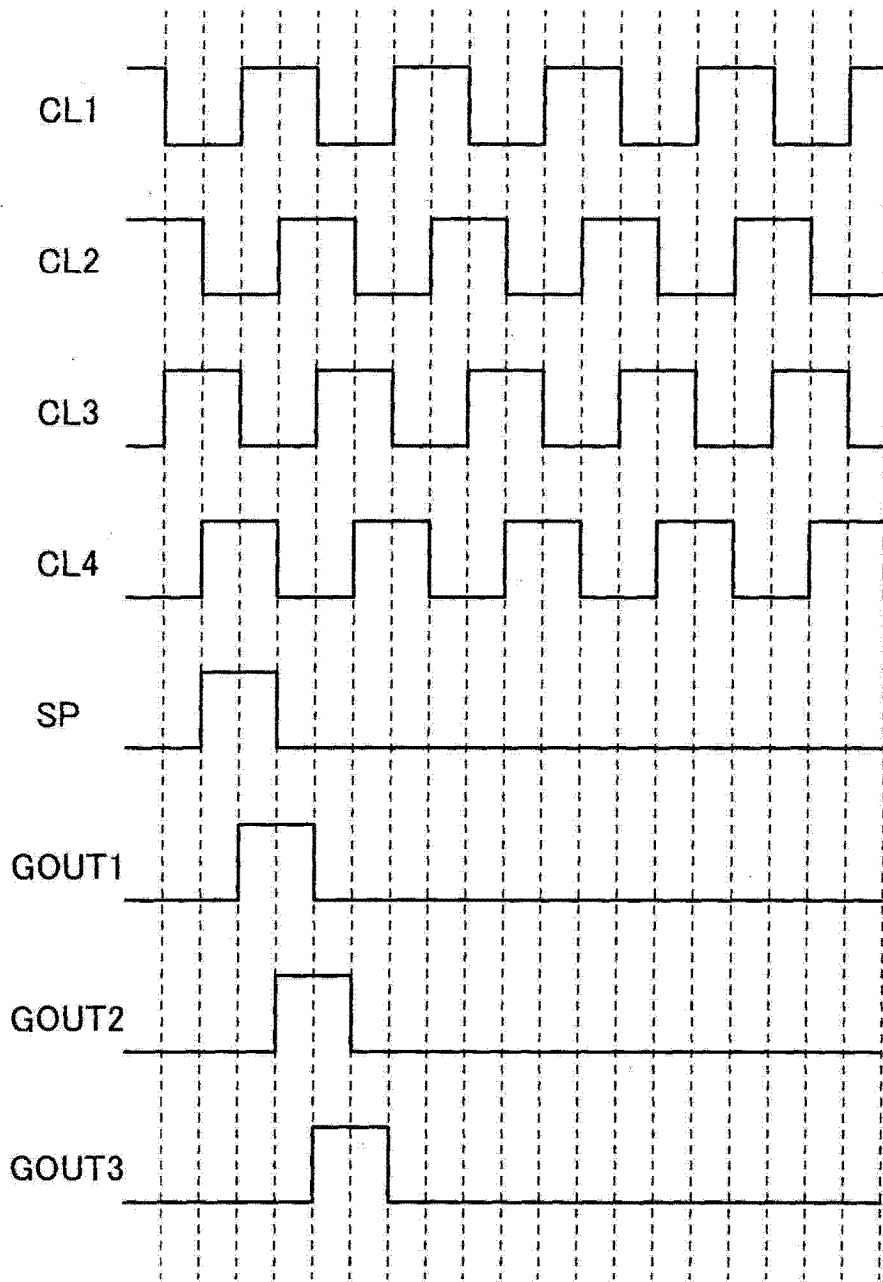


图 5

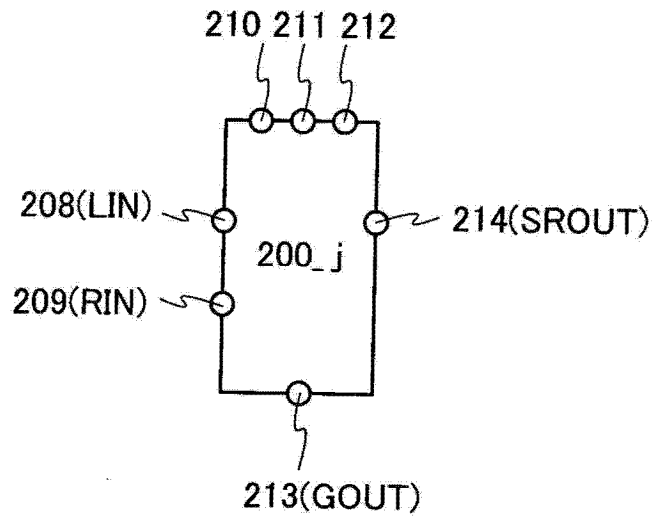


图 6

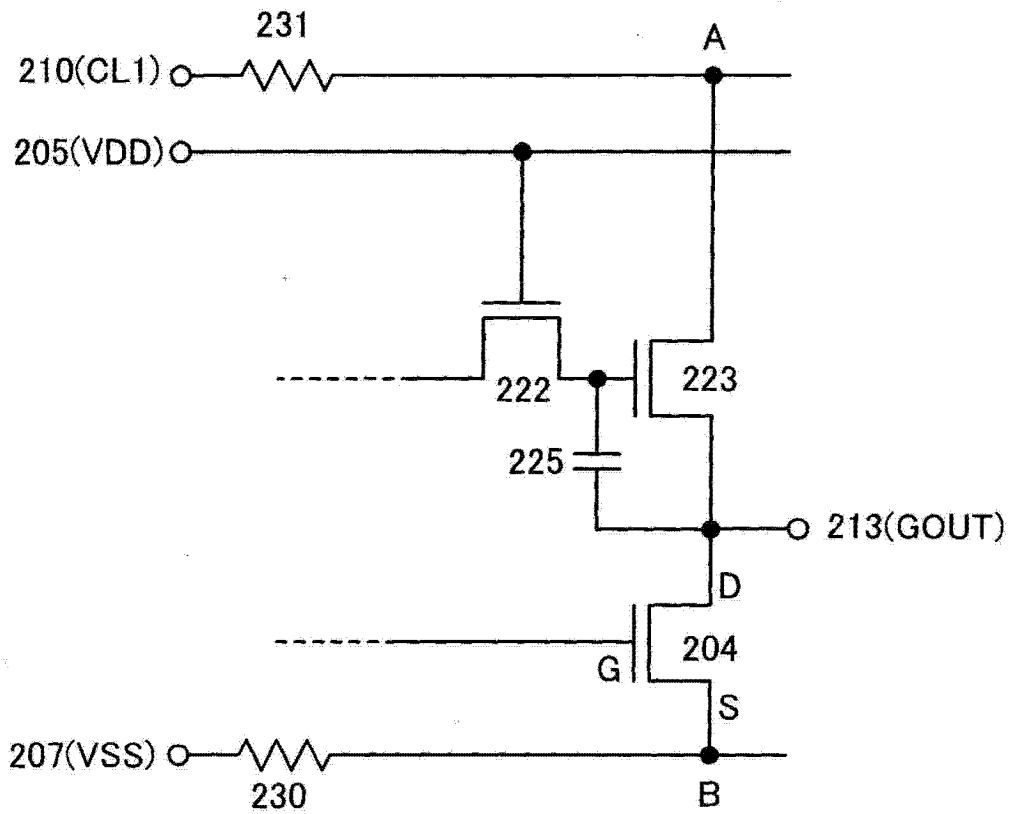


图 7A

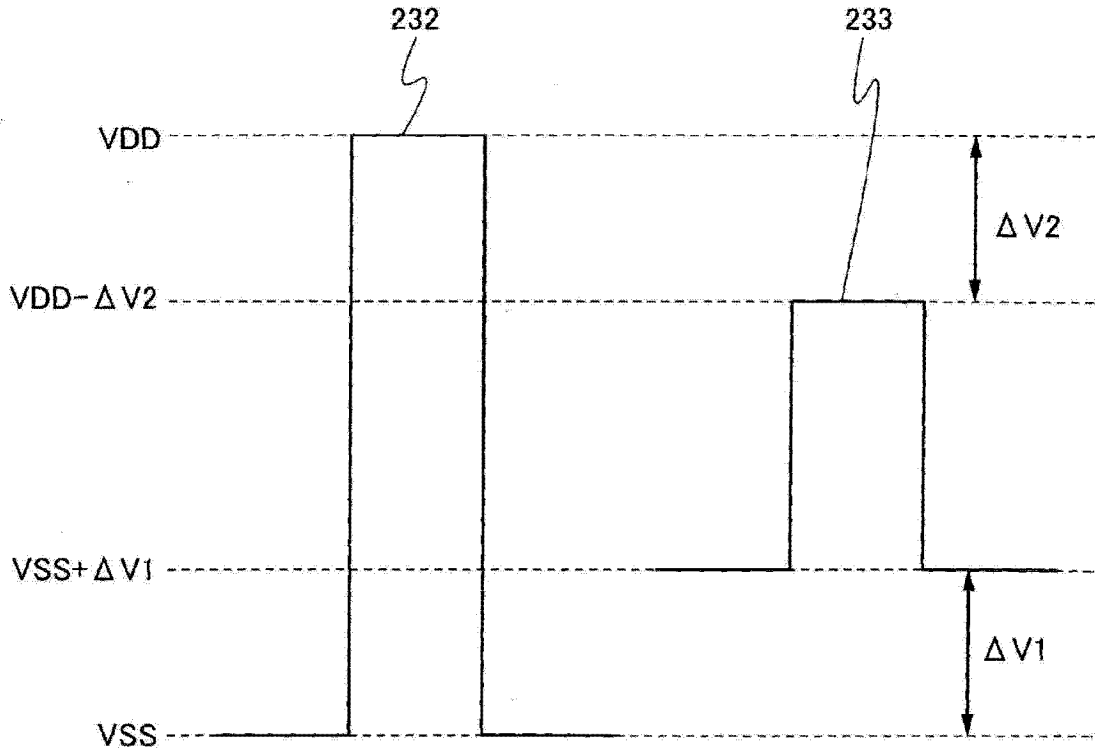


图 7B

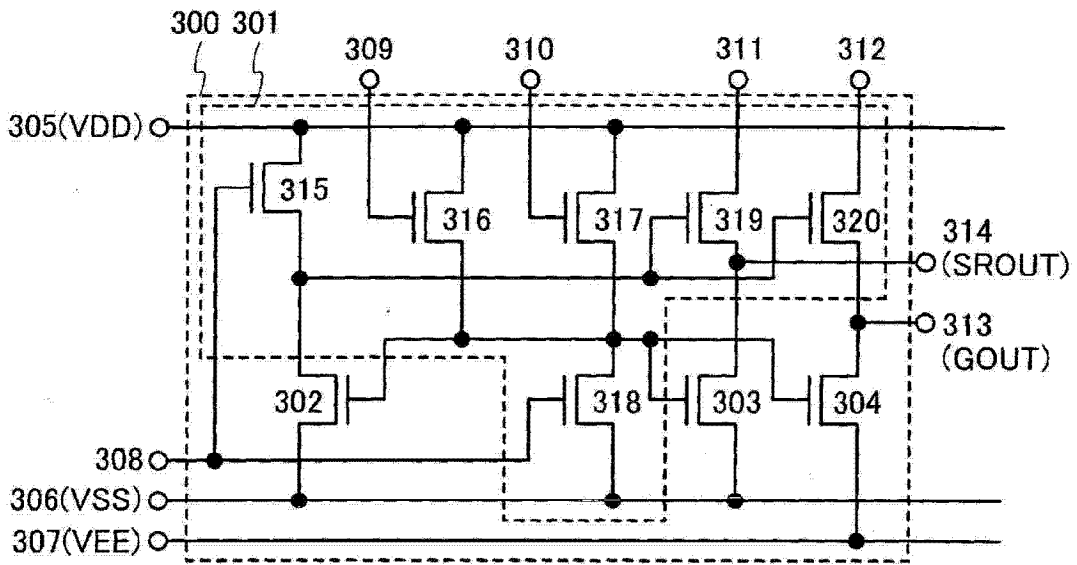


图 8A

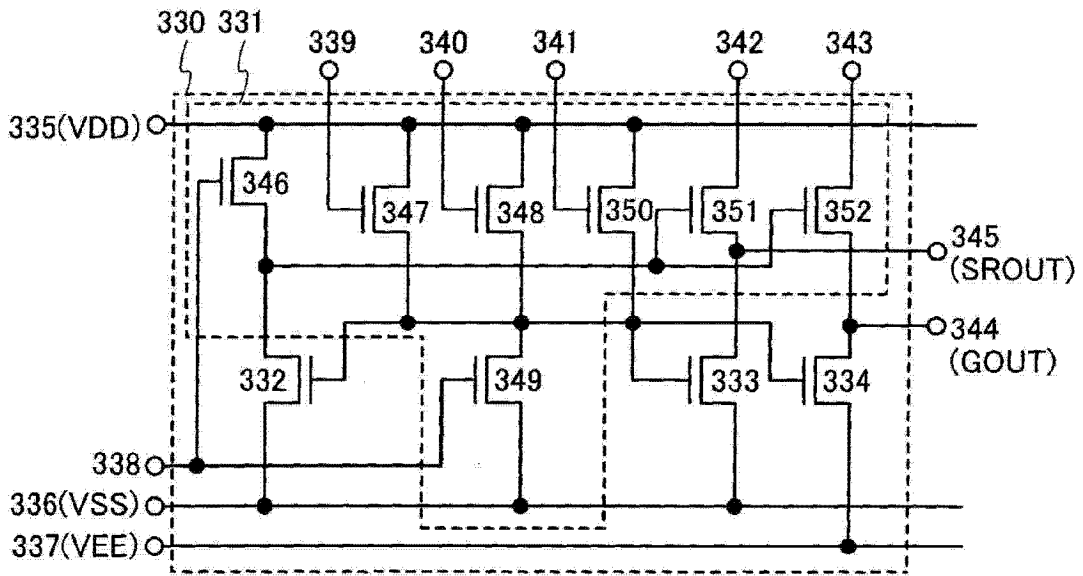


图 8B

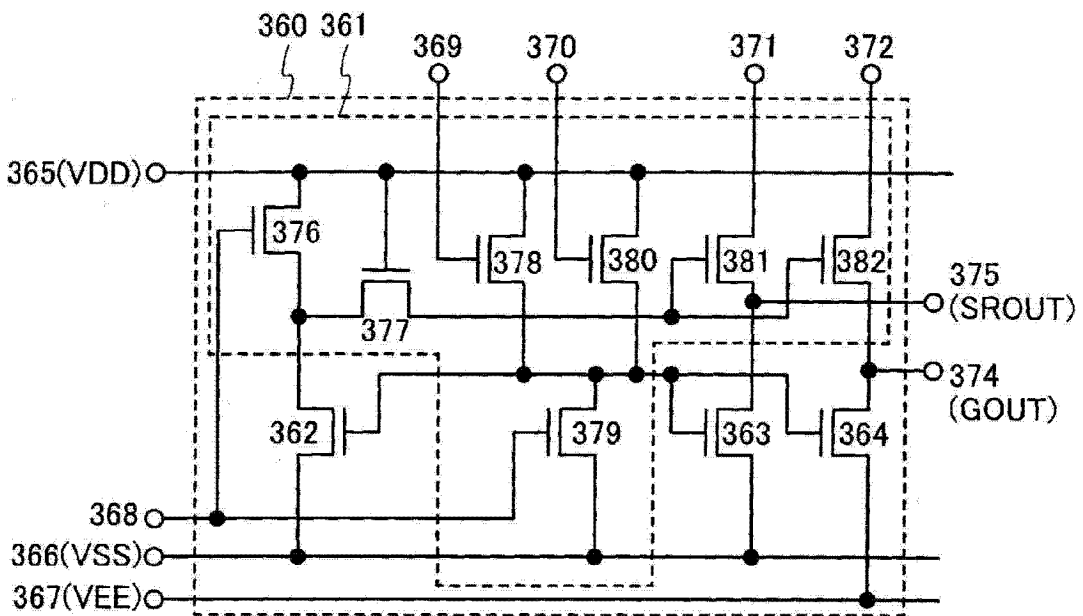


图 9A

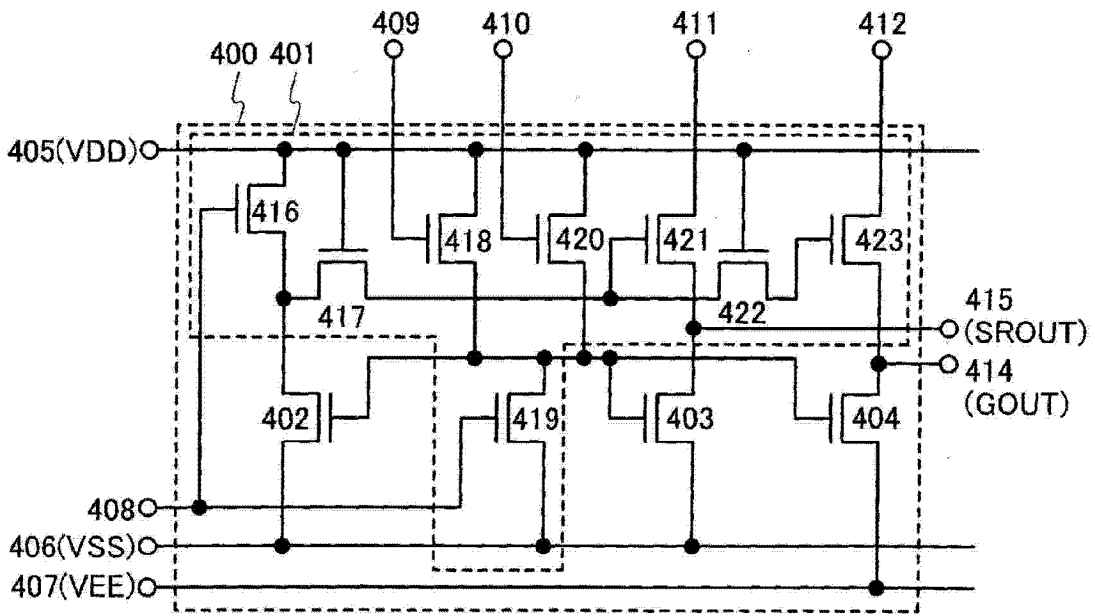


图 9B

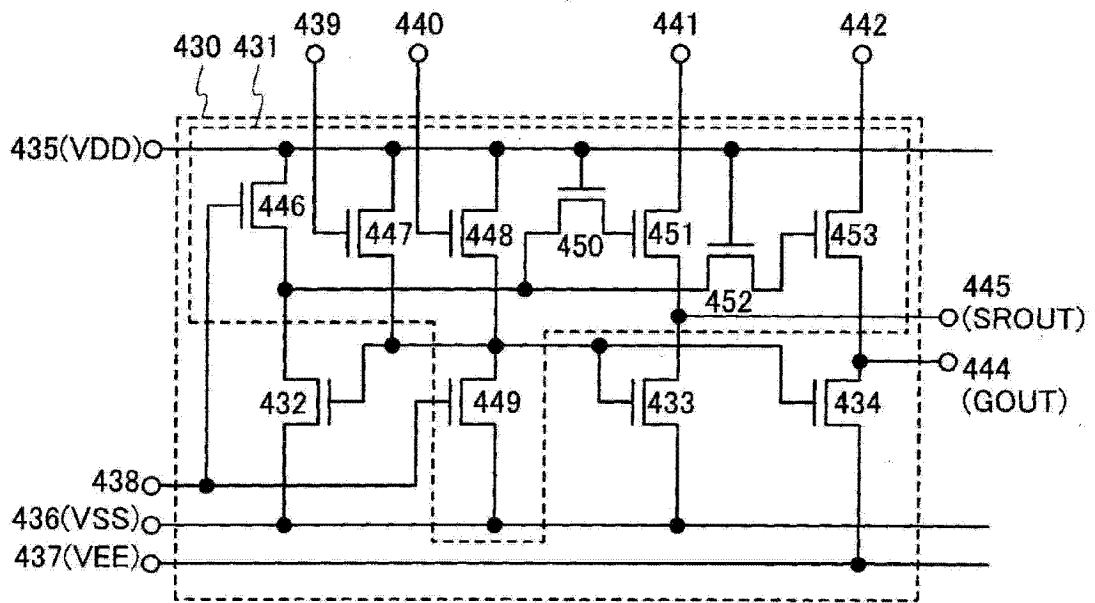


图 10

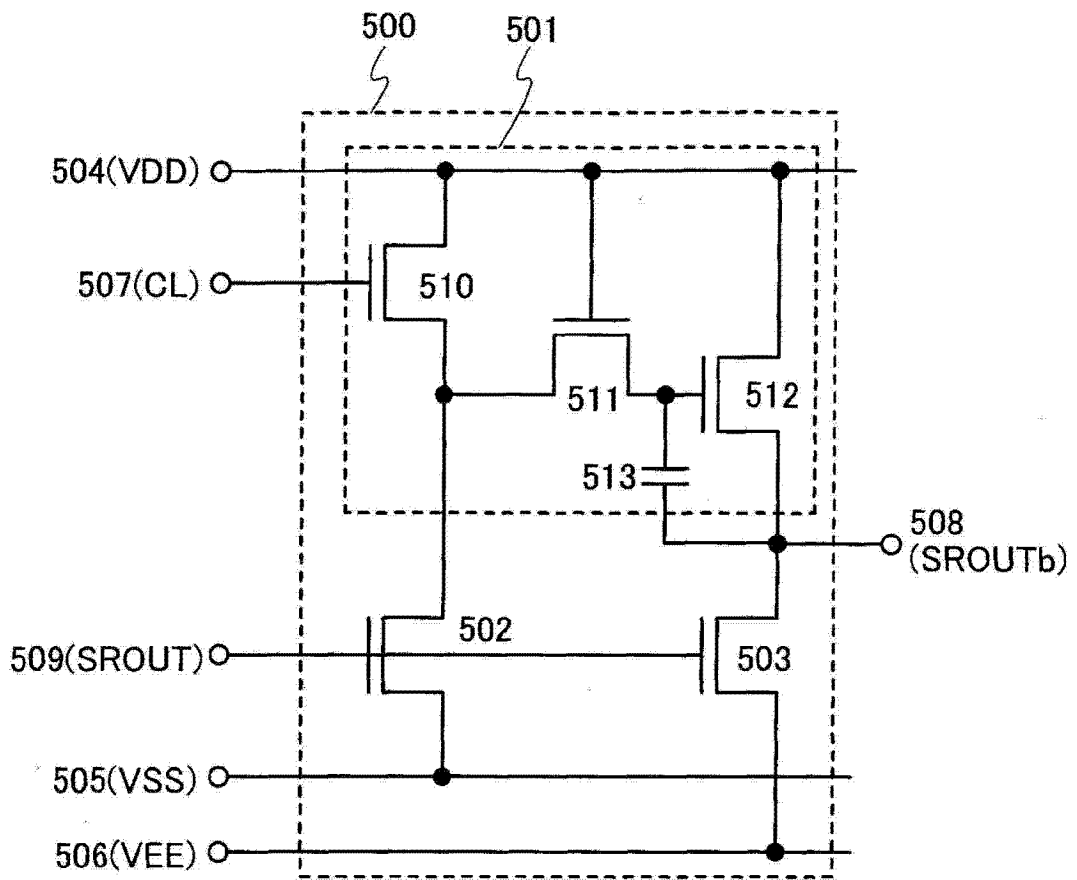


图 11

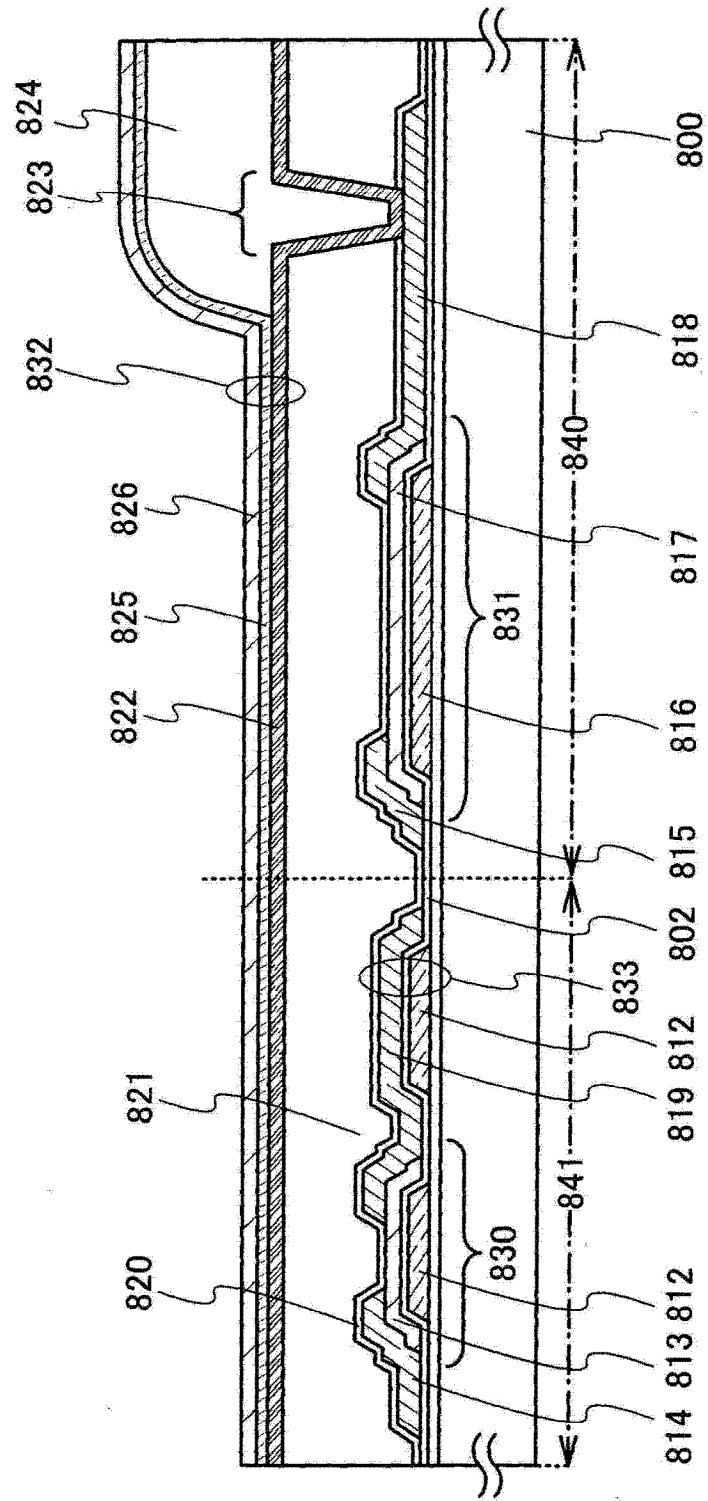


图 12

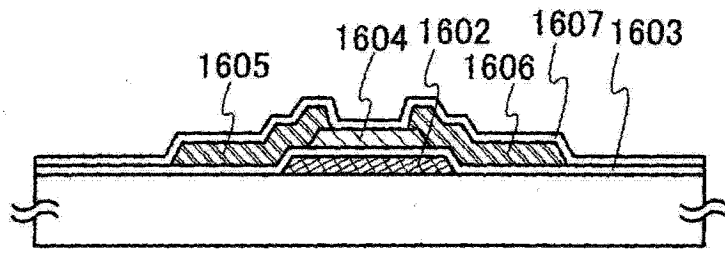


图 13A

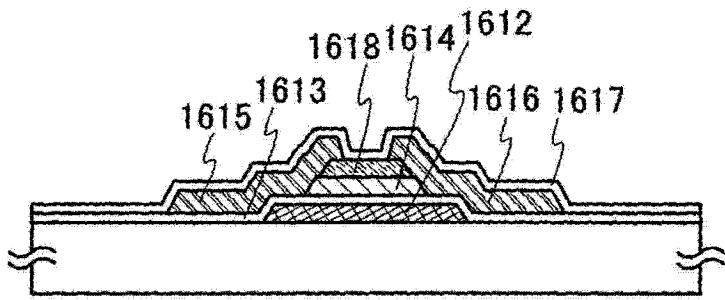


图 13B

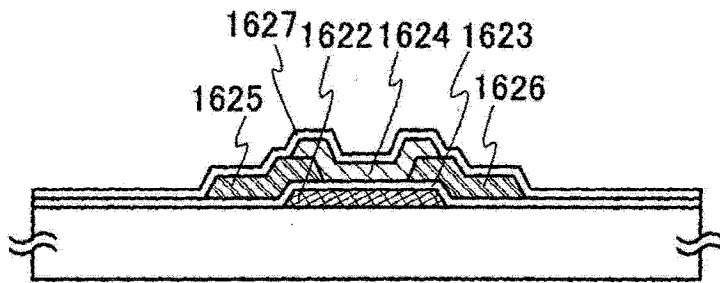


图 13C

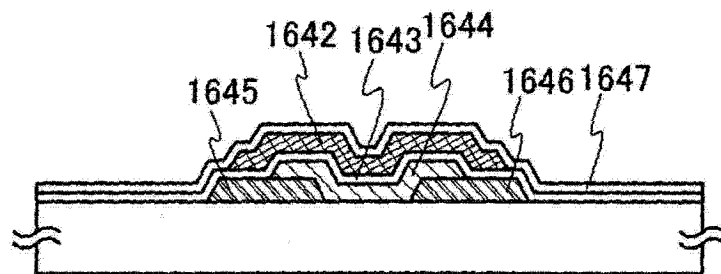


图 13D

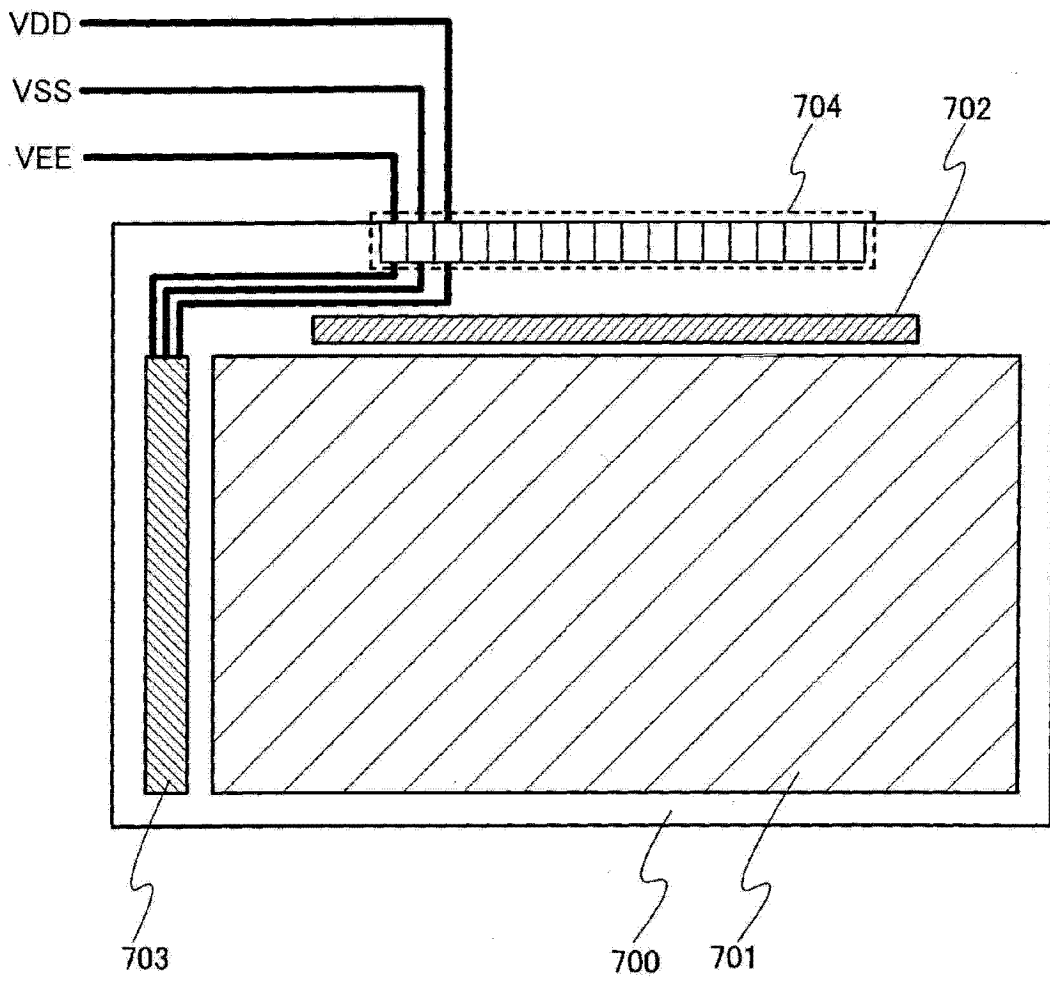


图 14

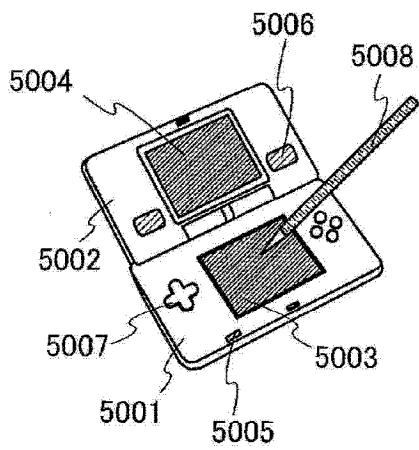


图 15A

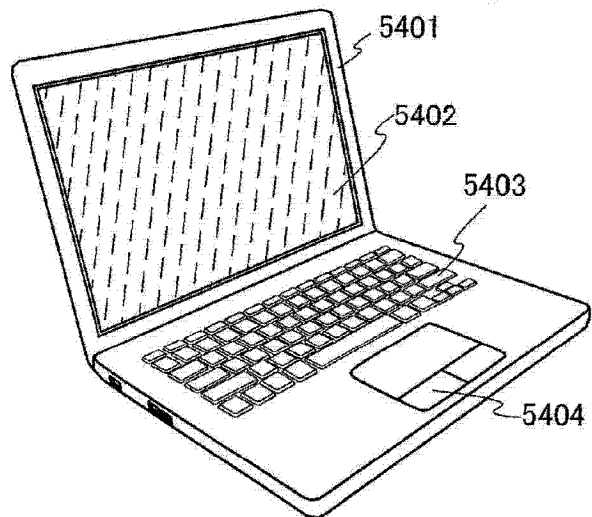


图 15C

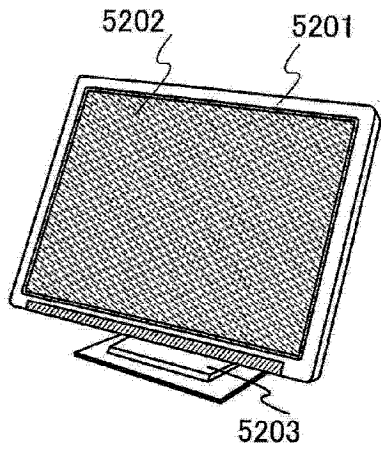


图 15D

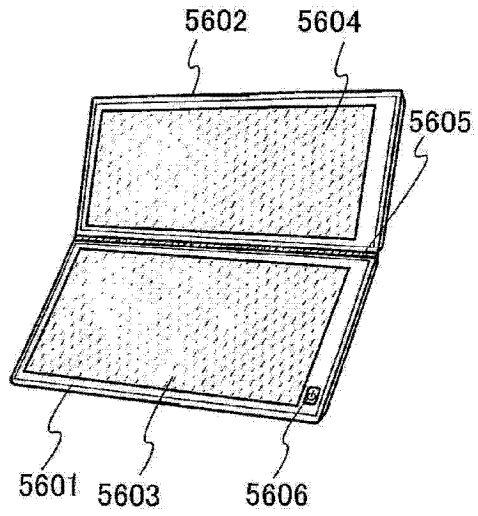


图 15D

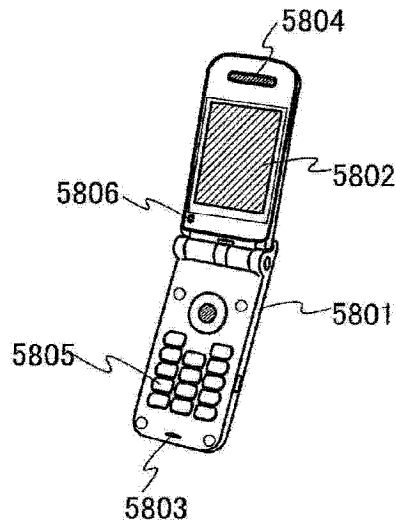


图 15E