

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P6151414

※ 申請日期：P6.12.31

※IPC 分類：H01L 29/788 (2006.01)  
H01L 21/8247 (2006.01)

## 一、發明名稱：(中文/英文)

包括浮動閘之非依電性半導體裝置、其製造方法與相關聯系統

NONVOLATILE SEMICONDUCTOR DEVICE INCLUDING A FLOATING GATE, METHOD OF  
MANUFACTURING THE SAME AND ASSOCIATED SYSTEMS

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三星電子股份有限公司 / SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文)

安昇皓 / AHN, SEUNG-HO

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞 416 番地

416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic of  
Korea

國 籍：(中文/英文)

韓國 / KOREA

## 三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 李世薰 / LEE, SE HOON
2. 崔晶東 / CHOI, JEONG DONG
3. 張桐熏 / JANG, DONG HOON
4. 李鍾振 / LEE, JONG JIN

國 籍：(中文/英文)

- 1.-4. 韓國 / KOREA

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為：。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國、 2007/04/30、 10-2007-0042051

2. 美國、 2007/09/07、 11/896,982

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

#### 發明領域

本發明係有關於包括一浮動閘之一非依電性半導體裝置、製造同者的一種方法與相關聯系統。更特別的是，本發明係有關於包括一薄浮動閘之一非依電性半導體裝置、製造同者的一種方法與相關聯系統。

### 【先前技術】

#### 發明背景

非依電性記憶體之重要的特點包括低成本、高集積密度、低耗電、長保存時間、與高速度。一種型式之非依電性記憶體裝置為快閃記憶體，其會是不貴且耗電少，但也可能是速度慢且具有不好的保存。進一步言之，目前的快閃記憶體之集積因對其胞元結構可被實現多小的限度而被限制。特別是，隨著胞元結構之浮動閘被縮小，浮動閘干擾會提高而降低耦合比。

### 【發明內容】

#### 發明概要

在本案中實施例係被導向於非依電性記憶體裝置，製造同者的一種方法與相關聯系統，其實質地克服因相關技藝之限制與缺點所致的一個或多個問題。

因而，本發明之一特點為提供具有提高的耦合比之一記憶體裝置。因而，本發明之另一特點為要以浮動與閘電極提供具有提高的接觸面積之一記憶體裝置。

本發明之上面與其他特點與優點的至少一個可藉由提供一種記憶體裝置被實現，其包含：在一基體上於該基體之相鄰的絕緣層間的一第一浮動閘電極，至少一部分之第一浮動閘電極突出在一部分該等相鄰的絕緣層上；於至少  
5 一該等相鄰的絕緣層上之一第二浮動閘電極電氣式地被連接至該第一浮動閘電極；在該等第一與第二浮動閘電極上之一介質層；以及在該介質層及該等第一與第二浮動閘電極上之一控制閘。

該記憶體裝置可為一記憶體陣列。在該記憶體陣列中  
10 之每一個記憶體胞元可包括第一與第二浮動閘電極。該第二浮動閘電極可只在其側壁接觸該第一浮動閘電極。該絕緣層可與該第二浮動閘電極相鄰且在該等相鄰的絕緣層上。

該絕緣層可突出至該第二浮動閘電極上。該絕緣層之  
15 一上層表面與該第二浮動閘電極之一上層表面為彼此實質均衡的。該絕緣層可包括一突出部與突出至該第二浮動閘電極上之該第二浮動閘電極相鄰。該突出部可為非扁平的。

該第二浮動閘電極的厚度可在遠離該第一浮動閘之方  
20 向減小。該等第一與第二浮動閘電極係由不同的材料被做成。該第二浮動閘電極可包括未被摻雜之聚矽。該第二浮動閘電極可突出至該第一浮動閘電極上。該第二浮動閘電極之一上層表面與該與該第一浮動閘電極之一上層表面為彼此實質均衡的。該該等第一與第二浮動閘電極之高度可實質地為共外延的。該第一浮動閘電極可突出至該第二浮

動閘電極上。該第一浮動閘電極之整體可在該絕緣層上方。

本發明之上面與其他特點與優點的至少一個可藉由提供一種系統被實現，其包含一處理器被採用來處理資料；以及一記憶體裝置電氣地被耦合至該處理器且被採用來提供資料至該處理器，該記憶體裝置包含：在一基體上於該基體之相鄰的絕緣層間的一第一浮動閘電極，至少一部分之第一浮動閘電極突出在一部分該等相鄰的絕緣層上；於至少一該等相鄰的絕緣層上之一第二浮動閘電極電氣式地被連接至該第一浮動閘電極；在該等第一與第二浮動閘電極上之一介質層；以及在該介質層及該等第一與第二浮動閘電極上之一控制閘。

本發明之上面與其他特點與優點的至少一個可藉由提供一種用於形成記憶體裝置之方法被實現，其包含：在一基體上於該基體之相鄰的絕緣層間形成一第一浮動閘電極，至少一部分之第一浮動閘電極突出在一部分該等相鄰的絕緣層上；於至少一該等相鄰的絕緣層上形成一第二浮動閘電極電氣式地被連接至該第一浮動閘電極；在該等第一與第二浮動閘電極上形成一介質層；以及在該介質層及該等第一與第二浮動閘電極上形成一控制閘。

形成該第一浮動閘電極可包括在該基體上形成一第一浮動閘電極與將該第一浮動閘電極層做模型。將該第一浮動閘電極層做模型可包括在該第一浮動閘電極上形成一光罩層，其中將該第一浮動閘電極層做模型形成該第一浮動閘與一光罩之一堆疊式的結構。該方法可進一步包括在與

該堆疊式的結構相鄰的基體上形成槽溝及以一絕緣材料填充該等槽溝。該方法可進一步包括在突出該絕緣層上方之該堆疊式的結構上形成一閘隔片。

- 該方法可進一步包括移除一部分之該閘隔片層以形成
- 5 該第二浮動閘。移除該部分之該閘隔片可包括使該第二浮動閘的一上層表面為在該第一浮動閘之一上層表面上方。移除該部分之該閘隔片可包括使該第二浮動閘的一上層表面為在該第一浮動閘之一上層表面下方。移除該部分之該閘隔片可包括使該第二浮動閘的一上層表面為實質地與該
- 10 第一浮動閘之一上層表面成水平。

該方法可進一步包括形成與該閘隔片相鄰的一絕緣層。

- 該方法可進一步包括移除一部分之該絕緣層。移除該部分之絕緣層可包括使該絕緣層的一上層表面為在該第二
- 15 浮動閘之一上層表面的上方。移除該部分之絕緣層可包括使該絕緣層的一上層表面為在該第一浮動閘之一上層表面的下方。移除該部分之該絕緣層可包括使該絕緣層的一上層表面為實質地與該第二浮動閘之一上層表面成水平。移除該絕緣材料包括移除該絕緣材料至第一浮動閘之一下層
- 20 表面下方。

以該絕緣材料填充該等槽溝包括以一第一絕緣材料部分地填充該等槽溝及以一第二絕緣材料完全地填充該等槽溝。該方法可進一步包括使用針對該第一絕緣材料比該第二絕緣材料具有較高移除率之一移除過程來移除該第一絕

緣材料至該第一浮動閘的一上層表面下方。

圖式簡單說明

本發明之上面與其他特點及優點對一般熟習本技藝者藉由以參照附圖詳細地描述其釋例性的實施例而將變得更

5 明白的，其中：

第1A圖顯示依據一第一實施例之一記憶體裝置的透視圖；

第1B圖顯示第1A圖之記憶體裝置的斷面圖；

● 第2A至2L圖顯示依據一實施例的製造在第1A圖之記憶  
10 體裝置的方法中之階段的斷面圖；

第3圖顯示依據一實施例的一記憶體裝置之斷面圖；

第4圖顯示依據一實施例的一記憶體裝置之斷面圖；

第5圖顯示依據一實施例的一記憶體裝置之斷面圖；

第6圖顯示依據一實施例的一記憶體裝置之斷面圖；

15 第7A至7C圖顯示依據一實施例的製造在第6圖之記憶  
體裝置的方法中之階段的斷面圖；

● 第8圖顯示依據一實施例的一NAND快閃記憶體之示意圖；

第9圖顯示依據一實施例的一NOR快閃記憶體之方塊  
20 圖；

第10圖顯示依據一實施例的一NOR快閃記憶體之與一  
列與行選擇器相關聯的一胞元陣列之一排組的示意圖；

第11圖顯示依據一實施例的與一記憶體控制器通訊之一  
記憶體之方塊圖；

第12圖顯示依據一實施例的包括一記憶體與一記憶體  
控制器之一記憶卡的方塊圖；

第13圖顯示依據一實施例的包括一記憶體與一記憶體  
控制器之另一記憶卡的方塊圖；

5 第14圖顯示依據一實施例的與一主機通訊之一記憶體  
的方塊圖；

第15圖顯示依據一實施例的與一主機通訊之一記憶卡  
的方塊圖；以及

● 第16圖顯示依據一實施例的包括一中央處理單元與一  
10 記憶體之一記憶卡的方塊圖。

### 【實施方式】

較佳實施例之詳細說明

在2007年4月30日向韓國智慧財產辦公室申請之韓國  
專利申請案第10-2007-42051號的“Thin Floating Gate  
15 Non-volatile Memory Device and Method for Manufacturing  
the Same”以其整體被納入此處做為參考。

● 此後，實施例將參照附圖更完整地描述。然而，其  
可以不同的形式被實施，且不應被構建為對此處被設立之  
實施例的限制。而是，這些實施例被提供使得此揭露將為  
20 透徹及完整的，且將對熟習本技藝者傳達本發明之領域。

浮動閘記憶體結構可等值於在一控制閘電極與一基體  
間以串聯被連接之二個電容器。一第一電容器可具有如在  
該控制閘電極與一浮動閘電極間之一電容 $C_{ipd}$ 。一第二電  
容器可具有如在該浮動閘電極與該基體間之一電容 $C_{tun}$ 。



電容係與在相反向之電極間的薄膜之介質常數及該等相反向之電極的面積成比例，且與該等相反向之電極間的距離成反比。

- 一浮動閘電極之電位  $V_{fg}$  在一寫入電位  $V_{wg}$  被施用至
- 5 控制閘電極時可依照該等二電容器間的耦合比  $C_r$  被決定。  
 耦合比  $C_r$  可如下列般地被定義：

$$C_r = C_{ipd} / (C_{ipd} + C_{tun})$$

- 因而為提高耦合比  $C_r$  只須電容  $C_{ipd}$  相對於電容  $C_{tun}$  為儘可能地大。被提高之耦合比  $C_r$  可允許被施用至控制閘電
- 10 極的寫入電位被減小。

實施例可提供具有強化耦合比  $C_r$  之一記憶體裝置，其中電容  $C_{ipd}$  可藉由以浮動與控制閘電極提高該等浮動與控制閘電極間之層的接觸面積而被提高。

- 第1A與1B圖分別顯示依據一實施例之一記憶體裝置
- 15 之透視與斷面圖。

- 該記憶體裝置可包括一基體100，其中具有槽溝112。槽溝112可用一絕緣層114a被充填。一穿隧氧化物層102可在基體100之一上層表面上。一浮動閘電極122可包括一第一浮動閘電極104與一第二浮動閘電極120。一第一絕緣層
- 20 118b可為介於相鄰的浮動閘電極間且在絕緣層114a上。如聚介質間(IPD)層之高介質層124可為在浮動閘電極122與第一絕緣層118b上。一控制閘電極126可為在IPD層124上且在浮動閘電極122上方。

此浮動閘結構可提供高耦合比  $C_r$ ，原因在於與IPD層

124相關聯之電容C<sub>ipd</sub>可比起與穿隧氧化物層102相關聯之電容C<sub>tun</sub>為顯著地較大。特別是如在第1A與1B圖中可被看到地，IPD層124可運用一高介質常數層且可用浮動閘電極122而具有被提高之接觸面積。進一步而言，突出至浮動閘電極122上方之第一絕緣層118b可迴旋該IPD層，且因而用控制閘電極126提高IPD層124之接觸面積。

第2A至2L圖顯示依據一實施例的製造第1A圖之記憶體裝置的方法之階段的斷面圖。

如在第2A圖中被顯示地，一穿隧氧化物層102、一第一浮動閘層104、一第一氧化物層106、一第一氮化物層108與一第二氧化物層110可循序地在基體100上被形成。該等一第一氮化物層108與一第二氧化物層110可形成一硬光罩層。該硬光罩層可使用一阻擋作為一光罩(未畫出)而被做模型。然後該硬光罩模型可被使用來形成該第一浮動閘層104、穿隧氧化物層102與一槽溝112。

該基體100可為矽。穿隧氧化物層102可為如小於約100Å之薄的。氮化物層108可為氮化矽。

如在第2B圖中被顯示地，槽溝112可如使用淺的槽溝絕緣處理在基體100中被形成。如在第2C圖中被顯示地，槽溝112可如使用化學蒸發沉積(CVD)地以絕緣材料114被填充，及可如使用化學機械拋光(CMP)地被做成扁平的。該扁平化亦可用該第一氮化物層108用作為一停止層來移除該第二氧化物層110。

如第2D圖中被顯示地，其餘的絕緣材料114之上層部分

可如藉由濕蝕刻進一步被移除。該移除停止點可比第一氧化物層106之一上層表面較高。若該移除停止點比第一氧化物層106低，該第一氧化物層106可同步地被移除(如該蝕刻若非為充份地選擇性的)。

- 5 如第2E圖中被顯示地，其餘的絕緣材料114之進一步上層部分可如藉由乾蝕刻處理進一步被移除，其不會影響第一氮化物層模型108、第一氧化物層模型106、或第一浮動閘電極104。該移除停止點可比穿隧氧化物層102較高及比第一浮動閘電極104之一上層表面較低，如可為比第一浮動
- 10 閘電極104的高度一半較高。

如在第2F圖中被顯示地，一該閘隔片116可如用CVD與背面蝕刻處理被形成。該閘隔片116之厚度因而可為易於控制的。該閘隔片116可進一步被處理以如下面被描述地形成該第二浮動閘120。較厚之該閘隔片可提高耦合比Cr。

- 15 如在第2G圖中被顯示地，一第一絕緣材料118可如用CVD與CMP被提供。第一絕緣材料118之一上層部分可如
- 20 如第2H圖中被顯示地用濕蝕刻被移除而留下一第一絕緣層118a。該移除停止點可比第一氧化物層106較高。該第一氮化物層108可如藉由濕蝕刻使用針對第一絕緣材料118之上層部分的移除不同之蝕刻劑如第2I圖地被移除。

然後，該閘隔片116可如用濕或乾蝕刻部份地被移除而如第2J圖中被顯示地形成第二浮動閘電極120。第二浮動閘電極120可包括聚矽、鎢(W)、鈦(Ti)、氮化鈦(TiN)、鉭(Ta)或氮化鉭(TaN)。該移除停止點可如用時間被控制。藉

由控制該移除停止點，第二浮動閘電極可具有比第一浮動閘電極104之高度較低、較高或相同的高度。

然後第一氧化物層106可如用濕蝕刻被移除。第一絕緣層118a亦可部分地被移除以如第2K圖顯示地形成第一絕緣層118b。因而絕緣層118b可具有比T型浮動閘電極122之高度較低、較高或相同的高度。

如在第2L圖中被顯示地，IPD層124與控制閘126可如用CVD處理在浮動閘122與第一絕緣層118b上循序地被形成。IPD層124可包括如 $\text{Al}_2\text{O}_3$ 或 $\text{Hf}_2\text{O}_3$ 。控制閘126可為如聚矽或如W或Ti之金屬。

另一個實施例在第3圖中被顯示，其中一浮動閘電極132包括一第一浮動閘電極134與具有相同高度之一第二浮動閘電極130。穿隧氧化物層102之一上層表面可為與絕緣層114a之一上層表面為均衡的。再次地說，與IPD層124相關聯的電容可為大於與穿隧氧化物層102相關聯的電容。

另一個實施例在第4圖中被顯示，其中一浮動閘電極142包括一第一控制閘144，其比一第二控制閘150較高。一第一絕緣層118b'可具有與該第二浮動閘150相同之高度，如可比該第一浮動閘144較低。與IPD層124接觸之一電極面積可為大於穿隧氧化物層102者。

另一個實施例在第5圖中被顯示，其中一浮動閘電極152包括一第二浮動閘電極160，其比該第一浮動閘電極104較高。該第一絕緣層118b'可具有與第二浮動閘電極160相同之高度，且可比該第一浮動閘電極104較高。與IPD層124

接觸之一電極面積可為大於穿隧氧化物層102者。

另一個實施例在第6圖中被顯示，其中該槽溝112可用多絕緣層被填充，且形成一絕緣層145之該等多絕緣層140a，142a之一上層表面可為非扁平的。依次地，一浮動  
5 閘電極162可包括該第一浮動閘104與一第二浮動閘170，其可依循該等多絕緣層140a，142a之上層表面的結果之等高線。進一步而言，一第一絕緣層118b”可為只在絕緣層145的最高部分上，即在第二絕緣層142a上。

一種依據此實施例之形成記憶體裝置的方法可包括如  
10 在第2A與2B圖中被顯示之階段。然後在槽溝112被形成後，該方法可如在第7A圖中被顯示地進行，其中槽溝112可如用CVD與CMP處理以一第一絕緣層140與一第二絕緣層142被填充以形成一絕緣層143。第一氮化物層108可在其中絕緣層143之頂部部分與第二氧化物層110被移除的CMP  
15 處理之際作用成為一蝕刻停止層。

然後，絕緣層143之其餘的上層部分可進一步用針對第一絕緣層140之材料比起針對第二絕緣層142之材料為較快的  
20 的移除率之如乾蝕刻處理的處理差別地被移除。該蝕刻停止點可比穿隧氧化物層較高且比第一浮動閘122較低。因而，具有非扁平之上層部分的絕緣層145可如第7B圖顯示地被形成。

然後，當第二浮動閘電極170在具有非扁平之上層表面的絕緣層145上被形成時，第二浮動閘電極170之形狀將如  
20 在第7C圖中被顯示地依循絕緣層145的非扁平之上層表面

的等高線。因而，依據此實施例之第二浮動閘電極170可具有較小的面向相鄰的記憶體裝置之表面面積，其比起穿隧氧化物層102可降低干擾，而又維持提高IPD層124的電極接觸面積。

- 5 雖然上面之實施例已假設閘堆疊係在槽溝前被形成，該槽溝可在形成該閘堆疊前被形成及被充填。因而，在槽溝中之絕緣材料可與該絕緣材料集積。

依據上述之實施例的記憶體裝置可在如NAND快閃記憶體裝置或NOR快閃記憶體裝置之各種組配中被運用。

- 10 一NAND快閃記憶體之示意圖在第8圖中被顯示。如其中被顯示地，NAND快閃記憶體300可包括一記憶體胞元陣列，其包括對應於各位元線路BL0至BLn的多個胞元串列(或NAND串列)。每一個胞元串列可包括一串列選擇電晶體ST1作為一第一選擇電晶體、一接地選擇電晶體ST2作為一
- 15 第二選擇電晶體、及依據任一上面實施例被組配而系列地在選擇電晶體ST1與ST2間被連接之多個記憶體胞元M1至Mm。該串列選擇電晶體ST1可具有一汲極被連接至對應之位元線路及一閘極被連接至一串列選擇線路SSL。該接地選擇電晶體ST2可具有一源極被連接至一源極行選擇線路
- 20 CLS及一閘極被連接至一接地選擇線路GSL。記憶體胞元M1至Mm可系列地被連接至串列選擇電晶體ST1之源極與接地選擇電晶體ST2之汲極。記憶體胞元M1至Mm可被連接至各別之句組線路WL1至WLn。句組線路WL1至WLn、串列選擇線路SSL、與接地選擇線路GSL可被連接至一控制/

解碼器電路340。

依據一實施例的一NOR快閃記憶體裝置400的方塊圖在第9圖中被顯示。參照第9圖，NOR快閃記憶體裝置400可包括一胞元陣列410、一輸入緩衝器420、一程式驅動器  
5 430、一列選擇器440、一行選擇器450、一失效偵測器460、與一控制器470。NOR快閃記憶體400可由主機(未畫出)接收命令信號CMD、位址信號ADD、資料DQi、與高電壓VPP。

胞元陣列410可包括多個排組BK1至BK<sub>n</sub>。每一個排組可包括多個區段SC1至SC<sub>m</sub>，其每一個作為一擦拭單元。每  
10 一個區段可括多個記憶體胞元(未畫出，但其可依據任一上面之實施例被組配)被耦合至多條句組線路與位元線路。輸出線路與輸出電路由第9圖中被省略，使得整體之NOR快閃記憶體400可清楚地被顯示。第9圖配合比第9圖更詳細地顯示該等多個排組與其區段之一的第10圖將促成熟習本技藝  
15 者能完整地了解NOR快閃記憶體裝置400之作業所需的輸出電路。

列選擇器440可在響應一系列位址XA下選擇一句組線路。行選擇器450可在響應一行位址YA下為每一個排組選擇如16位元線路之n條位元線路。有關胞元陣列410、列選  
20 擇器440與行選擇器450之結構與作業將參照第10圖詳細地被描述。

資料輸入緩衝器420可並列地接收等於排組之個數的n位元之程式資料。該程式資料可以n位元為單位被儲存於輸入緩衝器420之單位緩衝器IB1至IB<sub>n</sub>。該等單位緩衝器IB1

至IB<sub>n</sub>可在資料門信號DL<sub>j</sub>( $j=1-n$ )之控制下為交替地可操作的。例如，若DL<sub>1</sub>為高，第一單位緩衝器IB<sub>1</sub>可並列地接收n個資料位元。被接收之資料可就一段期間被保存在第一單位緩衝器IB<sub>1</sub>中。當一程式選擇信號PSEL為高時，資料輸入緩衝器420可暫時地傾卸在單位緩衝器IB<sub>1</sub>至IB<sub>n</sub>中被保存之資料至程式驅動器430。

控制器470可對資料輸入緩衝器420施用程式選擇信號PSEL與資料門信號DL<sub>j</sub>。資料輸入緩衝器420可在控制器470之調節下交替地或循序地接收以n個位元為單位(即排組的個數或較少)之程式資料。

程式驅動器430在響應被儲存於資料輸入緩衝器420中之程式資料封包DB<sub>1i</sub>至DB<sub>ni</sub>( $i=1-16$ )下對位元線路封包BL<sub>1i</sub>至BL<sub>ni</sub>( $i=1-n$ )間被選擇位元線路同步地施用一程式電壓。程式驅動器430可包括對應於單位緩衝器IB<sub>1</sub>至IB<sub>n</sub>之單位驅動器PD<sub>1</sub>至PD<sub>n</sub>。程式驅動器430可用由大於(內部)電源電壓之外部電源的高電壓V<sub>PP</sub>被供應。

失效偵測器460可感測在胞元陣列410中被儲存之資料，並藉由被感測之資料與被儲存於資料輸入緩衝器420中之程式資料來偵測程式的失效。失效偵測器460可被胞元陣列410之所有的排組共用。

第10圖顯示該第一排組BK<sub>1</sub>做為例子之與第9圖中被顯示的列與行選擇器及週邊相關聯之電路模型。列選擇器440可包括多個列解碼器RD<sub>1</sub>至RD<sub>m</sub>，及行選擇器450可包括多個行解碼器CD<sub>1</sub>至CD<sub>m</sub>。成對之列與行解碼器對應於



每一個區段SC1至SCm。行選擇器450可包括對應於第一排組BK1被配置之一全體行解碼器GCD1。

參照第10圖，第一區段SC1可被耦合至列解碼器RD1用於驅動被指定給被選擇之一記憶體胞元的一句組線路與行解碼器用於選擇被指定給一全體位元線路(如GBL1)之位元線路BL1至BLk。該等全體位元線路可包括n條(此處為16條)位元線路，使得每一條全體位元線路GBL1至GBL16可在每一個區段中透過其對應之行閘極電晶體以位元線路BL1至BLk(較佳地相對於全體位元線路可命名為本地位元線路)被連結。行閘極電晶體可被對應於此之行解碼器控制。其他的區段可包括與第一區段SC1相同之對應的連接。

該等全體位元線路GBL1至GBL16可由程式驅動器430所提供的位元線路封包BL1i至BLni之一(如BL1i)，經由全體行解碼器GCD1所控制的選擇電晶體G1至G16加以引導。結果為，記憶體胞元陣列410可具有以本地位元線路之每一條沿著行被連接至記憶體胞元與全體位元線路之每一條被連接至一組本地位元線路的階層式架構。

在下列第11至16圖中，記憶體510之不同的使用將被顯示。其應被了解任何上面被討論之實施例可就記憶體510被使用。

第11圖顯示與被組配來管理在記憶體510來回流動之資料的記憶體控制器520通訊之記憶體510的方塊圖。第12圖顯示其上記憶體510與記憶體控制器520可被集積之一記憶卡530。

第13圖顯示其上記憶體510、記憶體控制器520、一電子資料控制器(EDC)610、一介面630與呈現元件620被集積之一記憶卡600的方塊圖。呈現元件620可規定其中由EDC 610被輸出之資料被格式化用於在介面630上顯示的特定方式。

第14圖顯示其中記憶體510與一主機直接通訊之方塊圖。第15圖顯示其中記憶卡530上的記憶體控制器520為介於記憶體510與主機700間之方塊圖。第16圖顯示其上一中央處理單元810與記憶體510被集積之一記憶卡800。

如此處被描述地，當一層或元件被稱為在另一層或基體「上」時，其可為直接在該另一層或基體上，或中介之層亦可出現。當一層被稱為在另一層或基體「下」時，其可為直接在下方，且一片或多片中介之層亦可出現。當一層被稱為「介於」二層間時，其可只為介於該等二層間之層，或一片或多片中介之層亦可出現。當一元件或層被稱為「被連接」或「被耦合」至另一元件或層時，其可被連接或被耦合至另一元件之該其他元件，或中介的元件與層可出現。對照之下，當一元件被稱為「直接被連接」或「直接被耦合」至另一元件或層時，無中介的元件與層可出現。

如此處被使用地，「及/或」之用詞包括一個或多個相關聯之被列出的項目之任何與所有的組合。進一步言之，雖然如「第一」、「第二」與「第三」等之用詞可在此處被使用以描述各種元件、成份、區域、層、及/或段落，這些元件、成份、區域、層、及/或段落不應不被這些用詞限制。

這些用詞只被用來在元件、成份、區域、層、及/或段落彼此分辨。因之，一第一元件、成份、區域、層、及/或段落可被稱為第二元件、成份、區域、層、及/或段落而不致偏離此處被描述的實施例之教習。

- 5 空間上相對之用詞，如「下面」、「下方」、「上層」、「上方」與「上層」等可在此處為了描述容易地被使用而如在圖中被顯示地描述一元件或特點對另外的元件或特點之關係。其將被了解，該等空間上相對之用詞被欲於除了在圖中被顯示之定向外要包容該裝置在使用或操作中的不同之
- 10 定向。例如，若圖中之裝置被翻轉，被描述為在其他元件或特點之「下方」或「下面」的元件便會被定向於在其他元件或特點之「上方」。因而，「下方」之釋例性的用詞可包容上方與下方二者的定向。該裝置反而可被定向(被旋轉90度或位於其他定向)且此處被使用之空間上相對的描述
- 15 詞因之被解釋。

- 如此處被使用地，「一」、「一個」與「該」之單數形式除非在文意中清楚地指出為此，否則係被欲於也包括複數形式。其將進一步被了解，「包含」與「包括」之用詞係定
- 20 出所述及特點、整數、步驟、作業、元件與成份等之出現，但不排除一個或多個其他特點、整數、步驟、作業、元件、成份與群組等的出現或對此添加。

實施例係在此處以參照理想化之實施例及/或中間構造的示意性圖示之斷面圖被描述。如此，例如因製造技術及/或容差之結果的來自圖示之形狀的變化會被期待。因

而，此處被描述之實施例不應被構建成為受限於此處被顯示的區域之特定形狀，且係將包括例如因製造結果所致的形狀之離差。例如，被顯示為長方形之被植入的區域可具有被滾圓或曲線之外貌，及/或在其邊緣之植入集中的傾斜度，而非由被植入變為非被植入之區域的二元式變化。類似地，用植入被形成的被埋入之區域可形成在該被埋入之區域與該植入經之會發生的表面間之區域中的一些植入的結果。因而在圖中被顯示之區域係在性質上為示意性的，且其形狀可不顯示該區域的真實形狀，而不欲將本發明限制於被顯示之確實形狀。

除非有被定義，此處被使用之用詞(包括技術與科學術語)具有如被一般熟習本技藝者所共同了解之相同的意義。其將進一步被了解如在普遍被使用之辭典中被定義者的用詞應被解釋為具有與其在相關技藝之文意中的意義一致的意義，且除非有在此處直接如此被定義而非為理想化或過度地正式的意義。

實施例已在此處被揭露，且雖然特定之用詞被運用，其被使用及只以總屬性及描述性之意義被解釋，且不是為了限制之目的。因之，其將被一般的熟習本技藝者了解，在形式與細節中之各種改變可不偏離本發明如在下列申請專利範圍被設立的精神與領域地被做成。

### 【圖式簡單說明】

第1A圖顯示依據一第一實施例之一記憶體裝置的透視圖；

第1B圖顯示第1A圖之記憶體裝置的斷面圖；

第2A至2L圖顯示依據一實施例的製造在第1A圖之記憶體裝置的方法中之階段的斷面圖；

第3圖顯示依據一實施例的一記憶體裝置之斷面圖；

5 第4圖顯示依據一實施例的一記憶體裝置之斷面圖；

第5圖顯示依據一實施例的一記憶體裝置之斷面圖；

第6圖顯示依據一實施例的一記憶體裝置之斷面圖；

第7A至7C圖顯示依據一實施例的製造在第6圖之記憶體裝置的方法中之階段的斷面圖；

10 第8圖顯示依據一實施例的一NAND快閃記憶體之示意圖；

第9圖顯示依據一實施例的一NOR快閃記憶體之方塊圖；

15 第10圖顯示依據一實施例的一NOR快閃記憶體之與一系列與行選擇器相關聯的一胞元陣列之一排組的示意圖；

第11圖顯示依據一實施例的與一記憶體控制器通訊之一記憶體的方塊圖；

第12圖顯示依據一實施例的包括一記憶體與一記憶體控制器之一記憶卡的方塊圖；

20 第13圖顯示依據一實施例的包括一記憶體與一記憶體控制器之另一記憶卡的方塊圖；

第14圖顯示依據一實施例的與一主機通訊之一記憶體的方塊圖；

第15圖顯示依據一實施例的與一主機通訊之一記憶卡

的方塊圖；以及

第16圖顯示依據一實施例的包括一中央處理單元與一記憶體之一記憶卡的方塊圖。

**【主要元件符號說明】**

|             |                |
|-------------|----------------|
| 100…基體      | 132…浮動閘電極      |
| 102…穿隧氧化物層  | 134…第一浮動閘電極    |
| 104…浮動閘電極   | 140…絕緣層        |
| 106…氧化物層    | 140a…絕緣層       |
| 108…氮化物層    | 142…浮動閘電極      |
| 110…氧化物層    | 142a…絕緣層       |
| 112…槽溝      | 143…絕緣層        |
| 114a…絕緣層    | 144…第一浮動閘      |
| 116…閘隔片     | 145…絕緣層        |
| 118…絕緣材料    | 150…第二浮動閘電極    |
| 118a…絕緣層    | 152…浮動閘電極      |
| 118b…絕緣層    | 160…第二浮動閘電極    |
| 118b' 絕緣層   | 162…浮動閘電極      |
| 120…浮動閘電極   | 170…第二浮動閘      |
| 122…浮動閘電極   | 300…NAND快閃記憶體  |
| 124…IPD層    | 340…控制/解碼器電路   |
| 126…控制閘電極   | 400…NOR快閃記憶體裝置 |
| 130…第二浮動閘電極 | 410…胞元陣列       |

420...輸入緩衝器

430...程式驅動器

440...列選擇器

450...行選擇器

460...失效偵測器

470...控制器

510...記憶體

520...記憶體控制器

530...記憶卡

600...記憶卡

610...EDC

620...呈現元件

630...介面

700...主機

800...記憶卡

810...中央處理單元

## 五、中文發明摘要：

本案為一種記憶體裝置，包含：在一基體上於該基體之相鄰的絕緣層間的一第一浮動閘電極，至少一部分之第一浮動閘電極突出在一部分該等相鄰的絕緣層上；於至少一該等相鄰的絕緣層上之一第二浮動閘電極電氣式地被連接至該第一浮動閘電極；在該等第一與第二浮動閘電極上之一介質層；以及在該介質層及該等第一與第二浮動閘電極上之一控制閘。

## 六、英文發明摘要：

A memory device includes a first floating gate electrode on a substrate between adjacent isolation layers in the substrate, at least a portion of the first floating gate protruding above a portion of the adjacent isolation layers, a second floating gate electrode, electrically connected to the first floating gate electrode, on at least one of the adjacent isolation layers, a dielectric layer over the first and second floating gate electrodes, and a control gate over the dielectric layer and the first and second floating gate electrodes.



## 十、申請專利範圍：

1. 一種記憶體裝置，包含：

在一基體上於該基體之相鄰的絕緣層間的一第一浮動閘電極，至少一部分之第一浮動閘電極突出在一部分該等相鄰的絕緣層上；

於至少一該等相鄰的絕緣層上之一第二浮動閘電極電氣式地被連接至該第一浮動閘電極；

在該等第一與第二浮動閘電極上之一介質層；以及

在該介質層及該等第一與第二浮動閘電極上之一

10 控制閘。

2. 如申請專利範圍第1項之記憶體裝置，其中該記憶體裝置為一記憶體陣列，在該記憶體陣列中之每一個記憶體胞元包括第一與第二浮動閘電極。

3. 如申請專利範圍第1項之記憶體裝置，其中該第二浮動閘電極只在其側壁接觸該第一浮動閘電極。

15

4. 如申請專利範圍第1項之記憶體裝置，進一步包含一絕緣層與該第二浮動閘電極相鄰且在該等相鄰的絕緣層上。

5. 如申請專利範圍第1項之記憶體裝置，其中該絕緣層突出至該第二浮動閘電極上。

20

6. 如申請專利範圍第4項之記憶體裝置，其中該絕緣層之一上層表面與該第二浮動閘電極之一上層表面為彼此實質均衡的。

7. 如申請專利範圍第1項之記憶體裝置，其中該絕緣層包

括一突出部與突出至該第二浮動閘電極上之該第二浮動閘電極相鄰。

8. 如申請專利範圍第1項之記憶體裝置，其中該第二浮動閘電極的厚度在遠離該第一浮動閘之方向減小。

5 9. 如申請專利範圍第1項之記憶體裝置，其中該等第一與第二浮動閘電極係由不同的材料被做成。

10. 如申請專利範圍第1項之記憶體裝置，其中該第二浮動閘電極突出至該第一浮動閘電極上。

10 11. 如申請專利範圍第1項之記憶體裝置，其中該第一浮動閘電極突出至該第二浮動閘電極上。

12. 如申請專利範圍第1項之記憶體裝置，其中該第一浮動閘電極之整體在該絕緣層上方。

13. 一種系統，包含：

一處理器被採用來處理資料；以及

15 一記憶體裝置電氣地被耦合至該處理器且被採用來提供資料至該處理器，該記憶體裝置包括：

在一基體上於該基體之相鄰的絕緣層間的一第一浮動閘電極，至少一部分之第一浮動閘電極突出在一部分該等相鄰的絕緣層上；

20 於至少一該等相鄰的絕緣層上之一第二浮動閘電極電氣式地被連接至該第一浮動閘電極；

在該等第一與第二浮動閘電極上之一介質層；以及

在該介質層及該等第一與第二浮動閘電極上之一控制閘。

14. 一種用於形成記憶體裝置之方法，包含：

在一基體上於該基體之相鄰的絕緣層間形成一第一浮動閘電極，至少一部分之第一浮動閘電極突出在一部分該等相鄰的絕緣層上；

5 於至少一該等相鄰的絕緣層上形成一第二浮動閘電極電氣式地被連接至該第一浮動閘電極；

在該等第一與第二浮動閘電極上形成一介質層；以及

10 在該介質層及該等第一與第二浮動閘電極上形成一控制閘。

15. 如申請專利範圍第14項之方法，其中形成該第一浮動閘電極包括：

在該基體上形成一第一浮動閘電極；以及

將該第一浮動閘電極層做模型；

15 16. 如申請專利範圍第15項之方法，其中在將該第一浮動閘電極層做模型前，該方法進一步包括在該第一浮動閘電極上形成一光罩層，其中將該第一浮動閘電極層做模型形成該第一浮動閘與一光罩之一堆疊式的結構。

17. 如申請專利範圍第16項之方法，進一步包含：

20 在與該堆疊式的結構相鄰的基體上形成槽溝；以及以一絕緣材料填充該等槽溝。

18. 如申請專利範圍第14項之方法，進一步包含在突出該絕緣層上方之該堆疊式的結構上形成一閘隔片。

19. 如申請專利範圍第18項之方法，進一步包含移除一部分

之該閘隔片層以形成該第二浮動閘。

20. 如申請專利範圍第19項之方法，其中移除該部分之該閘隔片包括使該第二浮動閘的一上層表面為在該第一浮動閘之一上層表面上方。

5 21. 如申請專利範圍第19項之方法，其中. 移除該部分之該閘隔片包括使該第二浮動閘的一上層表面為在該第一浮動閘之一上層表面下方。

10 22. 如申請專利範圍第19項之方法，其中移除該部分之該閘隔片包括使該第二浮動閘的一上層表面為實質地與該第一浮動閘之一上層表面成水平。

23. 如申請專利範圍第19項之方法，進一步包含移除該部分之該絕緣層，包括使該絕緣層的一上層表面為在該第一浮動閘之一上層表面的下方。

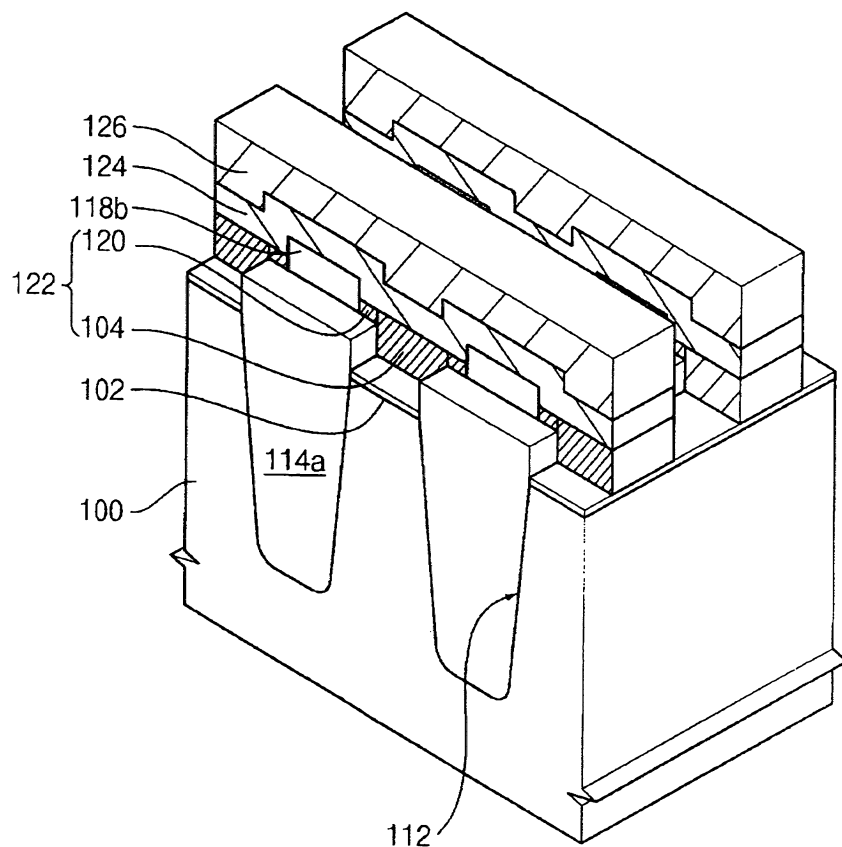
15 24. 如申請專利範圍第19項之方法，進一步包含移除該部分之該絕緣層，包括使該絕緣層的一上層表面為實質地與該第二浮動閘之一上層表面成水平。

25. 如申請專利範圍第17項之方法，其中以該絕緣材料填充該等槽溝包括：

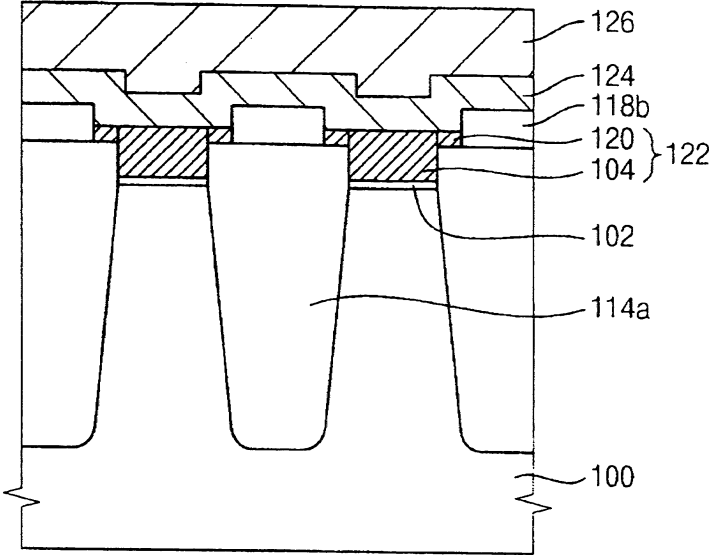
以一第一絕緣材料部分地填充該等槽溝；以及

20 以一第二絕緣材料完全地填充該等槽溝。

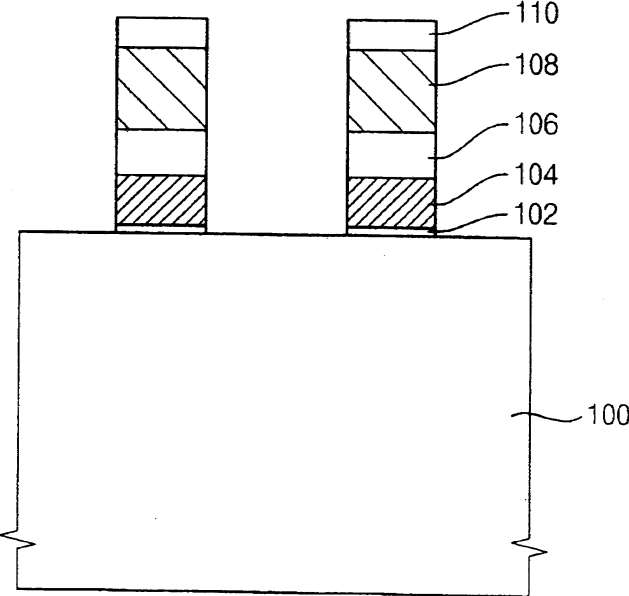
# 第1A圖



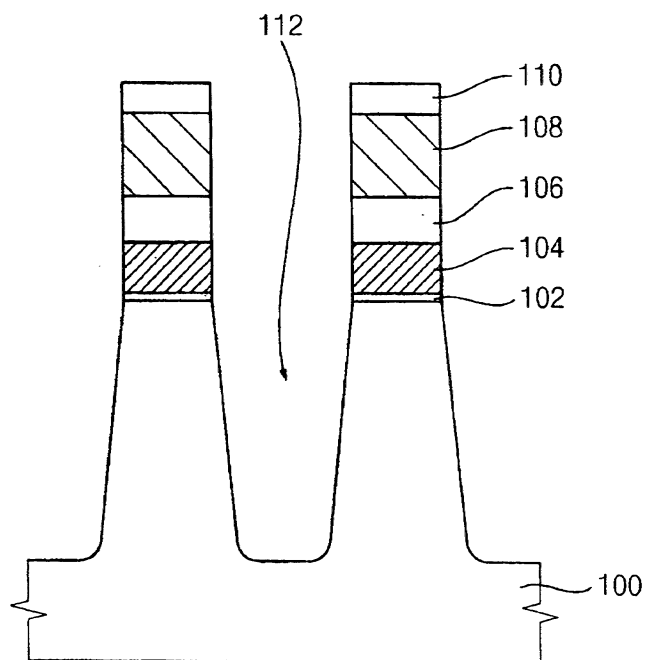
第1B圖



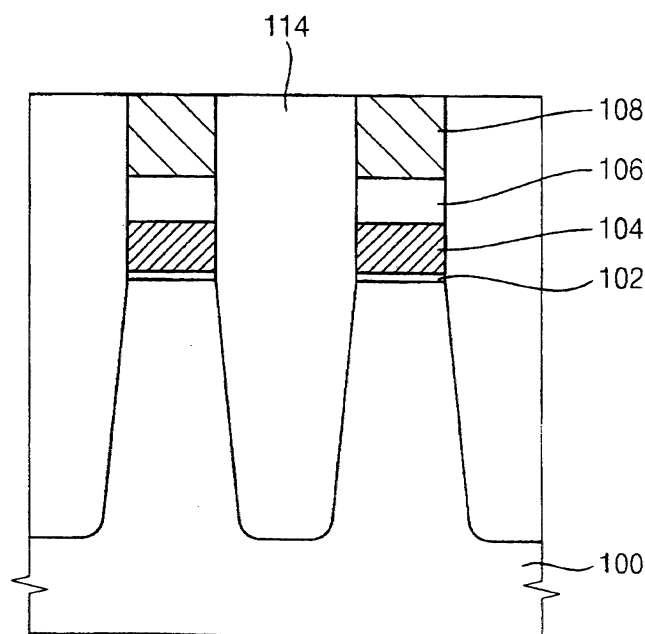
第2A圖



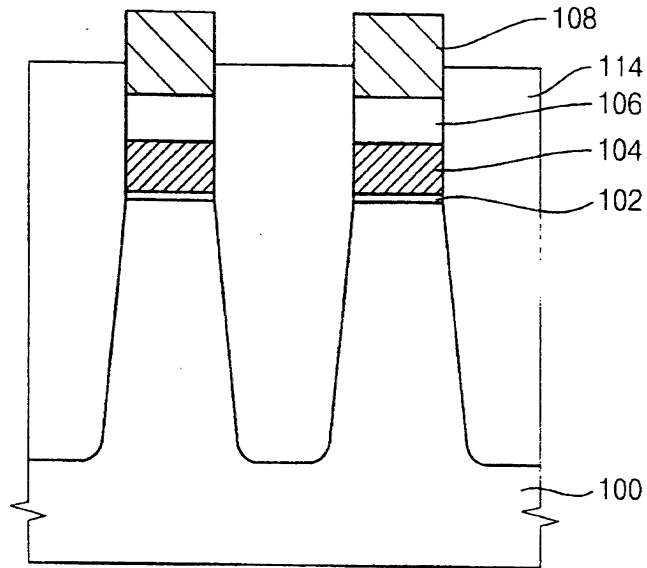
第2B圖



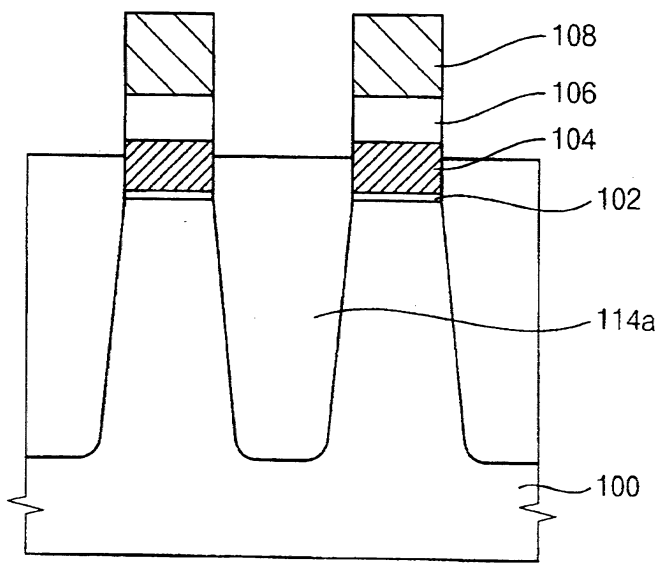
第2C圖



第2D圖

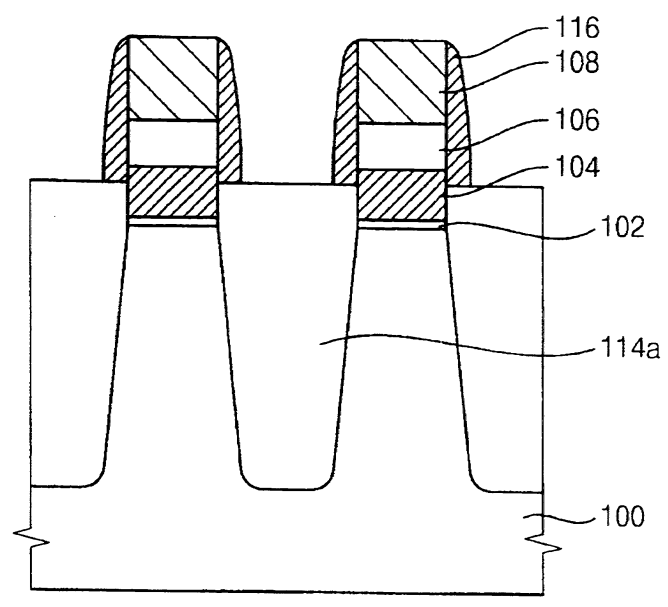


第2E圖

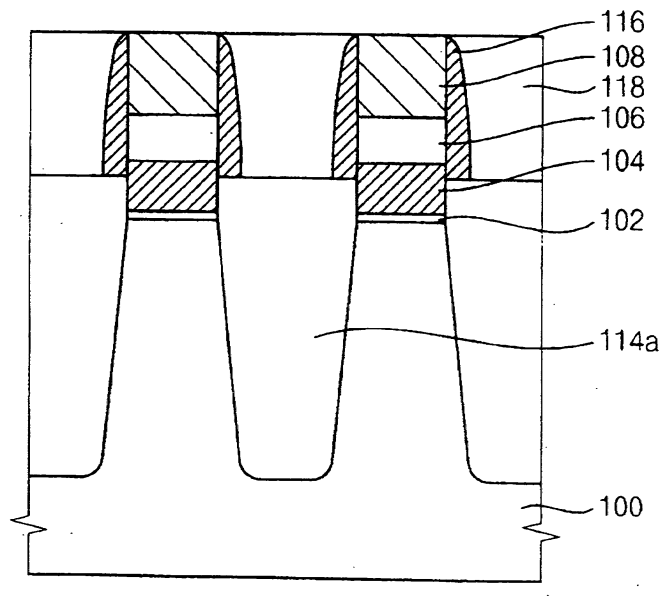




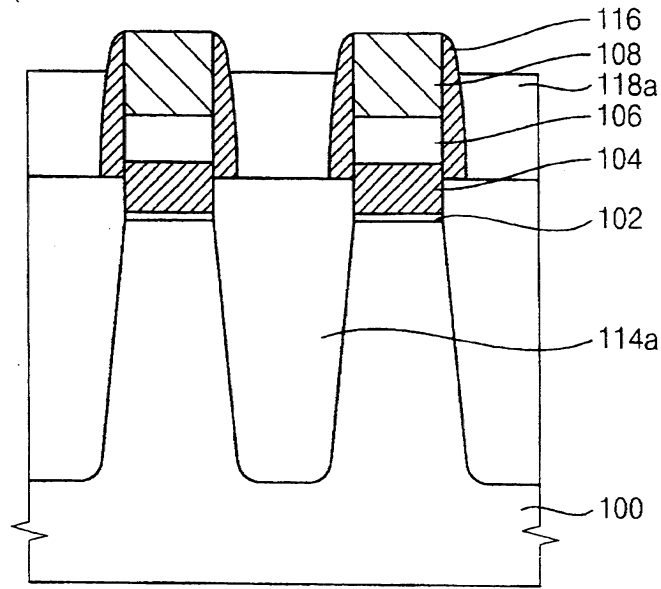
第2F圖



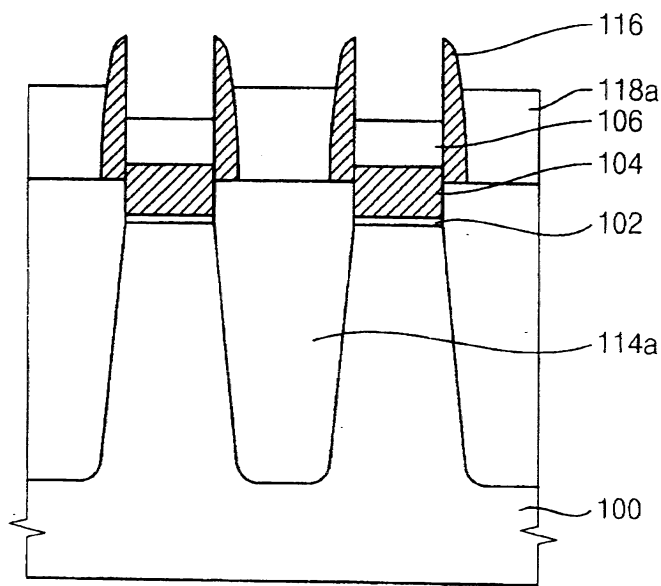
第2G圖



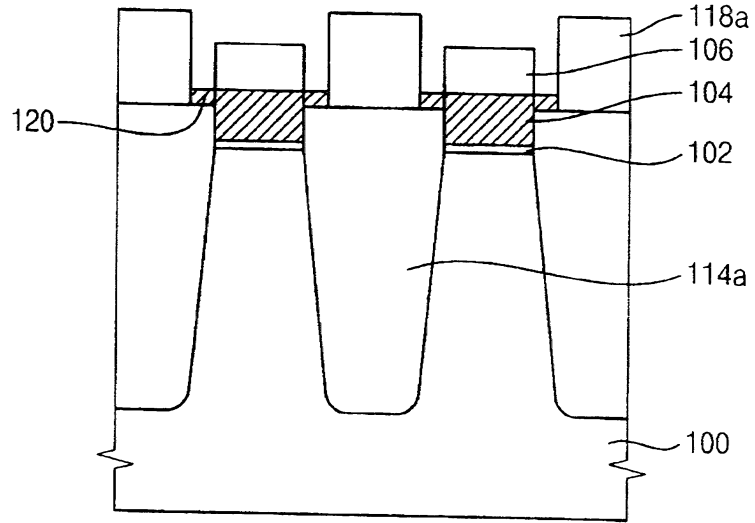
第2H圖



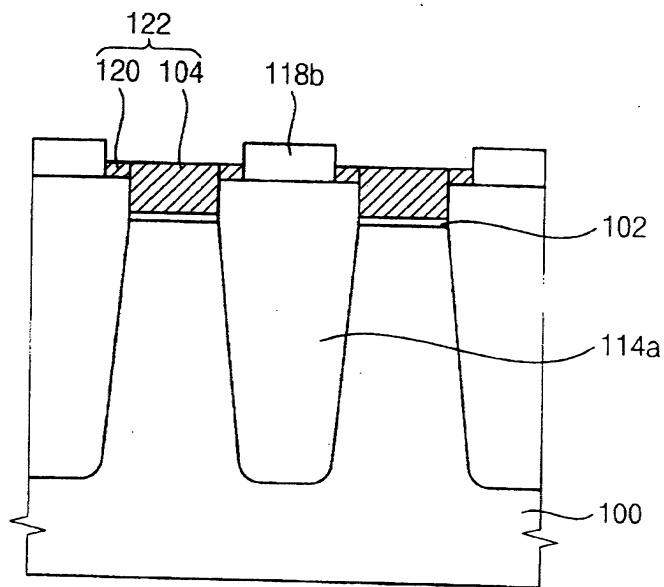
第2I圖



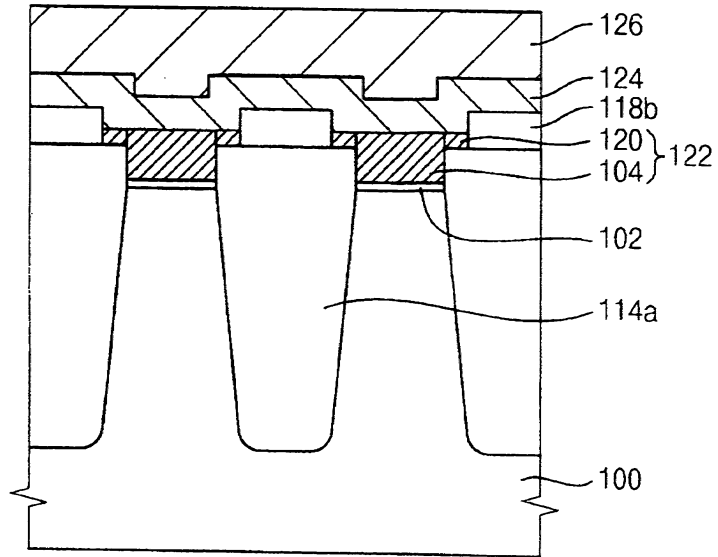
第2J圖



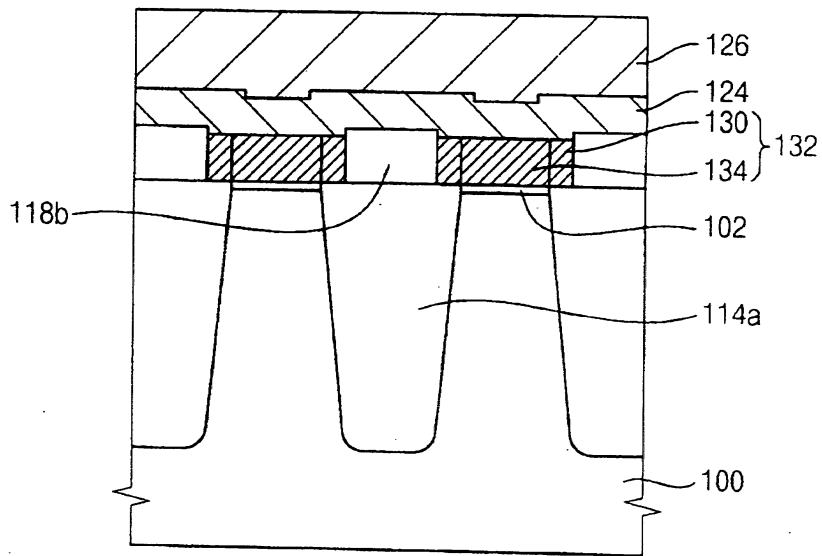
第2K圖



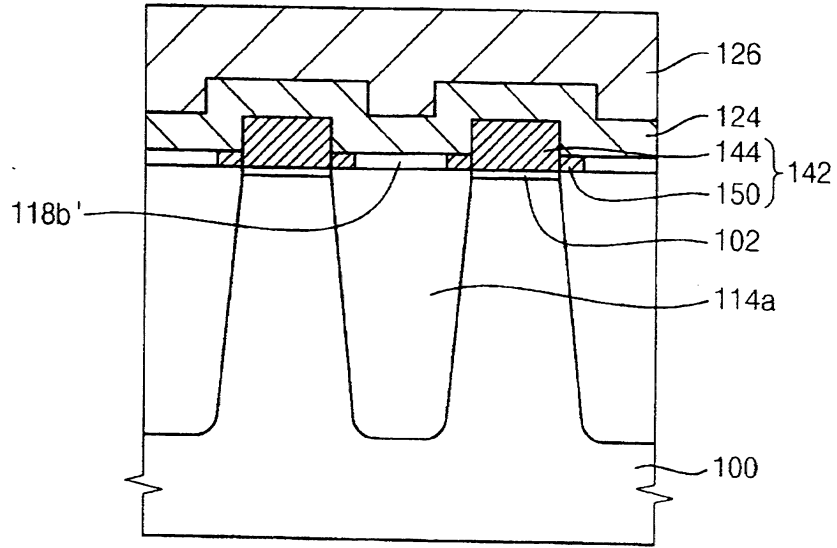
第2L圖



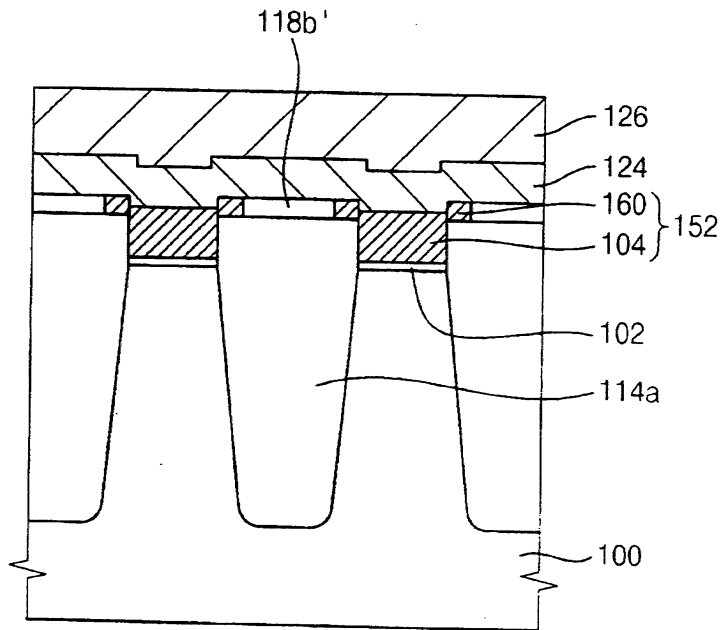
第3圖



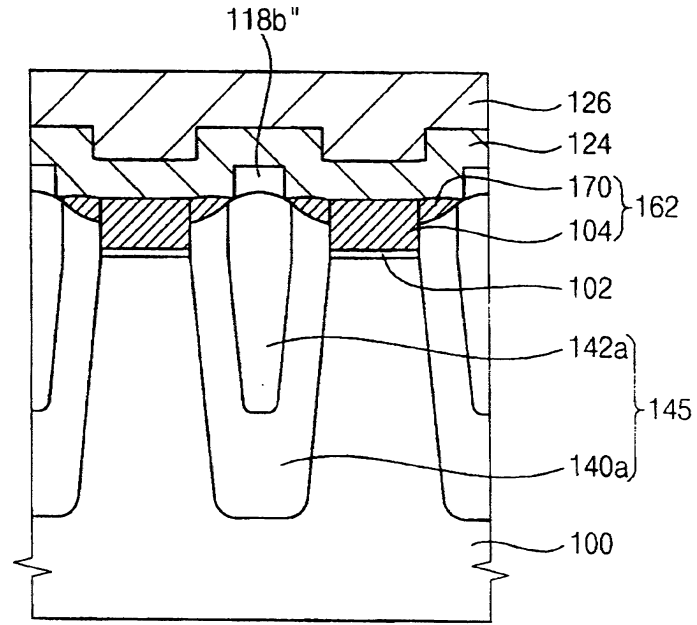
第4圖



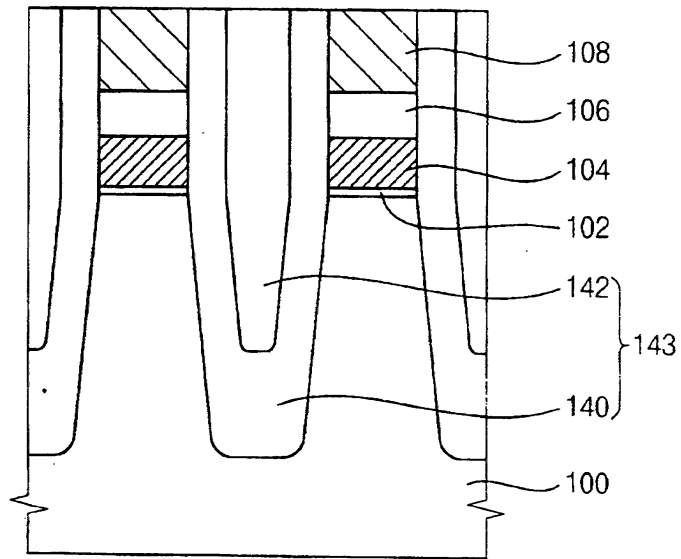
第5圖



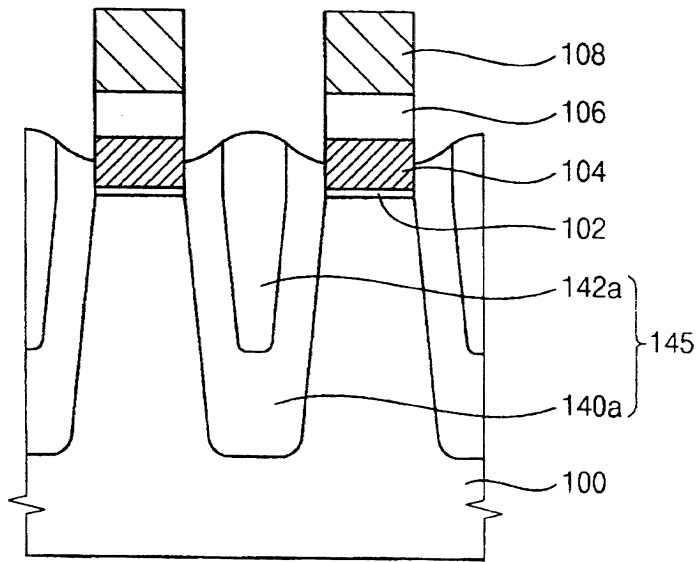
第6圖



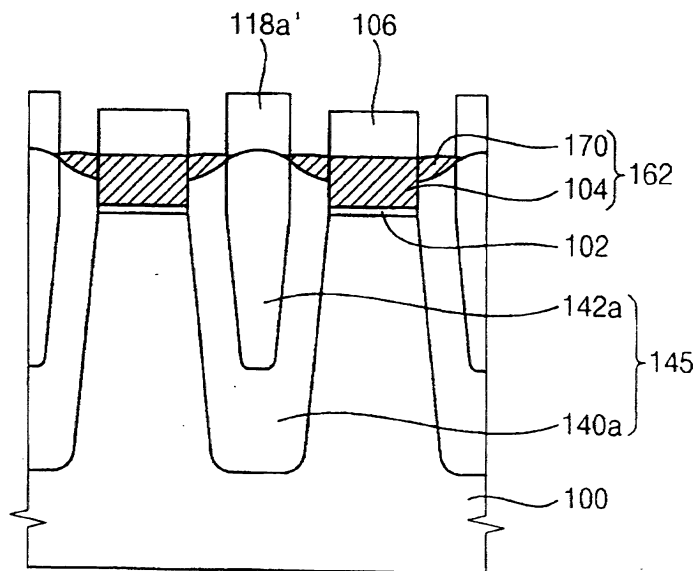
第7A圖



第7B圖

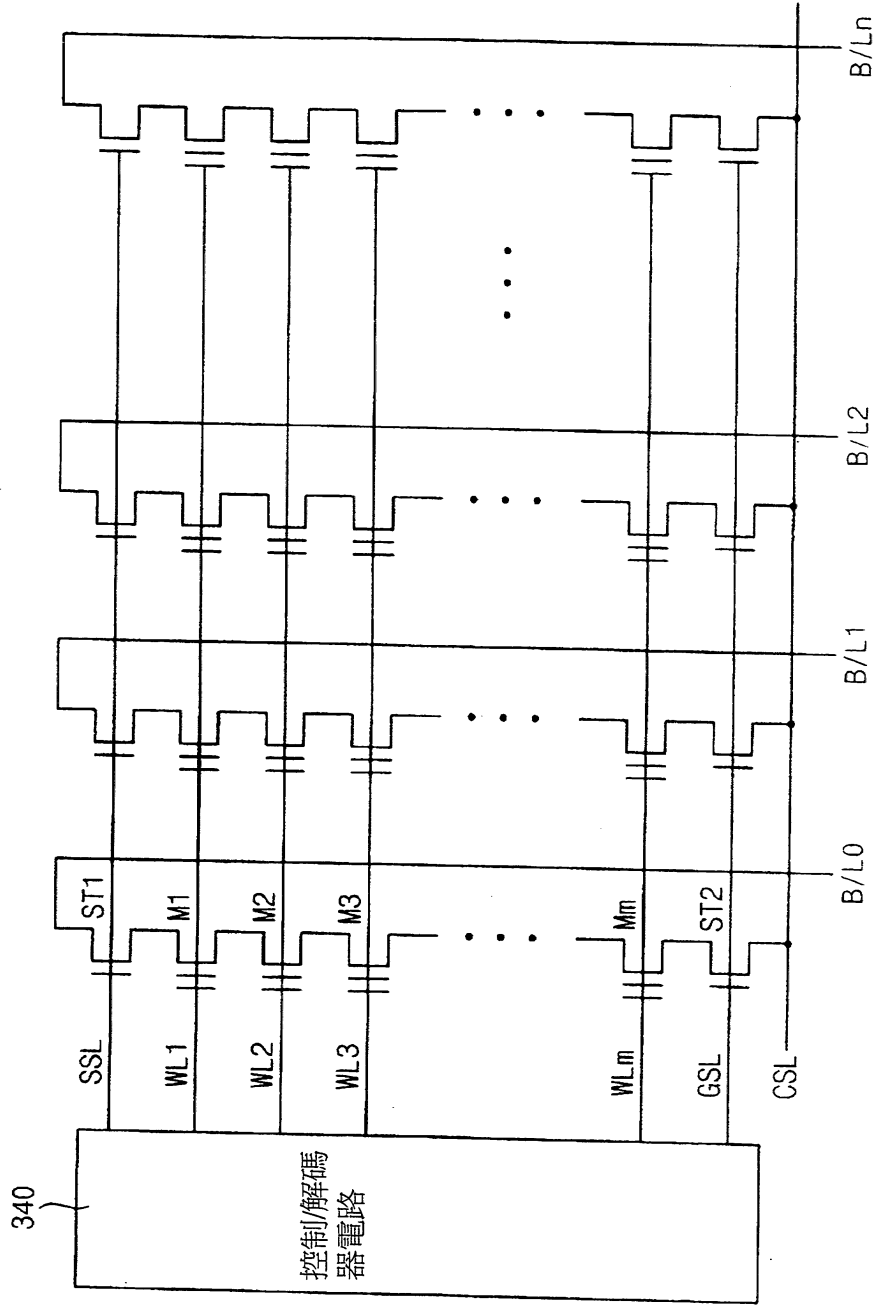


第7C圖



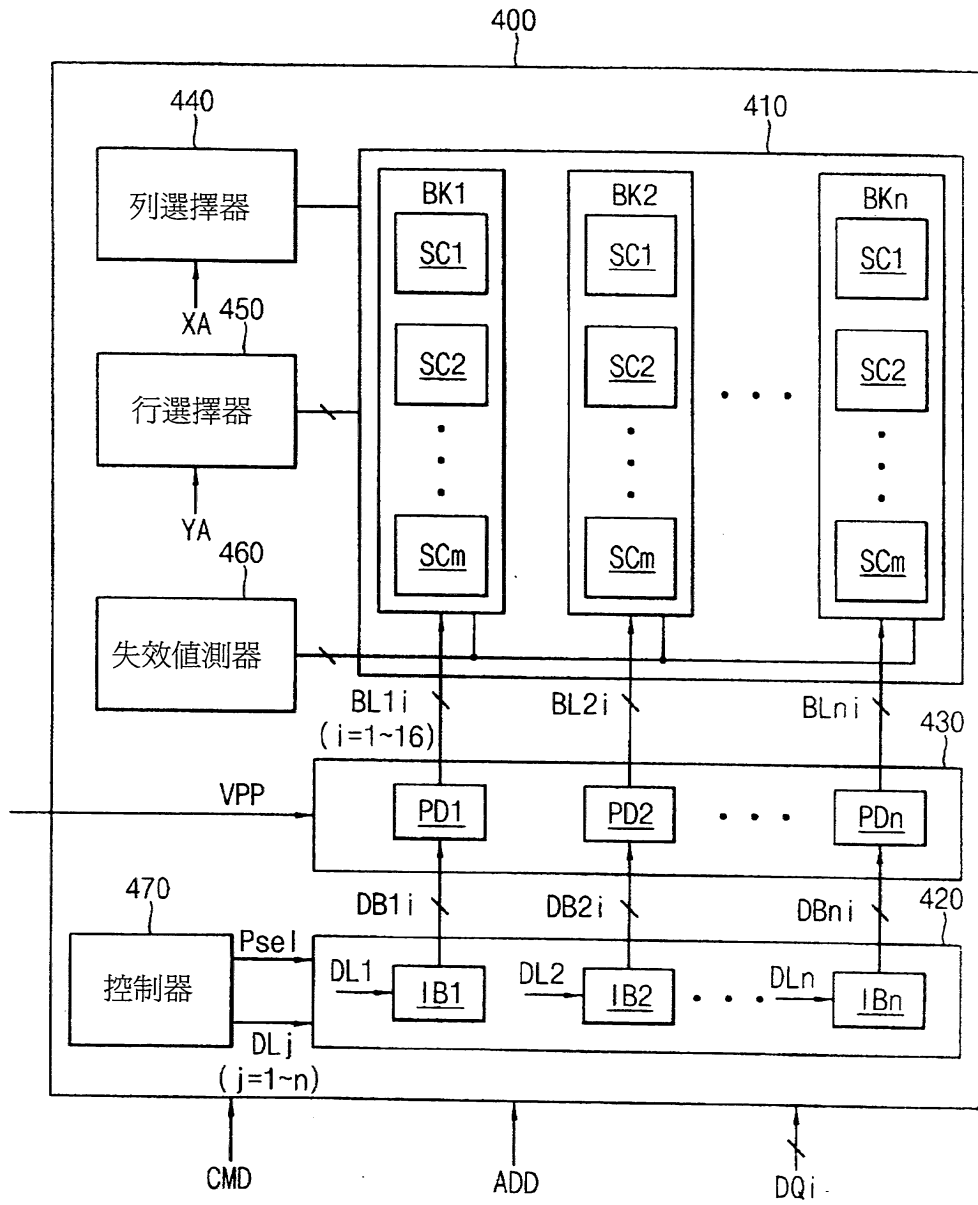
第8圖

300

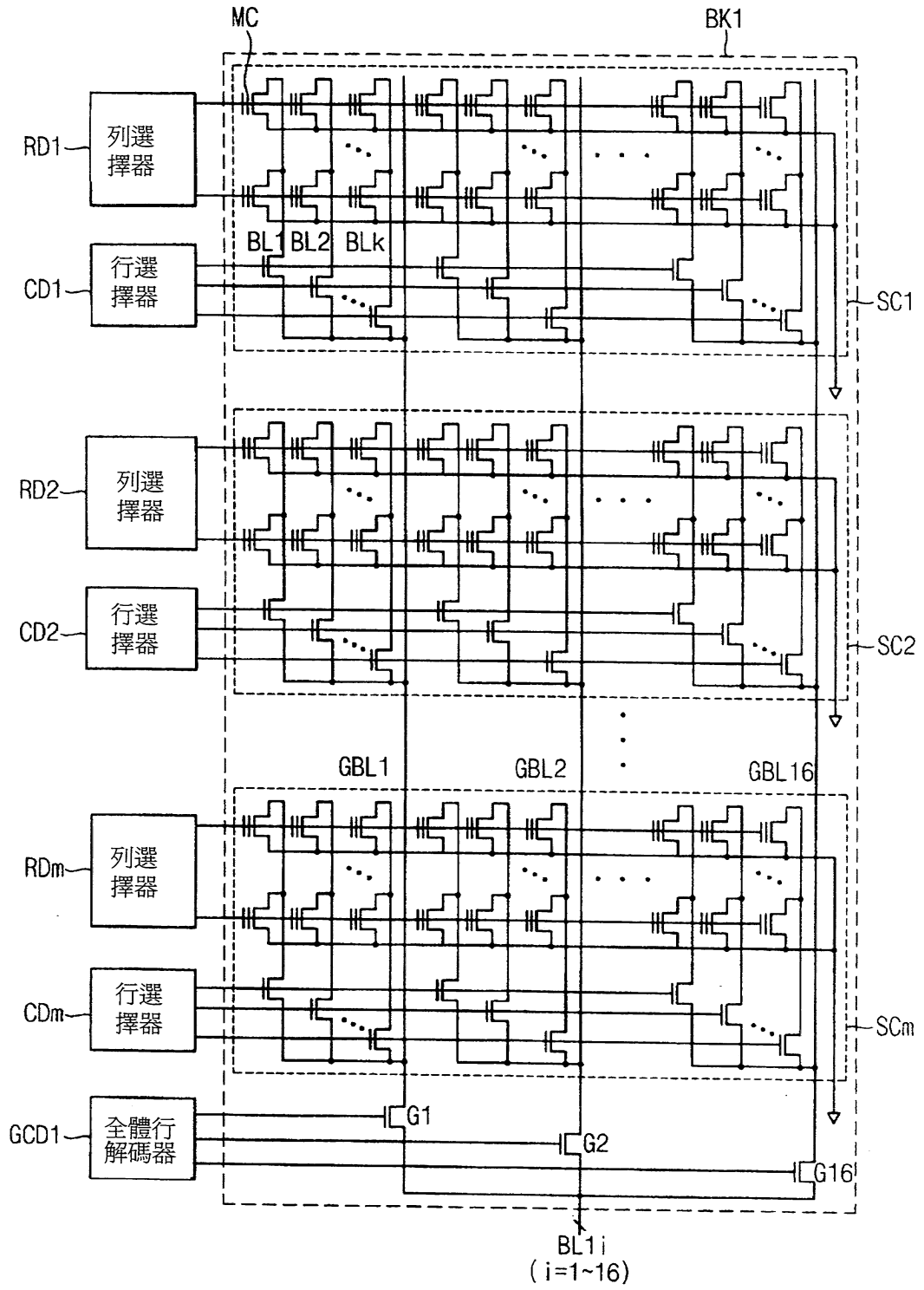




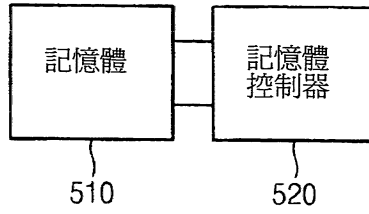
第9圖



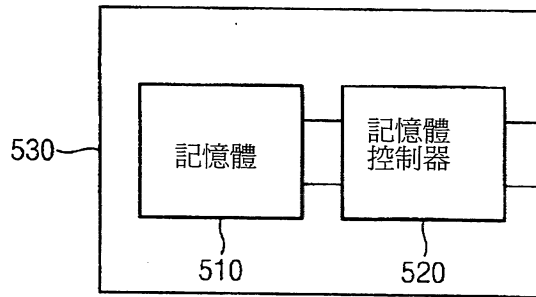
第10圖



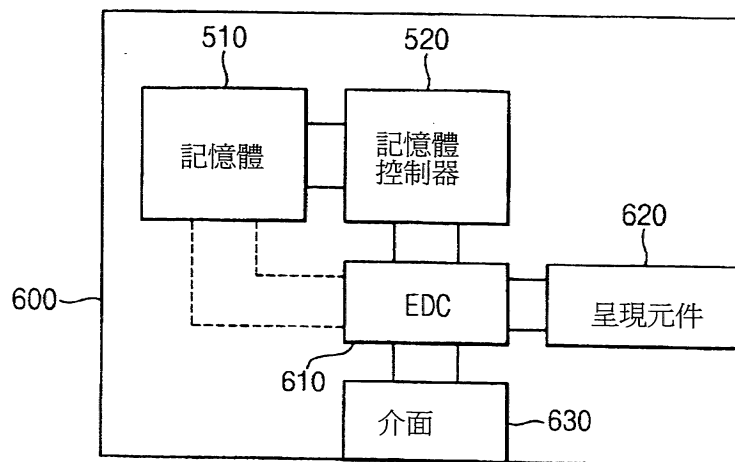
第11圖



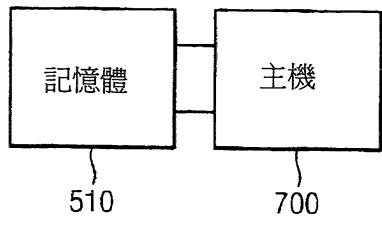
第12圖



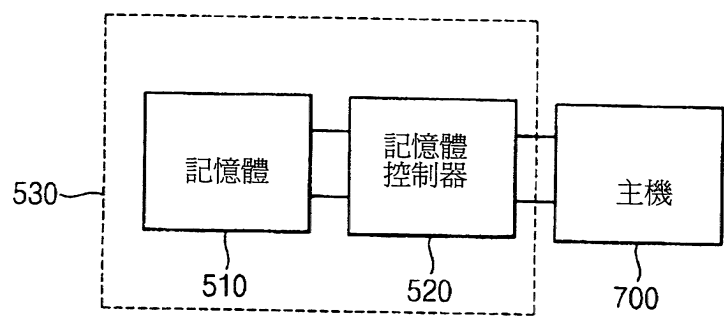
第13圖



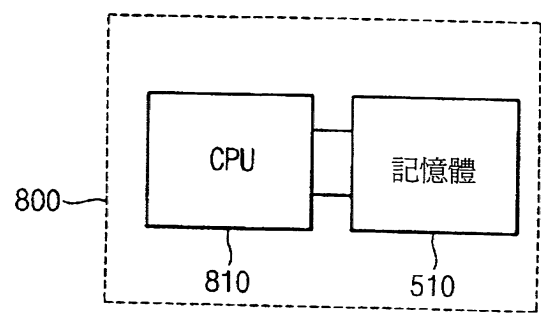
第14圖



第15圖



第16圖



**七、指定代表圖：**

(一)本案指定代表圖為：第 ( 1A ) 圖。

(二)本代表圖之元件符號簡單說明：

100…基體

102…穿隧氧化物層

104…浮動閘電極

112…槽溝

114a…絕緣層

118b…絕緣層

120…浮動閘電極

122…浮動閘電極

124…IPD層

126…控制閘電極

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**