



(12)发明专利申请

(10)申请公布号 CN 110070800 A

(43)申请公布日 2019.07.30

(21)申请号 201910271581.5

(22)申请日 2019.04.04

(71)申请人 深圳市华星光电技术有限公司
地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 刘子琪

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51) Int. Cl.
G09F 9/30(2006.01)

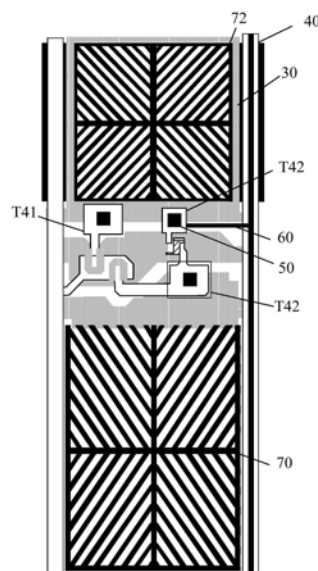
权利要求书1页 说明书3页 附图6页

(54)发明名称

像素电极结构及像素电极制作方法

(57)摘要

一种像素电极结构包括像素电极、数据线、导电膜、晶体管以及共用电极。所述数据线设置于所述像素电极侧边,用来传输数据信号。所述导电膜设置于所述像素电极下方,用来将所述数据线所传输的所述数据信号传送至所述像素电极。所述晶体管设置于所述导电膜上。所述共用电极设置于数据线下,连接至所述晶体管,用来进行漏电。通过本发明的所述的像素电极结构,可以提升像素电极的开口率及透光率。



1. 一种像素电极结构,其特征在于,包括:
像素电极;
数据线,设置于所述像素电极侧边,用来传输数据信号;
导电膜,设置于所述像素电极下方,用来将所述数据线所传输的所述数据信号传送至所述像素电极;
晶体管,设置于所述导电膜上;以及
共用电极,设置于数据线下方,连接至所述晶体管,用来进行漏电。
2. 根据权利要求1所述的像素电极结构,其特征在于,所述共用电极连接至所述晶体管的漏极。
3. 根据权利要求1所述的像素电极结构,其特征在于,所述共用电极的宽度小于所述数据线的宽度。
4. 根据权利要求1所述的像素电极结构,其特征在于,所述像素电极包括主像素电极与次像素电极。
5. 根据权利要求4所述的,其特征在于,所述导电膜位于所述主像素电极与所述次像素电极之间。
6. 一种像素电极制作方法,其特征在于,包括:
形成导电膜;
在所述导电膜侧边形成数据线;
在所述导电膜上形成晶体管;
在所述晶体管上形成开口;
在所述数据线下方形形成共用电极;
将所述共用电极与所述开口连接。
7. 根据权利要求6所述的像素电极制作方法,其特征在于,所述开口形成于所述晶体管的漏极上。
8. 根据权利要求6所述的像素电极制作方法,其特征在于,所述共用电极的宽度小于所述数据线的宽度。
9. 根据权利要求6所述的像素电极制作方法,其特征在于,所述像素电极包括主像素电极与次像素电极,所述导电膜位于所述主像素电极与所述次像素电极之间。
10. 根据权利要求6所述的像素电极制作方法,其特征在于,所述共用电极通过所述开口连接至所述晶体管的漏极。

像素电极结构及像素电极制作方法

技术领域

[0001] 本发明涉及显示技术领域,尤其是涉及一种具有高开口率的像素电极结构及像素电极制作方法。

背景技术

[0002] 随着显示技术的发展,为了更好的显示效果,目前显示面板的3T1C的驱动电路,能改善面板的视角。然而为了减少串扰(crosstalk)现象,显示面板的像素结构中会额外设置一条共用电极(share bar)进行漏电。参考图1,图1为现有的像素电极结构示意图。像素电极结构10中包括数据线12、像素电极14、导电膜16以及晶体管T1、T2,数据线12所传输的信号通过晶体管T1、T2及导电膜16传送到像素电极14,像素电极14再根据数据线12所传输的信号显示灰阶。在现有的像素电极结构中具有共用电极18位于像素电极14的中央,用来进行漏电。

[0003] 但为了减少光电效应对share bar的影响,位于share bar下方的金属线层需要加宽,金属线遮挡了pixel的正常显示区域,导致像素的开口率下降,进而导致透光率下降。

[0004] 因此,本发明提供一种像素电极结构及像素电极制作方法。使得面板中的共有电极不需设置于像素电极上,提升像素的开口率及透光率。

发明内容

[0005] 本发明提供一种像素电极结构包括像素电极、数据线、导电膜、晶体管以及共用电极。所述数据线设置于所述像素电极侧边,用来传输数据信号。所述导电膜设置于所述像素电极下方,用来将所述数据线所传输的所述数据信号传送至所述像素电极。所述晶体管设置于所述导电膜上。所述共用电极设置于数据线下,连接至所述晶体管,用来进行漏电。

[0006] 较佳地,所述共用电极连接至所述晶体管的漏极。

[0007] 较佳地,所述共用电极的宽度小于所述数据线的宽度。

[0008] 较佳地,所述像素电极包括主像素电极与次像素电极。

[0009] 较佳地,所述导电膜位于所述主像素电极与所述次像素电极之间。

[0010] 本发明另提供一种像素电极制作方法包括:形成导电膜;在所述导电膜侧边形成数据线;在所述导电膜上形成晶体管;在所述晶体管上形成开口;在所述数据线下设置共用电极;将所述共用电极与所述开口连接。

[0011] 较佳地,所述开口形成于所述晶体管的漏极上。

[0012] 较佳地,所述共用电极的宽度小于所述数据线的宽度。

[0013] 较佳地,所述像素电极包括主像素电极与次像素电极,所述导电膜位于所述主像素电极与所述次像素电极之间。

[0014] 较佳地,所述共用电极通过所述开口连接至所述晶体管的漏极。

附图说明

- [0015] 图1绘示现有技术像素电极的结构示意图；
- [0016] 图2绘示本发明实施例的像素电极的结构示意图；
- [0017] 图3绘示本发明实施例的导电膜的结构示意图；
- [0018] 图4绘示本发明实施例的数据线与晶体管的结构示意图；
- [0019] 图5绘示本发明实施例的第三晶体管的开口结构示意图；
- [0020] 图6绘示本发明实施例的共用电极结构示意图。

具体实施方式

[0021] 下面结合附图对本发明提供的像素电极结构及像素电极制作方法做详细说明。显然，所描述的实施例仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0022] 请参考图2，图2所示为本发明实施例的像素结构示意图，在本发明实施例的像素结构20中包含导电膜30、数据线40、第一晶体管T41、第二晶体管T42、第三晶体管T43、开口50、共用电极60以及像素电极70、72。数据线40的信号通过导电膜30导通至像素电极70或像素电极72，而第一晶体管T41、第二晶体管T42及第三晶体管T43则用来控制数据线的信号是否导通至像素电极70或像素电极72。第三晶体管T43具有开口50，开口50通过共用电极60进行漏电，以减少像素结构20中的串扰现象。而共用电极60从开口50向外延伸后设置于数据线40的下方，如此一来，便可以减少共用电极60与像素电极70、72之间重叠的面积。

[0023] 图2所示的像素结构20详细制作方法如图3至图6所示。

[0024] 请一并参考图3与图4。图3所示为图2像素结构中的导电膜30，图4所示为设置于导电膜30上的数据线40、第一晶体管T41、第二晶体管T42以及第三晶体管T43，导电膜30用来当接收到扫描信号时，将数据线40所传输的信号导通至像素电极。进一步地，第一晶体管T41的栅极连接显示面板的扫描信号，根据扫描信号决定是否导通。第二晶体管T42的源极连接参考高电平，第二晶体管T42的栅极连接第一晶体管T41的漏极，当第一晶体管T41导通时，第二晶体管使像素极素70、72根据驱动电压发光。

[0025] 请一并参考图5与图6。图5所示为本发明实施例的像素电极结构中第三晶体管开口示意图，图6所示为共用电极60的结构示意图，第三晶体管T43具有开口50，共用电极60从第三晶体管T43的开口50延伸至数据线40下方后，共用电极60沿着数据线40设置。如此一来，共用电极60所曝露的面积仅有开口50延伸至至数据线40的部分，共有电极60大部分的面积位于数据线40的下方，而数据线40本身就是像素结构20中不会透光的部分，因此利用本发明的像素电极结构，可以降低共用电极遮蔽像素电极的面积。具体地，开口50是第三晶体管T43的漏极，共用电极60与第三晶体管T43的漏极相连，因此像素电极结构20便可通过共用电极60漏电，避免像素电极结构20中的串扰现象影响显示品质。

[0026] 依照图2至图6所示的步骤，再设置如图2所示的像素电极70与像素电极72，便可制成本发明实施例的像素结构20。在本发明像素结构20较佳的实施例中，像素电极70为主像素电极，像素电极72为次像素电极，较佳地，像素电极70的面积大于像素电极72。藉由主像素电极与次像素电极的设置，可以减少像素电极的视角差。本发明的像素结构20利用第三

晶体管T43的开口50与设置于数据线下方的共用电极60相连,藉此减少共用电极与像素电极重叠的面积,以提高像素电极的开口率与透光率。

[0027] 相较于现有技术中设置于像素电极中央的共用电极,需要将像素电极的中央加宽以减少光电效应产生的电流对共用电极的影响,使得像素电极的开口率及透光率大幅下降,降低了显示的品质。利用本发明实施例的像素电极结构,将共用电极设置于数据线下方,再由晶体管的开口延伸连接至位于数据线下方的共用电极,如此一来,像素电极不需要加宽其中央金属线的宽度,像素电极的开口率及透光率便可以大幅提升。

[0028] 通过本发明实施例所述的像素电极结构及制作方法,提升像素电极的开口率及透光率,以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

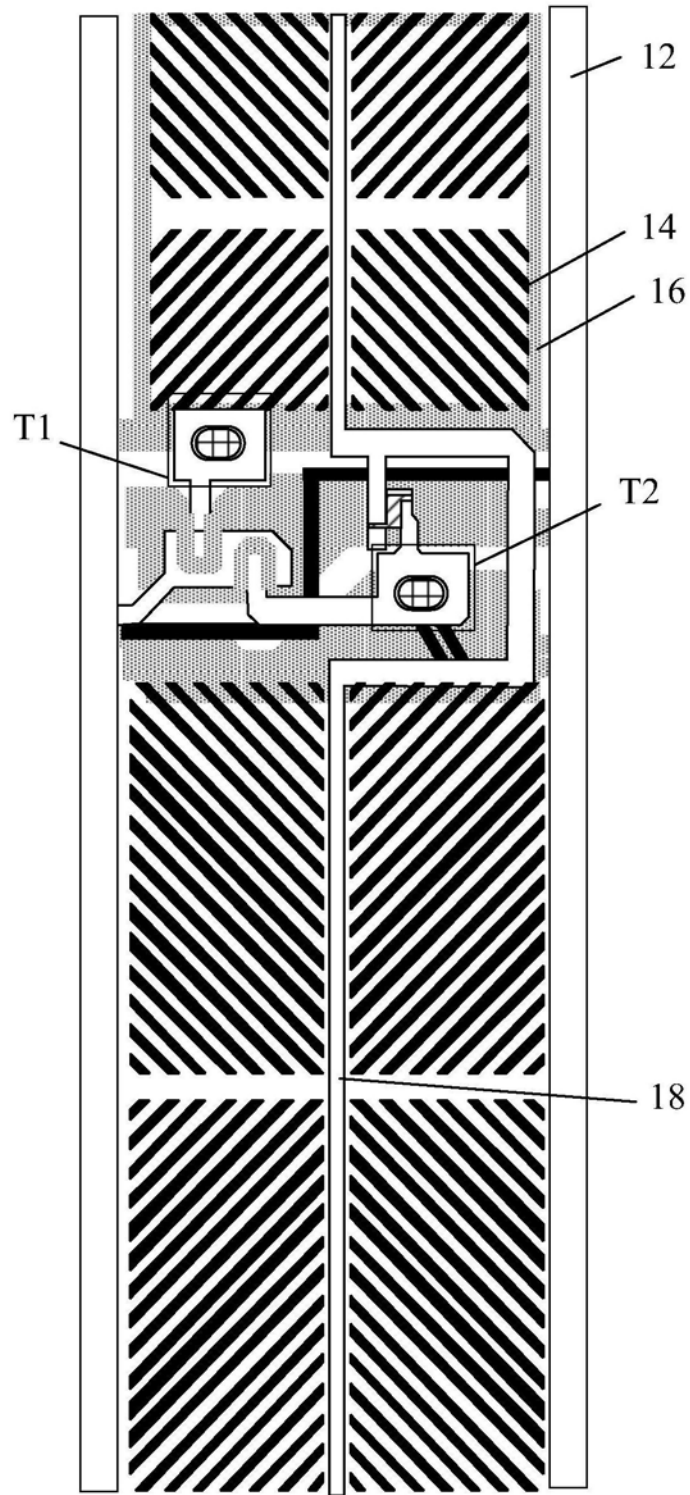


图1

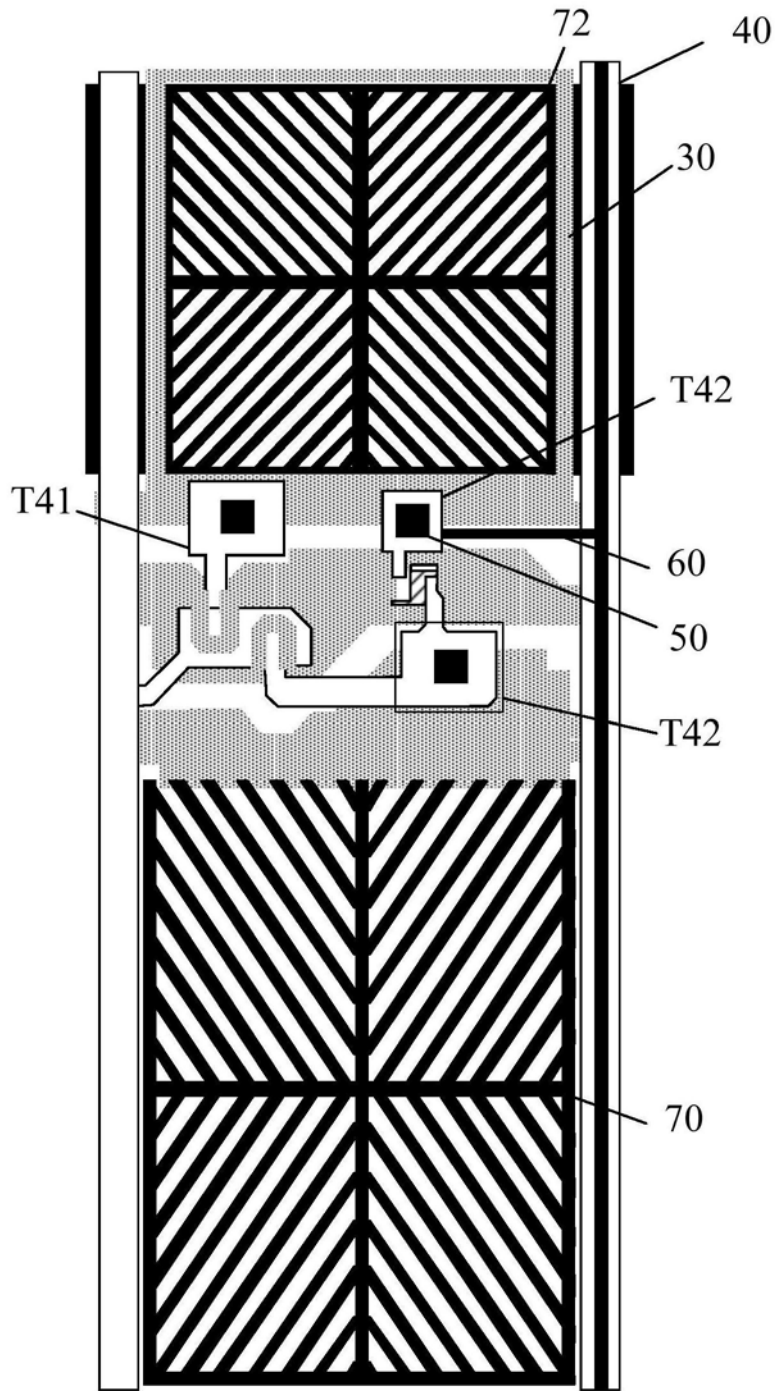


图2

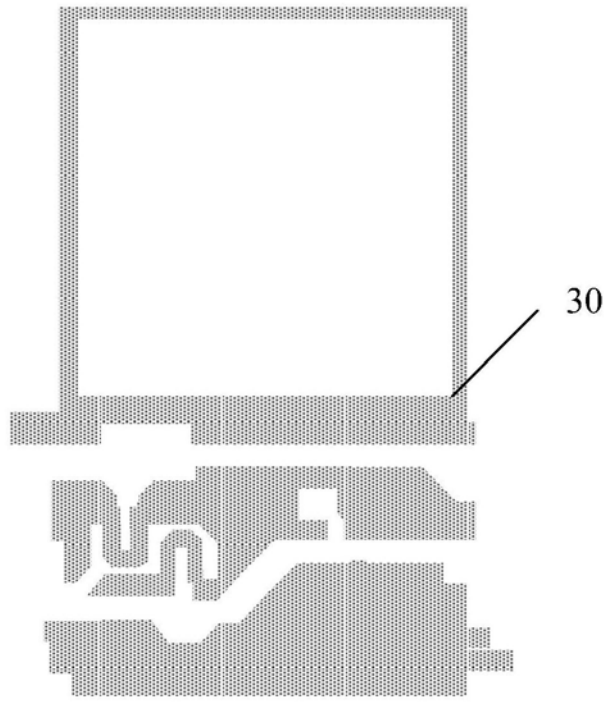


图3

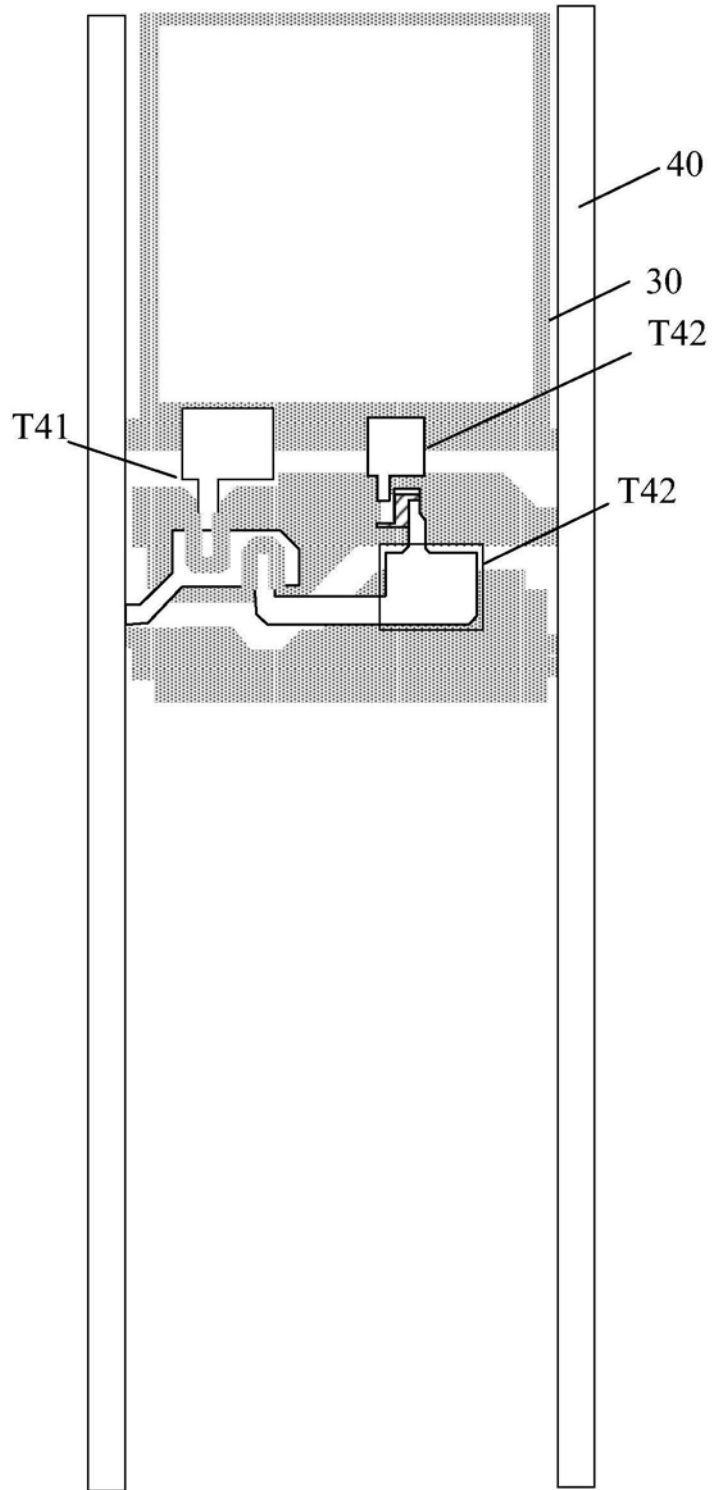


图4

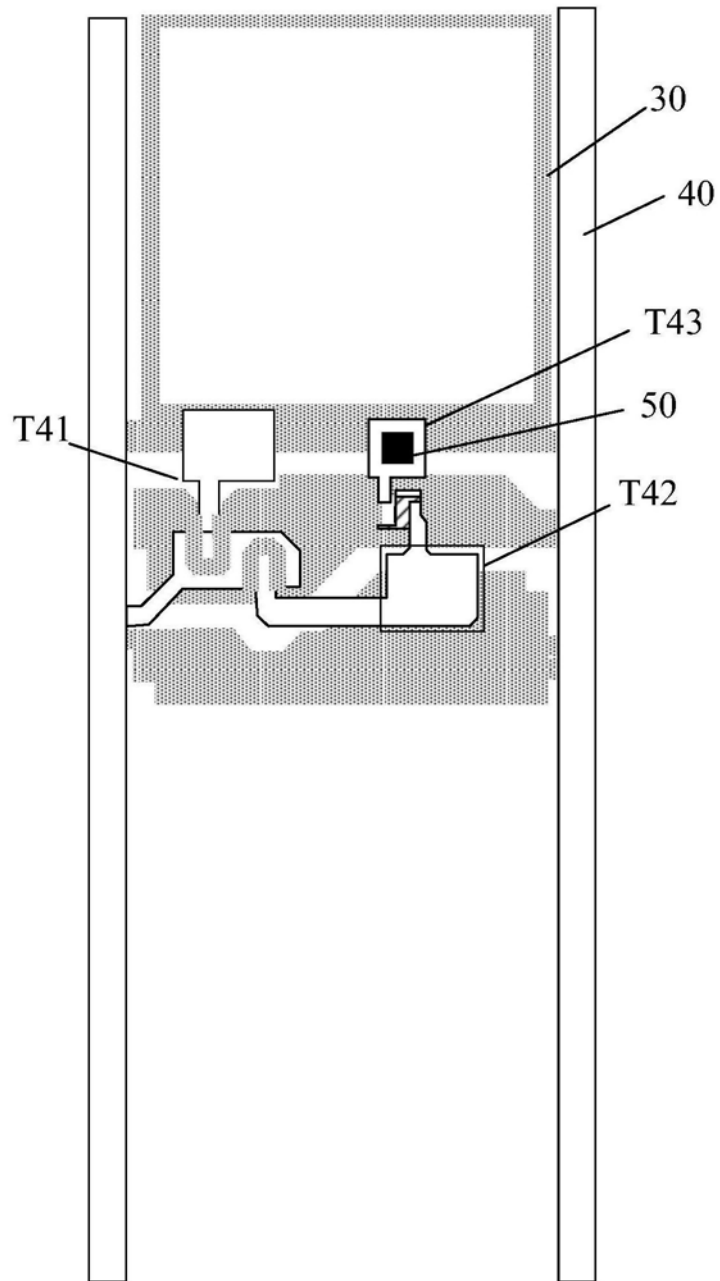


图5

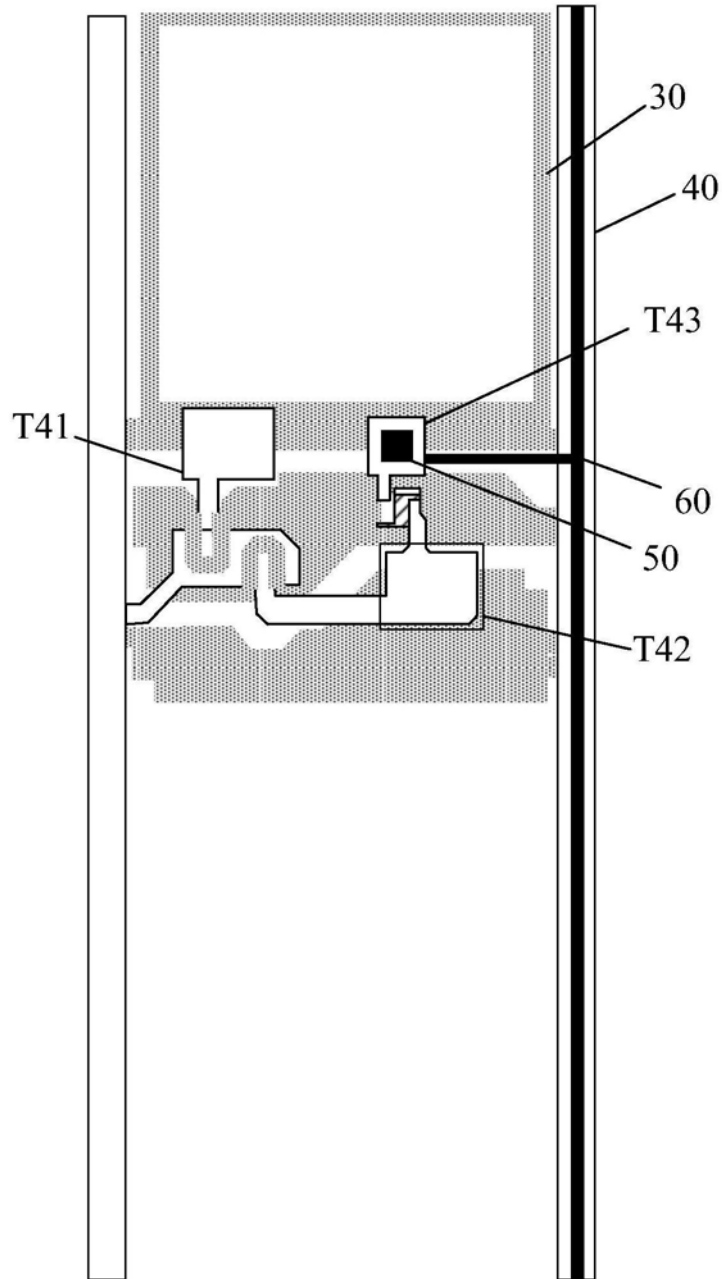


图6