(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080851
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/3688 (2013.01)
G09G 2310/08 (2013.01)
(21) 출원번호 10-2015-0190167
(22) 출원일자 2015년12월30일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김균호
충청남도 천안시 서북구 월봉4로 140-9, 106동 804호
강성인
경기도 화성시 동탄중앙로 189, 338동 303호
문승환
충청남도 아산시 탕정면 탕정면로 37, 103-2604
(74) 대리인
박영우

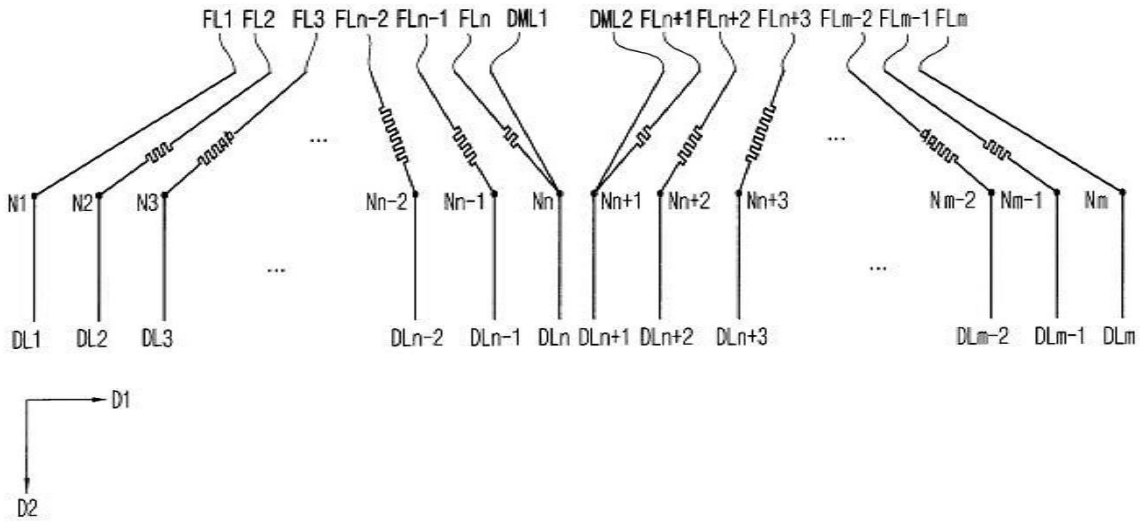
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 **표시 장치 및 이의 구동 방법**

(57) 요 약

표시 장치는 제1 방향을 따라 순차적으로 배치되는 제1 내지 제m(m은 자연수) 팬 아웃 라인들, 상기 제1 내지 제m 팬 아웃 라인들과 제1 내지 제m 노드들에서 연결되는 제1 내지 제m 데이터 라인들, 상기 제n(n은 m보다 작은 자연수) 노드에 연결되는 제1 더미 라인, 및 상기 제(n+1) 노드에 연결되는 제2 더미 라인을 포함하는 표시 패널, 데이터 신호를 기초로 상기 제1 내지 제n 팬 아웃 라인들에 제1 내지 제n 데이터 전압들을 출력하는 제1 데이터 구동부, 상기 데이터 신호를 기초로 상기 제(n+1) 내지 제m 팬 아웃 라인들에 제(n+1) 내지 제m 데이터 전압들을 출력하는 제2 데이터 구동부, 및 상기 제n 노드의 전압 및 상기 제(n+1) 노드의 전압에 기초하여 상기 데이터 신호를 보정하는 타이밍 컨트롤러를 포함한다.

대 표 도



명 세 서

청구범위

청구항 1

제1 방향을 따라 순차적으로 배치되는 제1 내지 제m(m은 자연수) 팬 아웃 라인들, 상기 제1 내지 제m 팬 아웃 라인들과 제1 내지 제m 노드들에서 연결되는 제1 내지 제m 데이터 라인들, 상기 제n(n은 m보다 작은 자연수) 노드에 연결되는 제1 더미 라인, 및 상기 제(n+1) 노드에 연결되는 제2 더미 라인을 포함하는 표시 패널;

데이터 신호를 기초로 상기 제1 내지 제n 팬 아웃 라인들에 제1 내지 제n 데이터 전압들을 출력하는 제1 데이터 구동부;

상기 데이터 신호를 기초로 상기 제(n+1) 내지 제m 팬 아웃 라인들에 제(n+1) 내지 제m 데이터 전압들을 출력하는 제2 데이터 구동부; 및

상기 제n 노드의 전압 및 상기 제(n+1) 노드의 전압에 기초하여 상기 데이터 신호를 보정하는 타이밍 컨트롤러를 포함하는 표시 장치.

청구항 2

제1항에 있어서,

상기 타이밍 컨트롤러는 상기 제1 더미 라인을 통해 상기 제n 노드의 전압을 피드백 받고, 상기 제2 더미 라인을 통해 상기 제(n+1) 노드의 전압을 피드백 받는 것을 특징으로 하는 표시 장치.

청구항 3

제1항에 있어서,

상기 타이밍 컨트롤러는 상기 제n 노드의 전압과 상기 제(n+1) 노드의 전압을 비교하는 것을 특징으로 하는 표시 장치.

청구항 4

제3항에 있어서,

상기 타이밍 컨트롤러는 상기 제n 노드의 전압과 상기 제(n+1) 노드의 전압이 동일해지도록 상기 데이터 신호를 보정하는 것을 특징으로 하는 표시 장치.

청구항 5

제1항에 있어서,

상기 타이밍 컨트롤러는 상기 제n 노드의 전압 및 상기 제(n+1) 노드의 전압을 기준 전압과 비교하는 것을 특징으로 하는 표시 장치.

청구항 6

제5항에 있어서,

상기 타이밍 컨트롤러는 상기 제n 노드의 전압 및 상기 제(n+1) 노드의 전압이 상기 기준 전압과 동일해지도록 상기 데이터 신호를 보정하는 것을 특징으로 하는 표시 장치.

청구항 7

제5항에 있어서,

상기 기준 전압은 상기 제n 데이터 전압 또는 상기 제(n+1) 데이터 전압인 것을 특징으로 하는 표시 장치.

청구항 8

제1항에 있어서,

상기 타이밍 컨트롤러는 상기 데이터 신호 중 상기 제n 및 제(n+1) 데이터 라인들에 대응하는 제n 및 제(n+1) 데이터들을 보정하는 것을 특징으로 하는 표시 장치.

청구항 9

제8항에 있어서,

상기 타이밍 컨트롤러는

상기 제n 및 제(n+1) 데이터들을 보정한 후,

상기 데이터 신호 중 상기 제1 내지 제(n-1) 데이터 라인들 및 상기 제(n+2) 내지 제m 데이터 라인들에 대응하는 제1 내지 제(n-1) 데이터들 및 제(n+2) 내지 제m 데이터들을, 상기 제n 및 제(n+1) 데이터 라인들에 인접한 순서대로 보정하는 것을 특징으로 하는 표시 장치.

청구항 10

제1항에 있어서,

상기 제1 및 제2 데이터 구동부들은 상기 보정된 데이터 신호를 기초로 상기 제1 내지 제m 팬 아웃 라인들에 보정된 제1 내지 제m 데이터 전압들을 출력하는 것을 특징으로 하는 표시 장치.

청구항 11

제1항에 있어서,

상기 제1 및 제2 더미 라인들은 상기 제n 팬 아웃 라인과 상기 제(n+1) 팬 아웃 라인 사이에 위치하는 것을 특징으로 하는 표시 장치.

청구항 12

제1 데이터 구동부가 데이터 신호를 기초로 제1 내지 제n(n은 자연수) 팬 아웃 라인들의 일단들에 제1 내지 제n 데이터 전압들을 출력하는 단계;

제2 데이터 구동부가 상기 데이터 신호를 기초로 제(n+1) 내지 제m(m은 n보다 큰 자연수) 팬 아웃 라인들의 일단들에 제(n+1) 내지 제m 데이터 전압들을 출력하는 단계;

제1 더미 라인을 통해 상기 제n 팬 아웃 라인의 타단의 제n 전압을 피드백하는 단계;

제2 더미 라인을 통해 상기 제(n+1) 팬 아웃 라인의 타단의 제(n+1) 전압을 피드백하는 단계; 및

상기 제n 전압 및 상기 제(n+1) 전압에 기초하여 상기 데이터 신호를 보정하는 단계를 포함하는 표시 장치의 구동 방법.

청구항 13

제12항에 있어서,

상기 데이터 신호를 보정하는 단계는

상기 제n 전압과 상기 제(n+1) 전압을 비교하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 14

제13항에 있어서,

상기 데이터 신호를 보정하는 단계는

상기 제n 전압과 상기 제(n+1) 전압이 동일해지도록 상기 데이터 신호를 보정하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 15

제12항에 있어서,

상기 데이터 신호를 보정하는 단계는

상기 제n 전압 및 상기 제(n+1) 전압을 기준 전압과 비교하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 16

제15항에 있어서,

상기 데이터 신호를 보정하는 단계는

상기 제n 전압 및 상기 제(n+1) 전압이 상기 기준 전압과 동일해지도록 상기 데이터 신호를 보정하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 17

제12항에 있어서,

상기 데이터 신호를 보정하는 단계는

상기 제n 및 제(n+1) 팬 아웃 라인들에 대응하는 데이터 신호를 보정하는 단계를 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 18

제17항에 있어서,

상기 제1 내지 제m 팬 아웃 라인들은 제1 방향을 따라 순차적으로 배치되고,

상기 데이터 신호를 보정하는 단계는

상기 제1 내지 제(n-1) 팬 아웃 라인들 및 상기 제(n+2) 내지 제m 팬 아웃 라인들에 대응하는 데이터 신호를, 상기 제n 및 제(n+1) 팬 아웃 라인들에 인접한 순서대로 보정하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

청구항 19

제12항에 있어서,

상기 보정된 데이터 신호를 기초로 상기 제1 내지 제m 팬 아웃 라인들의 일단들에 보정된 제1 내지 제m 데이터 전압들을 출력하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 표시 장치 및 이의 구동 방법에 관한 것으로, 보다 상세하게는 표시 품질을 향상시킬 수 있는 표시 장치 및 이의 구동 방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 액정 표시 장치는 픽셀 전극을 포함하는 제1 기판, 공통 전극을 포함하는 제2 기판 및 상기 기판들 사이에 개재되는 액정층을 포함한다. 상기 두 전극에 전압을 인가하여 상기 액정층에 전계를 생성하고, 이 전계의 세기를 조절하여 상기 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다.

[0003] 액정 표시 장치는 표시 패널 및 패널 구동부를 포함한다. 상기 표시 패널은 복수의 게이트 라인들, 복수의 데이터 라인들 및 상기 게이트 라인들 및 상기 데이터 라인들에 연결되는 복수의 픽셀들을 포함한다. 상기 패널 구동부는 상기 게이트 라인들에 게이트 신호를 제공하는 게이트 구동부 및 상기 데이터 라인들에 데이터 전압을 제공하는 데이터 구동부를 포함한다.

[0004] 상기 데이터 구동부는 복수의 데이터 구동 집적 회로들을 포함할 수 있다. 상기 데이터 구동 집적 회로들 각각은 상기 표시 패널 상에 배치된 팬 아웃 라인들을 통해 상기 데이터 라인들에 연결된다. 이에 따라, 상기 팬 아웃 라인들의 길이가 서로 달라진다. 상기 팬 아웃 라인들의 길이가 서로 달라지면, 상기 팬 아웃 라인들의 라인 저항이 서로 달라진다.

발명의 내용

해결하려는 과제

[0005] 이에 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로, 본 발명의 목적은 표시 품질을 향상시키는 표시 장치를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 상기 표시 장치의 구동 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 상기한 본 발명의 목적을 실현하기 위한 실시예들에 따른 표시 장치는 제1 방향을 따라 순차적으로 배치되는 제1 내지 제m(m은 자연수) 팬 아웃 라인들, 상기 제1 내지 제m 팬 아웃 라인들과 제1 내지 제m 노드들에서 연결되는 제1 내지 제m 데이터 라인들, 상기 제n(n은 m보다 작은 자연수) 노드에 연결되는 제1 더미 라인, 및 상기 제(n+1) 노드에 연결되는 제2 더미 라인을 포함하는 표시 패널, 데이터 신호를 기초로 상기 제1 내지 제n 팬 아웃 라인들에 제1 내지 제n 데이터 전압들을 출력하는 제1 데이터 구동부, 상기 데이터 신호를 기초로 상기 제(n+1) 내지 제m 팬 아웃 라인들에 제(n+1) 내지 제m 데이터 전압들을 출력하는 제2 데이터 구동부, 및 상기 제n 노드의 전압 및 상기 제(n+1) 노드의 전압에 기초하여 상기 데이터 신호를 보정하는 타이밍 컨트롤러를 포함한다.

[0008] 본 발명의 일 실시예에 있어서, 상기 타이밍 컨트롤러는 상기 제1 더미 라인을 통해 상기 제n 노드의 전압을 피드백 받고, 상기 제2 더미 라인을 통해 상기 제(n+1) 노드의 전압을 피드백 받을 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 타이밍 컨트롤러는 상기 제n 노드의 전압과 상기 제(n+1) 노드의 전압을 비교할 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 타이밍 컨트롤러는 상기 제n 노드의 전압과 상기 제(n+1) 노드의 전압이 동일해지도록 상기 데이터 신호를 보정할 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 타이밍 컨트롤러는 상기 제n 노드의 전압 및 상기 제(n+1) 노드의 전압을 기준 전압과 비교할 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 타이밍 컨트롤러는 상기 제n 노드의 전압 및 상기 제(n+1) 노드의 전압이 상기 기준 전압과 동일해지도록 상기 데이터 신호를 보정할 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 기준 전압은 상기 제n 데이터 전압 또는 상기 제(n+1) 데이터 전압일 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 타이밍 컨트롤러는 상기 데이터 신호 중 상기 제n 및 제(n+1) 데이터 라인들에 대응하는 제n 및 제(n+1) 데이터들을 보정할 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 타이밍 컨트롤러는 상기 제n 및 제(n+1) 데이터들을 보정한 후, 상기 데이터 신호 중 상기 제1 내지 제(n-1) 데이터 라인들 및 상기 제(n+2) 내지 제m 데이터 라인들에 대응하는 제1 내지 제(n-1) 데이터들 및 제(n+2) 내지 제m 데이터들을, 상기 제n 및 제(n+1) 데이터 라인들에 인접한 순서대로 보정할 수 있다.

[0016] 본 발명의 일 실시예에 있어서, 상기 제1 및 제2 데이터 구동부들은 상기 보정된 데이터 신호를 기초로 상기 제1 내지 제m 팬 아웃 라인들에 보정된 제1 내지 제m 데이터 전압들을 출력할 수 있다.

[0017] 본 발명의 일 실시예에 있어서, 상기 제1 및 제2 더미 라인들은 상기 제n 팬 아웃 라인과 상기 제(n+1) 팬 아웃 라인 사이에 위치할 수 있다.

[0018] 상기한 본 발명의 목적을 실현하기 위한 실시예들에 따른 표시 장치의 구동 방법은 제1 데이터 구동부가 데이터 신호를 기초로 제1 내지 제n(n은 자연수) 팬 아웃 라인들의 일단들에 제1 내지 제n 데이터 전압들을 출력하는 단계, 제2 데이터 구동부가 상기 데이터 신호를 기초로 제(n+1) 내지 제m(m은 n보다 큰 자연수) 팬 아웃 라인들

의 일단들에 제(n+1) 내지 제m 데이터 전압들을 출력하는 단계, 제1 더미 라인을 통해 상기 제n 팬 아웃 라인의 타단의 제n 전압을 피드백하는 단계, 제2 더미 라인을 통해 상기 제(n+1) 팬 아웃 라인의 타단의 제(n+1) 전압을 피드백하는 단계, 및 상기 제n 전압 및 상기 제(n+1) 전압에 기초하여 상기 데이터 신호를 보정하는 단계를 포함한다.

[0019] 본 발명의 일 실시예에 있어서, 상기 데이터 신호를 보정하는 단계는 상기 제n 전압과 상기 제(n+1) 전압을 비교하는 단계를 포함할 수 있다.

[0020] 본 발명의 일 실시예에 있어서, 상기 데이터 신호를 보정하는 단계는 상기 제n 전압과 상기 제(n+1) 전압이 동일해지도록 상기 데이터 신호를 보정하는 단계를 더 포함할 수 있다.

[0021] 본 발명의 일 실시예에 있어서, 상기 데이터 신호를 보정하는 단계는 상기 제n 전압 및 상기 제(n+1) 전압을 기준 전압과 비교하는 단계를 포함할 수 있다.

[0022] 본 발명의 일 실시예에 있어서, 상기 데이터 신호를 보정하는 단계는 상기 제n 전압 및 상기 제(n+1) 전압이 상기 기준 전압과 동일해지도록 상기 데이터 신호를 보정하는 단계를 더 포함할 수 있다.

[0023] 본 발명의 일 실시예에 있어서, 상기 데이터 신호를 보정하는 단계는 상기 제n 및 제(n+1) 팬 아웃 라인들에 대응하는 데이터 신호를 보정하는 단계를 포함할 수 있다.

[0024] 본 발명의 일 실시예에 있어서, 상기 제1 내지 제m 팬 아웃 라인들은 제1 방향을 따라 순차적으로 배치되고, 상기 데이터 신호를 보정하는 단계는 상기 제1 내지 제(n-1) 팬 아웃 라인들 및 상기 제(n+2) 내지 제m 팬 아웃 라인들에 대응하는 데이터 신호를, 상기 제n 및 제(n+1) 팬 아웃 라인들에 인접한 순서대로 보정하는 단계를 더 포함할 수 있다.

[0025] 본 발명의 일 실시예에 있어서, 상기 보정된 데이터 신호를 기초로 상기 제1 내지 제m 팬 아웃 라인들의 일단들에 보정된 제1 내지 제m 데이터 전압들을 출력하는 단계를 더 포함할 수 있다.

발명의 효과

[0026] 본 발명의 실시예들에 따른 표시 장치 및 이의 구동 방법에 따르면, 인접하는 데이터 구동 집적 회로들 사이에 배치된 더미 라인들을 통해 상기 데이터 구동 집적 회로들의 경계 부분에 위치한 팬 아웃 라인들의 데이터 전압 손실률을 판단하고 이에 따라 데이터 신호를 보정함으로써, 팬 아웃 라인들 각각의 서로 다른 임피던스로 인한 데이터 구동 집적 회로들 간 경계 시인 현상을 개선할 수 있다. 이에 따라, 표시 장치의 표시 품질을 향상시킬 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.

도 2는 본 발명의 실시예들에 따른 표시 장치에 포함되는 표시 패널 및 데이터 구동부를 나타내는 도면이다.

도 3은 도 2의 A 부분을 확대한 도면이다.

도 4a는 본 발명의 실시예들에 따른 표시 장치에 포함되는 제1 내지 제m 팬 아웃 라인들에 출력되는 제1 내지 제m 데이터 전압들을 나타내는 그래프이다.

도 4b는 도 4a의 제1 내지 제m 데이터 전압들이 출력될 때 본 발명의 실시예들에 따른 표시 장치에 포함되는 제1 내지 제m 노드들의 제1 내지 제m 노드 전압들을 나타내는 그래프이다.

도 4c는 도 4b의 기준 전압, 제n 노드 전압 및 제(n+1) 노드 전압을 비교하는 도면이다.

도 5a는 본 발명의 실시예들에 따른 표시 장치에 포함되는 제1 내지 제m 팬 아웃 라인들에 출력되는 보정된 제1 내지 제m 데이터 전압들을 나타내는 그래프이다.

도 5b는 도 5a의 보정된 제1 내지 제m 데이터 전압들이 출력될 때 본 발명의 실시예들에 따른 표시 장치에 포함되는 제1 내지 제m 노드들의 보정된 제1 내지 제m 노드 전압들을 나타내는 그래프이다.

도 5c는 도 5b의 기준 전압, 보정된 제n 노드 전압 및 보정된 제(n+1) 노드 전압을 비교하는 도면이다.

도 6a는 본 발명의 실시예들에 따른 표시 장치의 구동 방법을 나타내는 순서도이다.

도 6b는 본 발명의 실시예들에 따른 표시 장치의 구동 방법 중 데이터 신호를 보정하는 방법을 나타내는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

[0029] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.

[0030] 도 1을 참조하면, 상기 표시 장치는 표시 패널(100) 및 패널 구동부를 포함한다. 상기 패널 구동부는 타이밍 컨트롤러(200), 게이트 구동부(300), 감마 기준 전압 생성부(400) 및 데이터 구동부(500)를 포함한다.

[0031] 상기 표시 패널(100)은 영상을 표시하는 표시부 및 상기 표시부에 이웃하여 배치되는 주변부를 포함한다.

[0032] 상기 표시 패널(100)은 복수의 게이트 라인들, 복수의 데이터 라인들 및 상기 게이트 라인들 및 상기 데이터 라인들 각각에 전기적으로 연결된 복수의 픽셀들을 포함한다. 상기 게이트 라인들은 제1 방향(D1)으로 연장되고, 상기 데이터 라인들은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장된다.

[0033] 상기 복수의 픽셀들 각각은 스위칭 소자(미도시), 상기 스위칭 소자에 전기적으로 연결된 액정 캐패시터(미도시) 및 스토리지 캐패시터(미도시)를 포함할 수 있다. 상기 픽셀들은 매트릭스 형태로 배치된다.

[0034] 상기 표시 패널(100)의 구조에 대해서는 도 2 및 3을 참조하여 상세히 설명한다.

[0035] 상기 타이밍 컨트롤러(200)는 외부의 장치(미도시)로부터 입력 영상 데이터(RGB) 및 입력 제어 신호(CONT)를 수신한다. 상기 입력 영상 데이터(RGB)는 적색 영상 데이터(R), 녹색 영상 데이터(G) 및 청색 영상 데이터(B)를 포함할 수 있다. 상기 입력 제어 신호(CONT)는 마스터 클럭 신호, 데이터 인에이블 신호를 포함할 수 있다. 상기 입력 제어 신호(CONT)는 수직 동기 신호 및 수평 동기 신호를 더 포함할 수 있다.

[0036] 상기 타이밍 컨트롤러(200)는 상기 입력 영상 데이터(RGB) 및 상기 입력 제어 신호(CONT)를 기초로 제1 제어 신호(CONT1), 제2 제어 신호(CONT2), 제3 제어 신호(CONT3) 및 데이터 신호(DAT)를 생성한다.

[0037] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 기초로 상기 게이트 구동부(300)의 동작을 제어하기 위한 상기 제1 제어 신호(CONT1)를 생성한다. 상기 타이밍 컨트롤러(200)는 상기 제1 제어 신호(CONT1)를 상기 게이트 구동부(300)에 출력한다. 상기 제1 제어 신호(CONT1)는 수직 개시 신호 및 게이트 클럭 신호를 포함할 수 있다.

[0038] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 기초로 상기 데이터 구동부(500)의 동작을 제어하기 위한 상기 제2 제어 신호(CONT2)를 생성한다. 상기 타이밍 컨트롤러(200)는 상기 제2 제어 신호(CONT2)를 상기 데이터 구동부(500)에 출력한다. 상기 제2 제어 신호(CONT2)는 수평 개시 신호 및 로드 신호를 포함할 수 있다.

[0039] 상기 타이밍 컨트롤러(200)는 상기 입력 영상 데이터(RGB)를 기초로 상기 데이터 신호(DAT)를 생성한다. 상기 타이밍 컨트롤러(200)는 상기 데이터 신호(DAT)를 상기 데이터 구동부(500)에 출력한다.

[0040] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 기초로 상기 감마 기준 전압 생성부(400)의 동작을 제어하기 위한 상기 제3 제어 신호(CONT3)를 생성한다. 상기 타이밍 컨트롤러(200)는 상기 제3 제어 신호(CONT3)를 상기 감마 기준 전압 생성부(400)에 출력한다.

[0041] 상기 타이밍 컨트롤러(200)의 구체적인 동작에 대해서는 도 4a 내지4c 및 5a 내지 5c를 참조하여 상세히 설명한다.

[0042] 상기 게이트 구동부(300)는 상기 타이밍 컨트롤러(200)로부터 입력 받은 상기 제1 제어 신호(CONT1)에 응답하여 상기 게이트 라인들을 구동하기 위한 게이트 신호들을 생성한다. 상기 게이트 구동부(300)는 상기 게이트 신호들을 상기 게이트 라인들에 순차적으로 출력한다.

[0043] 상기 게이트 구동부(300)는 상기 표시 패널(100)에 직접 실장(mounted)되거나, 테이프 캐리어 패키지(tape carrier package: TCP) 형태로 상기 표시 패널(100)에 연결될 수 있다. 한편, 상기 게이트 구동부(300)는 상기 표시 패널(100)의 상기 주변부에 집적(integrated)될 수 있다.

[0044] 상기 감마 기준 전압 생성부(400)는 상기 타이밍 컨트롤러(200)로부터 입력 받은 상기 제3 제어 신호(CONT3)에 응답하여 감마 기준 전압(VGREF)을 생성한다. 상기 감마 기준 전압 생성부(400)는 상기 감마 기준 전압(VGREF)을 상기 데이터 구동부(500)에 제공한다. 상기 감마 기준 전압(VGREF)은 각각의 데이터 신호(DAT)에 대응하는

값을 갖는다.

[0045] 본 발명의 일 실시예에서, 상기 감마 기준 전압 생성부(400)는 상기 타이밍 컨트롤러(200) 내에 배치되거나 상기 데이터 구동부(500) 내에 배치될 수 있다.

[0046] 상기 데이터 구동부(500)는 상기 타이밍 컨트롤러(200)로부터 상기 제2 제어 신호(CONT2) 및 상기 데이터 신호(DAT)를 입력 받고, 상기 감마 기준 전압 생성부(400)로부터 상기 감마 기준 전압(VGREF)을 입력 받는다. 상기 데이터 구동부(500)는 상기 데이터 신호(DAT)를 상기 감마 기준 전압(VGREF)을 이용하여 아날로그 형태의 데이터 전압들로 변환한다. 상기 데이터 구동부(500)는 상기 데이터 전압들을 상기 데이터 라인들에 출력한다.

[0047] 상기 데이터 구동부(500)는 피드백 신호(FB)를 상기 표시 패널(100)로부터 상기 타이밍 컨트롤러(200)에 전달한다.

[0048] 상기 데이터 구동부(500)는 제1 데이터 구동부 및 제2 데이터 구동부를 포함한다. 상기 제1 데이터 구동부 및 상기 제2 데이터 구동부는 데이터 구동 집적 회로들일 수 있다.

[0049] 상기 데이터 구동부(500)는 상기 표시 패널(100)에 직접 실장되거나, 테이프 캐리어 패키지(tape carrier package: TCP) 형태로 상기 표시 패널(100)에 연결될 수 있다. 한편, 상기 데이터 구동부(500)는 상기 표시 패널(100)의 상기 주변부에 집적될 수도 있다.

[0050] 상기 데이터 구동부(500)의 구성 및 구체적인 동작에 대해서는 도 2를 참조하여 상세히 설명한다.

[0051] 도 2는 본 발명의 실시예들에 따른 표시 장치에 포함되는 표시 패널 및 데이터 구동부를 나타내는 도면이다. 도 3은 도 2의 A 부분을 확대한 도면이다.

[0052] 도 1 내지 3을 참조하면, 상기 표시 패널(100)은 제1 내지 제m(m은 자연수) 팬 아웃 라인들(FL1 ~ FLm), 제1 및 제2 더미 라인들(DML1, DML2) 및 제1 내지 제m 데이터 라인들(DL1 ~ DLm)을 포함한다.

[0053] 상기 표시 패널(100)은 제1 영역(101) 및 제2 영역(102)으로 나누어진다.

[0054] 상기 제1 내지 제n(n은 m보다 작은 자연수) 팬 아웃 라인들(FL1 ~ FLn), 상기 제1 더미 라인(DML1) 및 상기 제1 내지 제n 데이터 라인들(DL1 ~ DLn)은 상기 제1 영역(101)에 위치한다. 상기 제(n+1) 내지 제m 팬 아웃 라인들(FLn+1 ~ FLm), 상기 제2 더미 라인(DML2) 및 상기 제(n+1) 내지 제m 데이터 라인들(DLn+1 ~ DLm)은 상기 제2 영역(102)에 위치한다.

[0055] 상기 제1 내지 제m 팬 아웃 라인들(FL1 ~ FLm)은 제1 내지 제m 노드들(N1 ~ Nm)에서 상기 제1 내지 제m 데이터 라인들(DL1 ~ DLm)과 연결된다. 예를 들어, 상기 제1 팬 아웃 라인(FL1)은 상기 제1 노드(N1)에서 상기 제1 데이터 라인(DL1)과 연결된다. 상기 제n 팬 아웃 라인(FLn)은 상기 제n 노드(Nn)에서 상기 제n 데이터 라인(DLn)과 연결된다. 상기 제(n+1) 팬 아웃 라인(FLn+1)은 상기 제(n+1) 노드(Nn+1)에서 상기 제(n+1) 데이터 라인(DLn+1)과 연결된다. 상기 제m 팬 아웃 라인(FLm)은 상기 제m 노드(Nm)에서 상기 제m 데이터 라인(DLm)과 연결된다.

[0056] 상기 제1 데이터 구동부(501)로부터 상기 제1 내지 제n 노드들(N1 ~ Nn)까지의 거리는 각각 다르다. 다만, 상기 제1 내지 제n 팬 아웃 라인들(FL1 ~ FLn) 각각의 길이는 서로 실질적으로 동일하다. 따라서, 상기 제1 내지 제n 팬 아웃 라인들(FL1 ~ FLn)은 각각 서로 다른 횟수로 꼬여 있다. 이에, 상기 제1 내지 제n 팬 아웃 라인들(FL1 ~ FLn)은 각각 서로 다른 임피던스를 갖는다.

[0057] 상기 제2 데이터 구동부(502)로부터 상기 제(n+1) 내지 제m 노드들(Nn+1 ~ Nm)까지의 거리는 각각 다르다. 다만, 상기 제(n+1) 내지 제m 팬 아웃 라인들(FLn+1 ~ FLm) 각각의 길이는 서로 실질적으로 동일하다. 따라서, 상기 제(n+1) 내지 제m 팬 아웃 라인들(FLn+1 ~ FLm)은 각각 서로 다른 횟수로 꼬여 있다. 이에, 상기 제(n+1) 내지 제m 팬 아웃 라인들(FLn+1 ~ FLm)은 각각 서로 다른 임피던스를 갖는다.

[0058] 상기 제1 더미 라인(DML1)은 상기 제n 노드(Nn)에 연결된다. 상기 제2 더미 라인(DML2)은 상기 제(n+1) 노드(Nn+1)에 연결된다.

[0059] 상기 데이터 구동부(500)는 제1 데이터 구동부(501) 및 제2 데이터 구동부(502)를 포함한다. 상기 제1 데이터 구동부(501) 및 상기 제2 데이터 구동부(502)는 데이터 구동 집적 회로들일 수 있다.

[0060] 상기 제1 데이터 구동부(501)는 상기 제1 내지 제n 데이터 라인들(DL1 ~ DLn)에 대응하는 제1 내지 제n 데이터 전압들을 상기 제1 내지 제n 팬 아웃 라인들(FL1 ~ FLn)에 출력한다. 상기 제2 데이터 구동부(502)는 상기 제

(n+1) 내지 제m 데이터 라인들(DLn+1 ~ DLm)에 대응하는 제(n+1) 내지 제m 데이터 전압들을 상기 제(n+1) 내지 제m 팬 아웃 라인들(FLn+1 ~ FLm)에 출력한다.

[0061] 상기 제1 더미 라인(DML1)은 상기 제n 노드(Nn)의 전압을 상기 타이밍 컨트롤러(200)로 피드백한다. 상기 제2 더미 라인(DML2)은 상기 제(n+1) 노드(Nn+1)의 전압을 상기 타이밍 컨트롤러(200)로 피드백한다.

[0062] 도 4a는 본 발명의 실시예들에 따른 표시 장치에 포함되는 제1 내지 제m 팬 아웃 라인들에 출력되는 제1 내지 제m 데이터 전압들을 나타내는 그래프이다.

[0063] 도 1 내지 3 및 4a를 참조하면, 상기 타이밍 컨트롤러(200)는 상기 입력 영상 데이터(RGB)를 기초로 상기 데이터 신호(DAT)를 생성한다. 상기 타이밍 컨트롤러(200)는 상기 데이터 신호(DAT) 중 상기 제1 내지 제n 데이터 라인들(DL1 ~ DLn)에 대응하는 제1 내지 제n 데이터들을 상기 제1 데이터 구동부(501)에 출력한다.

[0064] 상기 제1 데이터 구동부(501)는 상기 제1 내지 제n 데이터들을 기초로 제1 내지 제n 데이터 전압들을 생성한다.

[0065] 상기 타이밍 컨트롤러(200)는 상기 입력 영상 데이터(RGB)를 기초로 상기 데이터 신호(DAT)를 생성한다. 상기 타이밍 컨트롤러(200)는 상기 데이터 신호(DAT) 중 상기 제(n+1) 내지 제m 데이터 라인들(DLn+1 ~ DLm)에 대응하는 제(n+1) 내지 제m 데이터들을 상기 제2 데이터 구동부(502)에 출력한다.

[0066] 상기 제2 데이터 구동부(502)는 상기 제(n+1) 내지 제m 데이터들을 기초로 제(n+1) 내지 제m 데이터 전압들을 생성한다.

[0067] 도 4a는 상기 제1 내지 제m 데이터 전압들(DV)의 예를 나타내는 그래프이다. 상기 제n 데이터 라인(DLn)과 상기 제(n+1) 데이터 라인(DLn+1)은 서로 인접한다. 따라서, 상기 제n 데이터 전압(DVn)과 상기 제(n+1) 데이터 전압(DVn+1)은 서로 실질적으로 동일하다.

[0068] 도 4b는 도 4a의 제1 내지 제m 데이터 전압들이 출력될 때 본 발명의 실시예들에 따른 표시 장치에 포함되는 제1 내지 제m 노드들의 제1 내지 제m 노드 전압들을 나타내는 그래프이다. 도 4c는 도 4b의 기준 전압, 제n 노드 전압 및 제(n+1) 노드 전압을 비교하는 도면이다.

[0069] 도 1 내지 3 및 4a 내지 4c를 참조하면, 상기 제1 내지 제m 팬 아웃 라인들(FL1 ~ FLm) 각각의 서로 다른 임피던스로 인해, 상기 제1 내지 제n 노드들(N1 ~ Nn)의 제1 내지 제n 노드 전압들과 상기 제(n+1 내지 제m 노드들(Nn+1 ~ Nm)의 제(n+1) 내지 제m 노드 전압들 사이에 차이가 발생한다. 특히, 상기 제n 노드 전압(VNn)과 상기 제(n+1) 노드 전압(VNn+1)의 차이로 인해, 상기 제1 영역(101)과 상기 제2 영역(102)의 경계가 시인되는 현상이 발생한다.

[0070] 상기 제1 더미 라인(DML1)은 상기 제n 노드 전압(VNn)을 상기 타이밍 컨트롤러(200)로 피드백한다. 상기 제2 더미 라인(DML2)은 상기 제(n+1) 노드 전압(VNn+1)을 상기 타이밍 컨트롤러(200)로 피드백한다.

[0071] 도 5a는 본 발명의 실시예들에 따른 표시 장치에 포함되는 제1 내지 제m 팬 아웃 라인들에 출력되는 보정된 제1 내지 제m 데이터 전압들을 나타내는 그래프이다. 도 5b는 도 5a의 보정된 제1 내지 제m 데이터 전압들이 출력될 때 본 발명의 실시예들에 따른 표시 장치에 포함되는 제1 내지 제m 노드들의 보정된 제1 내지 제m 노드 전압들을 나타내는 그래프이다. 도 5c는 도 5b의 기준 전압, 보정된 제n 노드 전압 및 보정된 제(n+1) 노드 전압을 비교하는 도면이다.

[0072] 도 1 내지 3, 도 4a 내지 4c 및 도 5a 내지 5c를 참조하면, 상기 타이밍 컨트롤러(200)는 상기 제1 더미 라인(DML1)을 통해 상기 제n 노드 전압(VNn)을 피드백 받는다. 상기 타이밍 컨트롤러(200)는 상기 제2 더미 라인(DML2)을 통해 상기 제(n+1) 노드 전압(VNn+1)을 피드백 받는다.

[0073] 상기 타이밍 컨트롤러(200)는 상기 제n 노드 전압(VNn)과 상기 제(n+1) 노드 전압(VNn+1)을 비교할 수 있다. 상기 타이밍 컨트롤러(200)는 상기 제n 노드 전압(VNn)과 상기 제(n+1) 노드 전압(VNn+1)이 실질적으로 동일해지도록 상기 데이터 신호(DAT)를 보정할 수 있다.

[0074] 상기 타이밍 컨트롤러(200)는 상기 제n 노드 전압(VNn) 및 상기 제(n+1) 노드 전압(VNn+1)을 기준 전압(VR)과 비교할 수 있다. 상기 기준 전압(VR)은 상기 제n 데이터 전압(DVn) 또는 상기 제(n+1) 데이터 전압(DVn+1)일 수 있다. 상기 타이밍 컨트롤러(200)는 상기 제n 노드 전압(VNn)및 상기 제(n+1) 노드 전압(VNn+1)이 상기 기준 전압(VR)과 실질적으로 동일해지도록 상기 데이터 신호(DAT)를 보정할 수 있다.

[0075] 상기 타이밍 컨트롤러(200)는 상기 데이터 신호(DAT) 중 상기 제n 및 제(n+1) 데이터들을 최우선적으로 보정할

수 있다. 그 다음으로, 상기 타이밍 컨트롤러(200)는 상기 데이터 신호(DAT) 중 상기 제(n-1) 및 제(n+2) 데이터들을 보정할 수 있다. 그 다음으로, 상기 타이밍 컨트롤러(200)는 상기 데이터 신호(DAT) 중 상기 제(n-2) 및 제(n+3) 데이터들을 보정할 수 있다. 즉, 상기 타이밍 컨트롤러(200)는 상기 데이터 신호(DAT) 중 상기 제n 및 제(n+1) 데이터들을 최우선적으로 보정한 후, 상기 데이터 신호(DAT) 중 상기 제n 및 제(n+1) 데이터들을 제외한 나머지 데이터들을 상기 제n 및 제(n+1) 데이터 라인들(DLn, DLn+1)에 인접한 데이터 라인들에 대응하는 순서대로 보정할 수 있다.

[0076] 상기 타이밍 컨트롤러(200)는 상기 보정된 데이터 신호를 상기 제1 및 제2 데이터 구동부들(501, 502)에 출력한다.

[0077] 상기 제1 데이터 구동부(501)는 상기 보정된 데이터 신호를 기초로 상기 제1 내지 제n 팬 아웃 라인들(FL1 ~ FLn)에 보정된 제1 내지 제n 데이터 전압들을 출력한다. 상기 제2 데이터 구동부(502)는 상기 보정된 데이터 신호를 기초로 상기 제(n+1) 내지 제m 팬 아웃 라인들(FLn+1 ~ FLm)에 보정된 제(n+1) 내지 제m 데이터 전압들을 출력한다.

[0078] 상기 제1 더미 라인(DML1)은 상기 보정된 데이터 신호에 따른 제n 노드 전압(CVNn)을 상기 타이밍 컨트롤러(200)로 피드백할 수 있다. 상기 제2 더미 라인(DML2)은 상기 보정된 데이터 신호에 따른 제(n+1) 노드 전압(CVNn+1)을 상기 타이밍 컨트롤러(200)로 피드백할 수 있다.

[0079] 상기 타이밍 컨트롤러(200)는 상기 보정된 데이터 신호에 따른 상기 제n 노드 전압(CVNn)과 상기 보정된 데이터 신호에 따른 상기 제(n+1) 노드 전압(CVNn+1)을 비교할 수 있다. 상기 타이밍 컨트롤러(200)는 상기 비교 결과, 상기 보정된 데이터 신호에 따른 상기 제n 노드 전압(CVNn)과 상기 보정된 데이터 신호에 따른 상기 제(n+1) 노드 전압(CVNn+1)이 실질적으로 동일하지 않으면, 상기 보정된 데이터 신호에 따른 상기 제n 노드 전압(CVNn)과 상기 보정된 데이터 신호에 따른 상기 제(n+1) 노드 전압(CVNn+1)이 실질적으로 동일해지도록 상기 보정된 데이터 신호를 또 보정할 수 있다.

[0080] 상기 타이밍 컨트롤러(200)는 상기 비교 결과, 제n 노드 전압과 제(n+1) 노드 전압이 실질적으로 동일해질 때까지 상기 피드백 및 보정을 반복하여 수행할 수 있다.

[0081] 상기 타이밍 컨트롤러(200)는 상기 보정된 데이터 신호에 따른 상기 제n 노드 전압(CVNn) 및 상기 보정된 데이터 신호에 따른 상기 제(n+1) 노드 전압(CVNn+1)을 상기 기준 전압(VR)과 비교할 수 있다. 상기 타이밍 컨트롤러(200)는 상기 비교 결과, 상기 보정된 데이터 신호에 따른 상기 제n 노드 전압(CVNn)과 상기 보정된 데이터 신호에 따른 상기 제(n+1) 노드 전압(CVNn+1)이 상기 기준 전압(VR)과 실질적으로 동일하지 않으면, 상기 보정된 데이터 신호에 따른 상기 제n 노드 전압(CVNn)과 상기 보정된 데이터 신호에 따른 상기 제(n+1) 노드 전압(CVNn+1)이 상기 기준 전압(VR)과 실질적으로 동일해지도록 상기 보정된 데이터 신호를 또 보정할 수 있다.

[0082] 상기 타이밍 컨트롤러(200)는 상기 비교 결과, 제n 노드 전압 및 제(n+1) 노드 전압이 상기 기준 전압(VR)과 실질적으로 동일해질 때까지 상기 피드백 및 보정을 반복하여 수행할 수 있다.

[0083] 도 6a는 본 발명의 실시예들에 따른 표시 장치의 구동 방법을 나타내는 순서도이다. 도 6b는 본 발명의 실시예들에 따른 표시 장치의 구동 방법 중 데이터 신호를 보정하는 방법을 나타내는 순서도이다.

[0084] 도 6a 및 6b를 참조하면, 제1 데이터 구동부는 제1 내지 제n 팬 아웃 라인들에 제1 내지 제n 데이터 전압들을 출력한다(S101). 제2 데이터 구동부는 제(n+1) 내지 제m 팬 아웃 라인들에 제(n+1) 내지 제m 데이터 전압들을 출력한다(S102).

[0085] 타이밍 컨트롤러는 제1 더미 라인을 통해 상기 제n 팬 아웃 라인과 제n 데이터 라인이 연결되는 노드의 제n 노드 전압을 피드백 받고(S201), 제2 더미 라인을 통해 상기 제(n+1) 팬 아웃 라인과 제(n+1) 데이터 라인이 연결되는 노드의 제(n+1) 노드 전압을 피드백 받는다(S202).

[0086] 상기 타이밍 컨트롤러는 상기 제n 노드 전압 및 상기 제(n+1) 노드 전압을 기초로 데이터 신호를 보정한다(S300). 상기 타이밍 컨트롤러는 상기 제n 노드 전압, 상기 제(n+1) 노드 전압 및 기준 전압을 서로 비교할 수 있다(S310). 상기 타이밍 컨트롤러는 상기 데이터 신호 중 상기 제n 데이터 라인 및 상기 제(n+1) 데이터 라인에 대응하는 데이터들을 최우선적으로 보정할 수 있다(S320). 상기 타이밍 컨트롤러는 상기 데이터 신호 중 상기 제n 데이터 라인 및 상기 제(n+1) 데이터 라인에 대응하는 데이터들을 제외한 나머지 데이터들을, 상기 제n 데이터 라인 및 상기 제(n+1) 데이터 라인에 인접하는 데이터 라인에 대응하는 순서대로 보정할 수 있다(S330).

[0087] 상기 제1 데이터 구동부는 상기 보정된 데이터 신호를 기초로 상기 제1 내지 제n 팬 아웃 라인들에 보정된 제1

내지 제n 데이터 전압들을 출력하고, 상기 제2 데이터 구동부는 상기 보정된 데이터 신호를 기초로 상기 제(n+1) 내지 제m 팬 아웃 라인들에 보정된 제(n+1) 내지 제m 데이터 전압들을 출력한다(S400).

산업상 이용가능성

[0088] 본 발명은 표시 장치 및 이를 포함하는 다양한 장치 및 시스템에 적용될 수 있다. 따라서 본 발명은 휴대폰, 스마트 폰, PDA, PMP, 디지털 카메라, 캠코더, PC, 서버 컴퓨터, 워크스테이션, 노트북, 디지털 TV, 셋-탑 박스, 음악 재생기, 휴대용 게임 콘솔, 네비게이션 시스템, 스마트 카드, 프린터 등과 같은 다양한 전자기기에 유용하게 이용될 수 있다.

[0089] 이상 실시예들을 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0090] 100: 표시 패널 200: 타이밍 컨트롤러

300: 게이트 구동부 400: 감마 기준 전압 생성부

500: 데이터 구동부

501: 제1 데이터 구동부 502: 제2 데이터 구동부

FL1 ~ FLm: 제1 내지 제m 팬 아웃 라인들

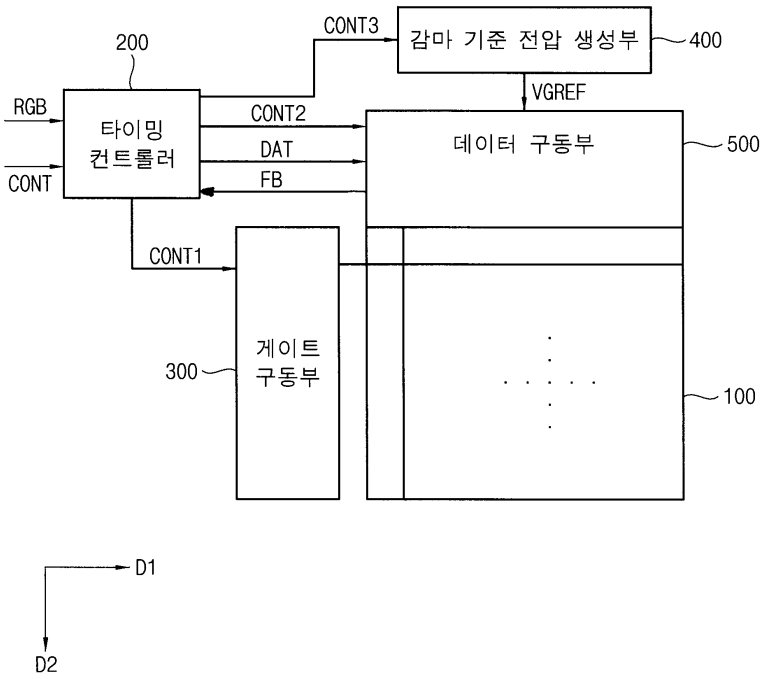
DML1: 제1 더미 라인 DML2: 제2 더미 라인

N1 ~ Nm: 제1 내지 제m 노드들

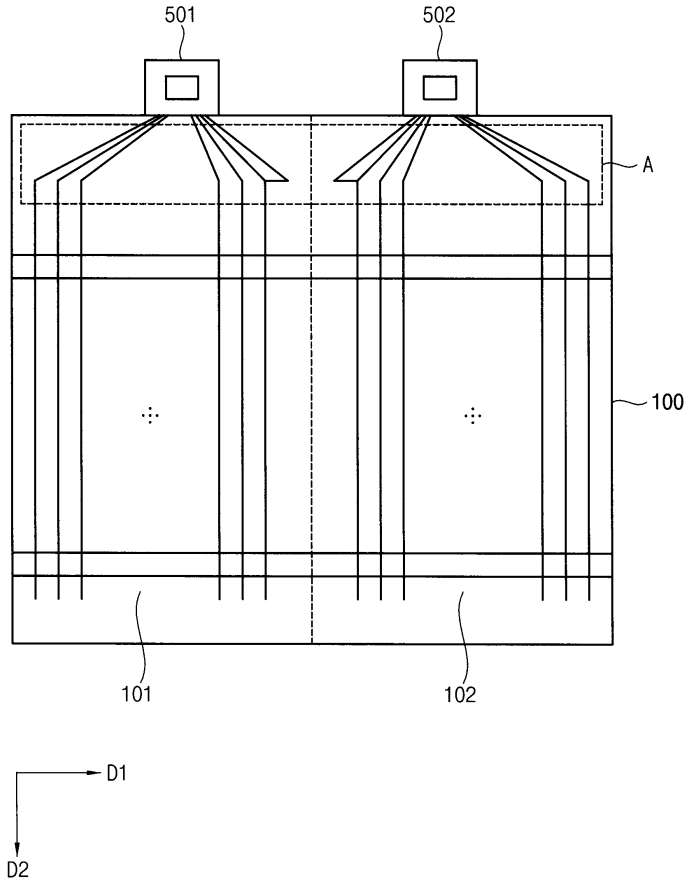
DL1 ~ DLm: 제1 내지 제m 데이터 라인들

도면

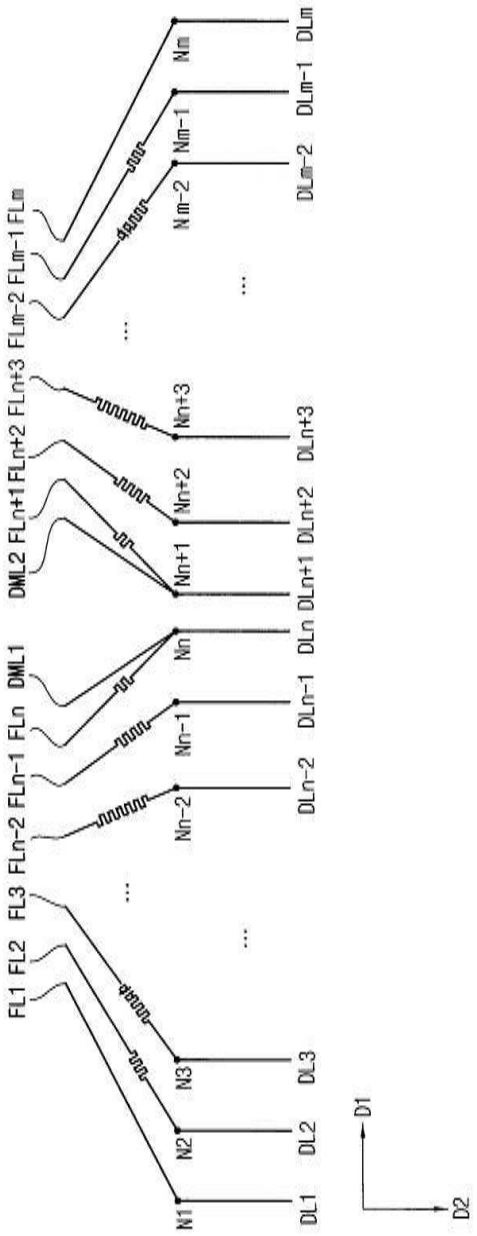
도면1



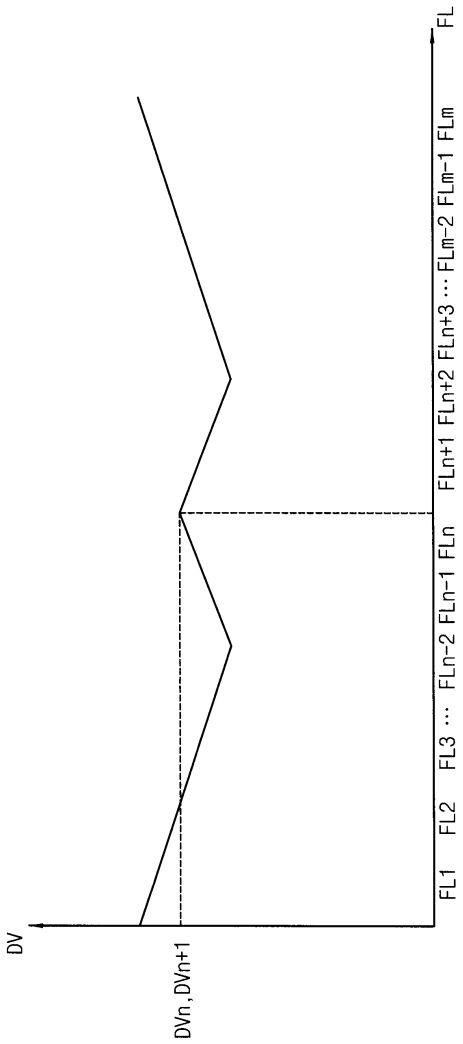
도면2



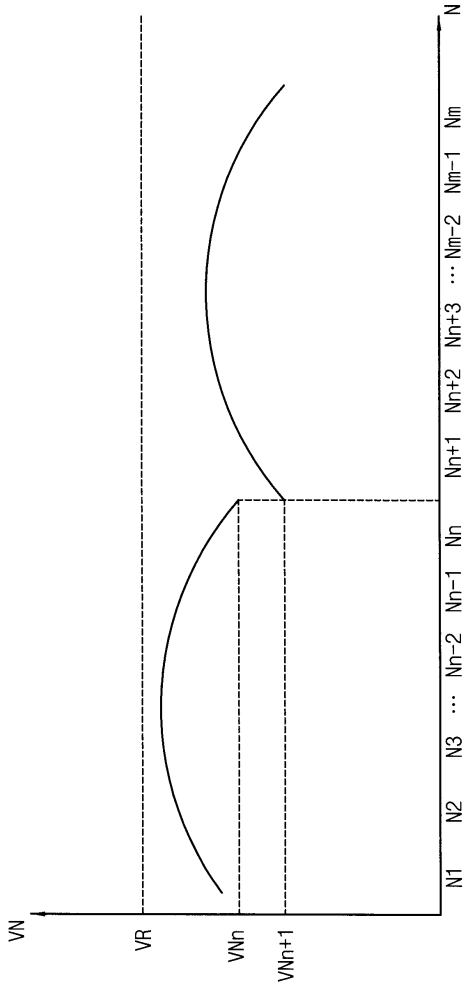
도면3


FL1
FL2
FL3
FLn-2
FLn-1
FLn
DML1
DML2
FLn+1
FLn+2
FLn+3
FLm-2
FLm-1
FLm
N1
N2
N3
Nn-2
Nn-1
Nn
Nn+1
Nn+2
Nn+3
Nm-2
Nm-1
Nm
DL1
DL2
DL3
DLn-2
DLn-1
DLn
DLn+1
DLn+2
DLn+3
DLm-2
DLm-1
DLm
D1
D2

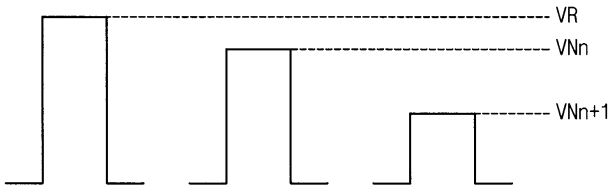
도면4a


DV
DVn,DVn+1
FL
FL1
FL2
FL3 … FLn-2 FLn-1 FLn
FLn+1 FLn+2 FLn+3 … FLm-2 FLm-1 FLm

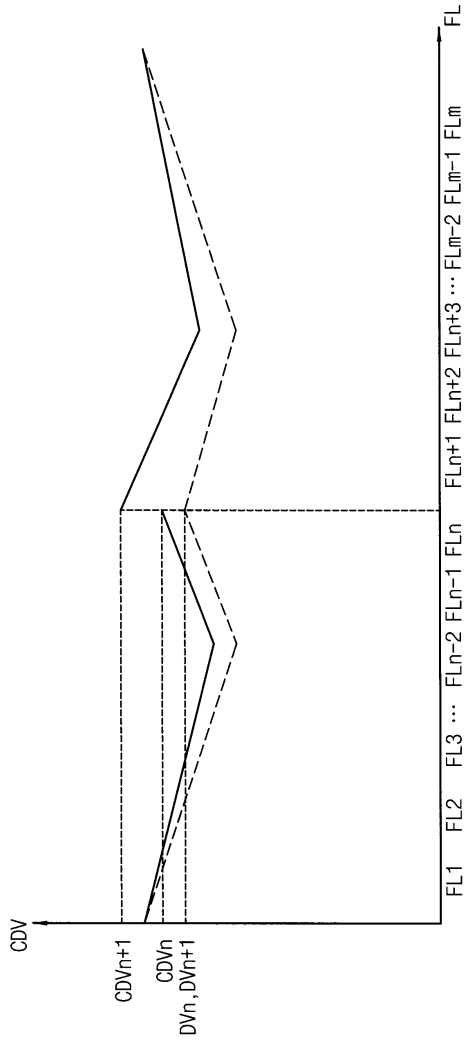
도면4b


N
Nm
Nm-1
Nm-2
...
Nn+3
Nn+2
Nn+1
Nn
Nn-1
Nn-2
...
N3
N2
N1
VN
VR
VNn
VNn+1

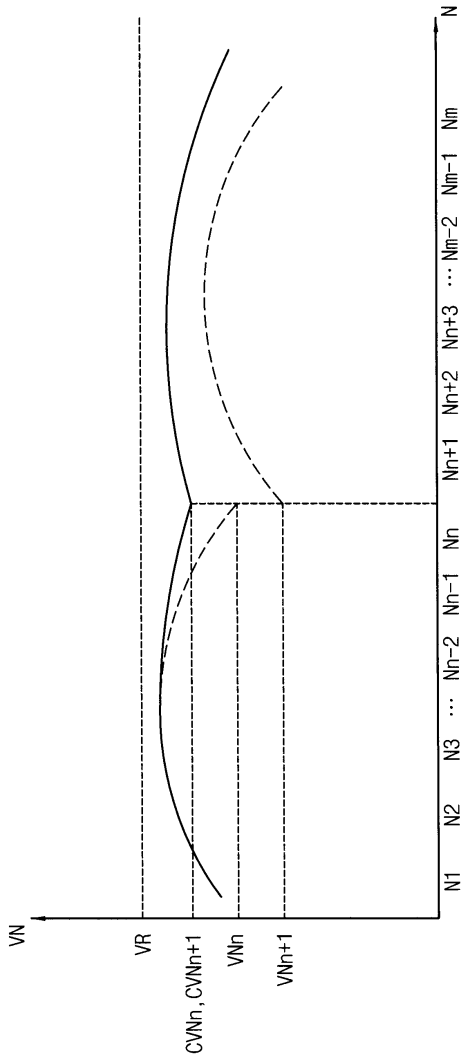
도면4c


VR
VNn
VNn+1

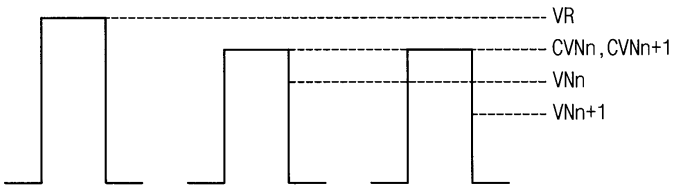
도면5a


FL
FL1 FL2 FL3 … FLn-2 FLn-1 FLn FLn+1 FLn+2 FLn+3 … FLm-2 FLm-1 FLm
CDV
CDVn+1
CDVn
DVn,DVn+1

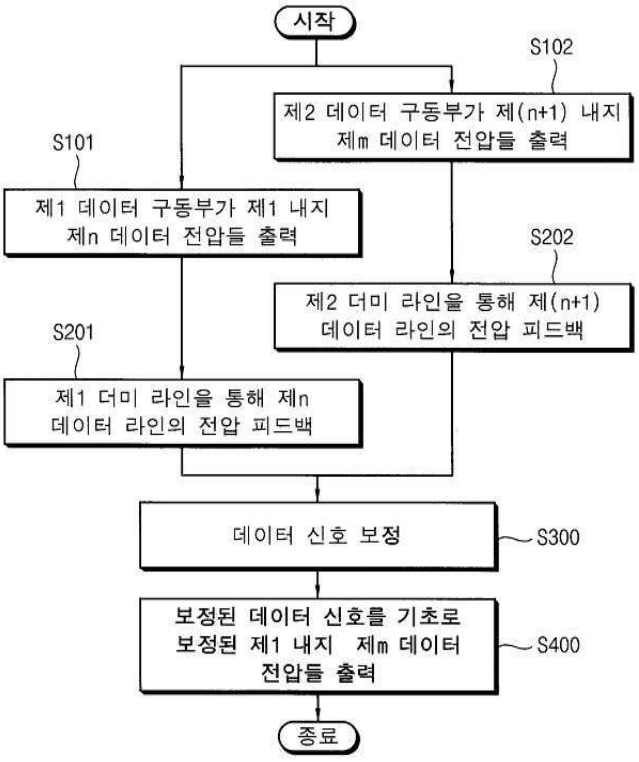
도면5b


N
Nm
Nm-1
Nm-2 ··· Nn+3
Nn+2
Nn+1
Nn
Nn-1
Nn-2 ··· N3
N2
N1
VN
VR
CVNn, CVNn+1
VNn
VNn+1

도면5c


VR
CVNn, CVNn+1
VNn
VNn+1

도면6a


시작
S102
제2 데이터 구동부가 제(n+1) 내지 제m 데이터 전압들 출력
S101
제1 데이터 구동부가 제1 내지 제n 데이터 전압들 출력
S202
제2 더미 라인을 통해 제(n+1) 데이터 라인의 전압 피드백
S201
제1 더미 라인을 통해 제n 데이터 라인의 전압 피드백
데이터 신호 보정
S300
보정된 데이터 신호를 기초로 보정된 제1 내지 제m 데이터 전압들 출력
S400
종료

도면6b

제n 데이터 라인의 전압, 제(n+1) 데이터 라인의 전압 및 기준 전압 비교
S310
제n 데이터 라인 및 제(n+1) 데이터 라인에 대응하는 데이터 신호 보정
S320
제n 데이터 라인의 및 제(n+1) 데이터 라인에 인접하는 순서대로 단계적으로 데이터 신호 보정
S330