

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-316108  
(P2005-316108A)

(43) 公開日 平成17年11月10日(2005. 11. 10)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
<b>G09G 3/22</b>	G09G 3/22 H	5C058
<b>G09G 3/20</b>	G09G 3/20 612K	5C080
<b>H04N 5/68</b>	G09G 3/20 612U	
	G09G 3/20 641A	
	G09G 3/20 641P	

審査請求 未請求 請求項の数 10 O L (全 10 頁) 最終頁に続く

(21) 出願番号	特願2004-133650 (P2004-133650)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成16年4月28日 (2004. 4. 28)	(71) 出願人	000221339 東芝電子エンジニアリング株式会社 神奈川県横浜市磯子区新杉田町8番地
		(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊

最終頁に続く

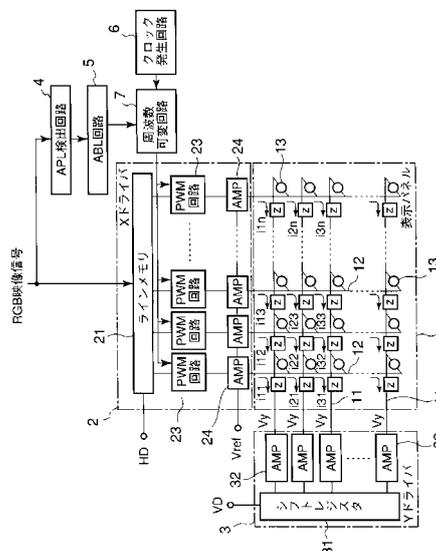
(54) 【発明の名称】 平面表示装置および表示制御回路

(57) 【要約】

【課題】本発明は、高輝度部分の面積が多いパターンについて全体の輝度を下げる調整を行っているときにおいても映像信号の階調を減少させることなく常に高品位の画像を表示できる表示装置の駆動回路および平面表示装置を提供することを課題とする。

【解決手段】PWM回路23は、ABL回路5が動作していないとき、クロック発生回路6のクロックパルスに従うパルス幅のパルス信号を出力し、ABL回路5が動作しているとき、その調整に応じて周波数を高くしたクロック周波数可変回路7からのクロックパルスに従うパルス幅のパルス信号を出力する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

複数の走査線と、前記複数の走査線に交差する複数の信号線と、前記複数の走査線および前記複数の信号線との交差位置に配置され各々一對の走査線および信号線間の電圧に対応して駆動される複数の表示画素と、前記複数の走査線を順次駆動する走査線ドライバと、前記走査線ドライバによって前記複数の走査線の各々が駆動される間に映像信号の階調レベルに対応するパルス幅の駆動信号により前記複数の信号線を駆動する信号線ドライバと、前記映像信号の平均階調レベルを検出する検出回路と、前記複数の信号線に対して前記信号線ドライバから得られる駆動信号のパルス幅を前記映像信号の平均階調レベルに基づいて一律に調整する制御回路とを具備したことを特徴とする平面表示装置。

10

## 【請求項 2】

前記制御回路は前記駆動信号を生成するためのクロックパルスをもとに周波数変換して前記駆動信号のパルス幅を調整するクロック周波数可変制御手段を備える請求項 1 記載の平面表示装置。

## 【請求項 3】

前記制御回路は前記映像信号の平均階調レベルが所定値を超えたとき前記駆動信号のパルス幅を一定の割合で狭める手段を含む請求項 1 または 2 記載の平面表示装置。

## 【請求項 4】

前記検出回路は所定フレーム分の映像信号の平均レベルを検出するように構成される請求項 1 乃至 3 記載の平面表示装置。

20

## 【請求項 5】

前記検出回路は所定ライン分の映像信号の平均レベルを検出するように構成される請求項 1 乃至 3 記載の平面表示装置。

## 【請求項 6】

前記検出回路は所定画素数分の映像信号のレベルを検出するように構成される請求項 1 乃至 3 記載の平面表示装置。

## 【請求項 7】

前記検出回路は画面の所定領域に対応した表示画素に対する映像信号の平均レベルを検出するように構成される請求項 1 乃至 3 記載の平面表示装置。

## 【請求項 8】

複数の走査線と、前記複数の走査線に交差する複数の信号線と、前記複数の走査線および前記複数の信号線との交差位置に配置され各々一對の走査線および信号線間の電圧に対応して駆動される複数の表示画素と、前記複数の走査線を順次駆動する走査線ドライバと、前記走査線ドライバによって前記複数の走査線の各々が駆動される間に映像信号の階調レベルに対応するパルス幅の駆動信号により前記複数の信号線を駆動する信号線ドライバとを備える平面表示装置の表示制御回路であって、前記映像信号の平均階調レベルを検出する検出回路と、前記複数の信号線に対して前記信号線ドライバから得られる駆動信号のパルス幅を前記映像信号の平均階調レベルに基づいて一律に調整する制御回路とを具備したことを特徴とする表示制御回路。

30

## 【請求項 9】

前記制御回路は前記駆動信号を生成するためのクロックパルスをもとに周波数可変制御して前記駆動信号のパルス幅を調整する回路を備える請求項 8 記載の表示制御回路。

40

## 【請求項 10】

前記制御回路は前記映像信号の平均階調レベルが所定値を超えると前記駆動信号のパルス幅を一定の割合で狭める手段を含む請求項 8 または 9 記載の表示制御回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は複数の表示画素が例えば表面伝導型電子放出素子を用いて構成されるフィール

50

ド・エミッション・ディスプレイ ( F E D ) のような表示装置を対象とした平面表示装置および表示制御回路に関する。

【背景技術】

【0002】

F E D は、一般に、表示パネルと、この表示パネルを駆動する駆動回路とを備える。表示パネルは、横 ( 水平 ) 方向に配置された複数の走査線、これら走査線に交差して縦 ( 垂直 ) 方向に配置された複数の信号線、並びにこれら走査線および信号線の交差位置に配置される複数の表示画素を含む。カラー表示用の表示パネルでは、例えば水平方向において隣接する 3 個の表示画素がカラー表示画素として用いられる。各表示画素は表面伝導型電子放出素子およびこの電子放出素子から放出される電子ビームにより発光する赤 ( R )、

10

【0003】

駆動回路は複数の走査線の一端に接続される Y ドライバと、複数の信号線の一端に接続される X ドライバを含む。Y ドライバは走査信号を用いて複数の走査線を順次駆動し、X ドライバは各走査線が駆動される間に映像信号の階調レベルに対応したパルス幅の駆動信号により複数の信号線を駆動する。各表示画素は対応信号線および対応走査線間の画素電圧に対応した輝度で発光する。

【0004】

上記 X ドライバには、入力された映像信号をバッファ記憶するラインメモリと、上記信号線に対応して設けられ、上記ラインメモリにバッファ記憶された前記映像信号の階調レベルに対応したパルス幅の信号を発生するパルス幅変調 ( P W M ) 回路と、この P W M 回路より発生されたパルス信号を増幅し、当該パルス信号のパルス幅だけ駆動信号 ( V ref ) を対応する信号線に出力する出力バッファアンプとが設けられる。

20

【0005】

また上記 X ドライバを駆動制御する映像処理回路には、上記各 P W M 回路に動作クロックを供給するクロック発生回路と、フレーム毎等の映像信号レベルの平均を検出する A P L 検出回路と、高輝度部分の面積が多いパターンについて上記 P W M 回路に入力される映像信号を上記 A P L 検出回路の出力値に応じ予め下げ、全体の輝度を下げる A B L 回路とが設けられる。

【0006】

上記 P W M 回路は、水平ラインにおいて各画素に 1 つずつ設けられ、クロック発生回路が生成したクロック信号に基づいて、ラインメモリに入力された映像データをそれぞれの画素毎にパルス変調し、画素毎の映像信号レベルに比例したパルス幅の信号を出力する。

30

【0007】

これらの映像信号に応じたパルスを出力バッファアンプを介し各信号線に出力している期間に、Y ドライバから出力された負のパルス ( V yon ) が水平ラインの横 1 列の複数個 ( 例えば 3 0 7 2 個 ) の表面伝導型放出素子に V ref + V yon の振幅が映像の明るさに応じた長さ分加わり、その時間発光することになる。これにより、1 水平走査分の映像が表示される。

【0008】

A B L 回路は、高輝度部分の面積が多いパターンについて、上記 P W M 回路に入力される映像信号を A P L 検出回路の出力値に応じて予め下げ、全体の輝度を下げる輝度調整制御を行う。

40

【0009】

以上の構成および動作によって映像信号をパルス幅に比例した明るさで表示することが可能となるが、従来では以下のような問題があった。

【0010】

上記 A B L 回路は上記輝度低減制御において映像信号を加工してレベルを下げることで画面全体の輝度を下げる調整 ( 輝度補正 ) を行っている。従って上記 A B L 回路が輝度を下げる調整制御を行っているとき、映像信号の階調が減少するという問題が発生する。こ

50

れは、ABL回路の輝度調整量が大きくなればなるほど階調が減少してしまう。簡単な具体例を挙げると、映像信号の分解能を例えば4ビット(16階調)としたとき(実際は8~10ビット程度)、ABL回路で輝度を半分に調整(制限)すると、0階調目のレベルは「0」が「0」に、1階調目のレベルは「1」が「0.5」に、2階調目のレベルは「2」が「1」に、3階調目のレベルは「3」が「1.5」に、...、15階調目のレベルは「15」が「7.5」にそれぞれ半分のレベルになるが、この回路動作はデジタル処理で行っているため小数点以下は切り捨てられる。よって、各階調について、0階調目のレベルは「0」、1階調目のレベルは同じく「0」、2階調目のレベルは「1」、3階調目のレベルは同じく「1」、...、15階調目のレベルは「7」になり、奇数階調が1つ手前の偶数階調のレベルと同じになってしまい、その結果、階調が半分に減少してしまう(図3 (b)参照)。上記した一例では、輝度を半分にする場合について説明したが、更に輝度を減少(制限)させると階調も更に減少する。従って例えば分解能が10ビット(1024階調)の映像信号を入力した場合も上記同様に階調が減少してしまい、本来の分解能による階調表示が損なわれるという問題が生じる。

10

【特許文献1】特開2002-221933号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

上述したように、従来では、高輝度部分の面積が多いパターンについて全体の輝度を下げる調整を行っているとき、その調整に応じて映像信号の階調が減少するという問題があった。

20

【0012】

本発明は上記実情に鑑みなされたもので、高輝度部分の面積が多いパターンについて全体の輝度を下げる調整を行っているときにおいても映像信号の階調を減少させることなく常に高品位の画像を表示できる平面表示装置および表示制御回路を提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明によれば、複数の走査線と、前記複数の走査線に交差する複数の信号線と、前記複数の走査線および前記複数の信号線との交差位置に配置され各々一対の走査線および信号線間の電圧に対応して駆動される複数の表示画素と、前記複数の走査線を順次駆動する走査線ドライバと、前記走査線ドライバによって前記複数の走査線の各々が駆動される間に映像信号の階調レベルに対応するパルス幅の駆動信号により前記複数の信号線を駆動する信号線ドライバと、前記映像信号の平均階調レベルを検出する検出回路と、前記複数の信号線に対して前記信号線ドライバから得られる駆動信号のパルス幅を前記映像信号の平均階調レベルに基づいて一律に調整する制御回路とを具備した平面表示装置が提供される。

30

【0014】

本発明によれば、複数の走査線と、前記複数の走査線に交差する複数の信号線と、前記複数の走査線および前記複数の信号線との交差位置に配置され各々一対の走査線および信号線間の電圧に対応して駆動される複数の表示画素と、前記複数の走査線を順次駆動する走査線ドライバと、前記走査線ドライバによって前記複数の走査線の各々が駆動される間に映像信号の階調レベルに対応するパルス幅の駆動信号により前記複数の信号線を駆動する信号線ドライバとを備える平面表示装置の表示制御回路であって、前記映像信号の平均階調レベルを検出する検出回路と、前記複数の信号線に対して前記信号線ドライバから得られる駆動信号のパルス幅を前記映像信号の平均階調レベルに基づいて一律に調整する制御回路とを具備した表示制御回路が提供される。

40

【発明の効果】

【0015】

高輝度部分の面積が多いパターンについて全体の輝度を下げる調整を行っているときに

50

おいても映像信号の階調を減少させることなく常に高品位の画像を表示できる。

【発明を実施するための最良の形態】

【0016】

以下図面を参照して本発明の実施形態を説明する。

図1に本発明の実施形態に係る平面表示装置およびその表示制御回路の構成を示している。この実施形態では、平面表示装置として、例えばカラー表示画素数が横：縦 = 1280：720という720PハイビジョンXGA解像度を持つフィールド・エミッション・ディスプレイ(FED)装置を例に採る。

【0017】

図1において、平面表示装置は、表示パネル1、Xドライバ2、Yドライバ3、およびXドライバ2を駆動制御する制御回路(4~7)を備える。 10

【0018】

これら各構成要素のうち、表示パネル1は、表面伝導型放出素子をマトリクス配置したフラットタイプのディスプレイパネルを構成するもので、横方向に配置された複数の走査線11, 11, ..., 11と、この各走査線11, 11, ..., 11に交差する縦方向に配置された複数の信号線12, 12, ..., 12と、これらの各走査線11, 11, ..., 11と各信号線12, 12, ..., 12との交差位置にそれぞれ配置(マトリクス配置)された表面伝導型放出素子13, 13, ..., 13とを有する。

【0019】

上記走査線11, 11, ..., 11は、例えばパーソナルコンピュータに於けるXGA解像度用の場合、768本必要となる。また上記信号線12, 12, ..., 12は、上記XGA解像度用の場合、1024×3倍(R, G, B)の計3072本必要となる。ここでは上記走査線11, 11, ..., 11をm本、上記信号線12, 12, ..., 12をn本とする。 20

【0020】

表面伝導型放出素子13, 13, ..., 13は、信号線12, 12, ..., 12と走査線11, 11, ..., 11に加わった電位がスレッシュホールドを越えると放電が起き、蛍光体を励起して発光する。赤、緑、青(R, G, B)の蛍光体を交互に配することで、カラー表示が可能となる。尚、図中のiは、表面伝導型放出素子13が放電した際に流れる放電電流、Vyは表面伝導型放出素子13に加えるYドライバ3の出力電圧、zは線間容量及び抵抗等の分布定数である。 30

【0021】

Xドライバ2は、ラインメモリ21と、信号線12, 12, ..., 12の駆動信号発生部を構成するPWM回路23, 23, ..., 23、および出力バッファアンプ(AMP)24, 24, ..., 24とを有する。

【0022】

ラインメモリ21は、表示情報として外部から入力される映像信号を水平同期信号HDに同期して1水平ラインずつサンプリングし保持する。

【0023】

PWM回路23, 23, ..., 23は、それぞれ後述するクロック周波数可変回路7を介して入力された動作用クロックパルスに基づいて、上記ラインメモリ21に保持された対応する画素の映像信号の階調レベルに従うパルス幅のパルス信号を生成し出力する。 40

【0024】

出力バッファアンプ24, 24, ..., 24は、対応するPWM回路23, 23, ..., 23からのパルス信号のパルス幅に等しい期間だけ駆動用基準電圧端子に供給された電圧Vrefを信号線12, 12, ..., 12に駆動信号として出力する。

【0025】

Yドライバ3は、シフトレジスタ31と、出力バッファアンプ(AMP)32, 32, ..., 32とを有する。

シフトレジスタ31は、垂直同期信号VDを1水平走査期間毎にシフトして、m個の出 50

力端の1つから順に走査信号を出力する。出力バッファアンプ (AMP) 32, 32, ... , 32 は、シフトレジスタ 31 の m 個の出力端から走査信号として出力されるパルスにそれぞれ応答して、負の走査信号  $V_y$  を 1 水平走査期間ずつ対応する走査線 11 に出力する。

【0026】

上記 X ドライバ 2 を駆動制御する制御回路は、APL 検出回路 (平均検出回路) 4 と、ABL 回路 (調整回路) 5 と、クロック発生回路 6 と、クロック周波数可変回路 7 とを有する。

【0027】

APL 検出回路 4 は、例えば 1 フレーム分の RGB 映像信号のレベルを合計してその平均レベルを検出する。 10

ABL 回路 5 は、上記 APL 検出回路 4 によって検出された平均レベルが所定値を超えたとき、クロック周波数可変回路 7 を制御して、PWM 回路 23, 23, ... , 23 が生成するパルス信号のパルス幅を狭めるように PWM 回路 23, 23, ... , 23 に供給されるクロックパルスの周波数を切替制御し、高輝度部分の面積が多い画像パターンについて輝度を一律に低下させる輝度調整を行う。

【0028】

クロック発生回路 6 は、PWM 回路 23, 23, ... , 23 のパルス幅制御の基準となる一定周波数の動作クロックパルスを生成する。このクロック発生回路 6 は、上記 PWM 回路 23, 23, ... , 23 が、1 水平期間を超えない範囲のパルス幅を映像信号レベルの最大値として、予め定めた分解能に従う階調表現が可能なパルス幅 (例えば上記最大値が 1023 であれば 1 水平表示期間を 1023 で割った値のパルス幅) のパルス信号が得られるように設定した一定周波数のクロックパルスを PWM 用の動作クロックパルスとして生成し出力する。 20

【0029】

クロック周波数可変回路 7 は上記平均レベルが所定値を超えた際の上記 ABL 回路 5 の輝度調整動作に従い、上記 PWM 回路 23, 23, ... , 23 が生成するパルス信号のパルス幅を狭めるようにクロック発生回路 6 から出力されたクロックパルスを周波数変換して PWM 回路 23, 23, ... , 23 に供給する。

【0030】

図 2 は上記クロック周波数可変回路 7、および PWM 回路 23 の動作を説明するための 1 水平走査期間に於ける各部のタイムチャートである。図 2 (a) は X ドライバ 2 のラインメモリ 21 に供給される水平同期信号 HD を示している。図 2 (b) は ABL 回路 5 が輝度を低減する調整を行っていないとき (ABL 回路 5 の非動作時) に、PWM 回路 23 に供給される動作クロックパルス CLK と、その動作クロックパルス CLK に基づいて PWM 回路 23 から出力される各映像信号レベルでのパルス信号のパルス幅を示している。ここでは映像信号レベルが 1、2、n、1023 (= 最大値) のときの各 CLK 相当分のパルス幅のパルス信号を示している。図 2 (c) は ABL 回路 5 が輝度を低減する調整を行っているとき (ABL 回路 5 の動作時) に、PWM 回路 23 に供給される動作クロックパルス CLK と、その動作クロックパルス CLK に基づいて PWM 回路 23 から出力される各種映像信号レベル (1、2、n、1023) でのパルス信号のパルス幅を示している。 30 40

【0031】

上記クロック周波数可変回路 7 は、上記 ABL 回路 5 が輝度を低減する調整を行っていないとき (ABL 回路 5 の非動作時)、クロック発生回路 6 から出力されるクロックパルスを周波数変換せず、そのまま出力する。このときの PWM 回路 23 に供給される動作クロックパルス CLK を図 2 (b) に示している。この際、PWM 回路 23 は、上記図 2 (b) に示す動作クロックパルス CLK に基づいて、映像信号レベルが「1」であるとき、上記動作クロックパルス CLK の 1 周期分のパルス幅をもつ  $V_{ref}$  電位のパルス信号を出力する。また映像信号レベルが「2」であるとき上記動作クロックパルス CLK の 50

2周期分のパルス幅をもつV<sub>ref</sub>電位のパルス信号を出力し、映像信号レベルが「n」であるとき上記動作クロックパルスCLKのn周期分のパルス幅をもつV<sub>ref</sub>電位のパルス信号を出力し、映像信号レベルが「1023」（＝最大値）であるとき上記動作クロックパルスCLKの1023周期分のパルス幅をもつV<sub>ref</sub>電位のパルス信号を出力する。

#### 【0032】

また、上記クロック周波数可変回路7は、上記ABL回路5が輝度を低減する調整を行っているとき（ABL回路5の動作時）、クロック発生回路6から出力されるクロックパルスをその調整した補正量に応じて周波数が高くなるように周波数変換して出力する。このときのPWM回路23に供給される動作クロックパルスCLKを図2（c）に示している。この際、PWM回路23は、上記図2（c）に示す動作クロックパルスCLKに基づいて、映像信号レベルが「1」であるとき上記動作クロックパルスCLKの1周期分のパルス幅をもつV<sub>ref</sub>電位のパルス信号を出力する。また映像信号レベルが「2」であるとき上記動作クロックパルスCLKの2周期分のパルス幅をもつV<sub>ref</sub>電位のパルス信号を出力し、映像信号レベルが「n」であるとき上記動作クロックパルスCLKのn周期分のパルス幅をもつV<sub>ref</sub>電位のパルス信号を出力し、映像信号レベルが「1023（＝最大値）」であるとき上記動作クロックパルスCLKの1023周期分のパルス幅をもつV<sub>ref</sub>電位のパルス信号を出力する。

10

#### 【0033】

このように、クロック周波数可変回路7は、ABL回路5が輝度を低減する調整を行っていないとき（ABL回路5の非動作時）、クロック発生回路6から出力されるクロックパルスを周波数変換せずにそのまま出力し、ABL回路5が輝度を低減する調整を行っているとき（ABL回路5の動作時）、クロック発生回路6から出力されるクロックパルスをその調整した補正量に応じて周波数が高くなるように周波数変換して出力する。これによって、上記各PWM回路23, 23, ..., 23は、ABL回路5が動作していないとき、図2（b）に示すように、クロック発生回路6のクロックパルスに従うパルス幅のパルス信号を出力し、ABL回路5が動作しているとき、図2（c）に示すように、ABL回路5が調整した補正量に応じて周波数を高くしたクロック周波数可変回路7からのクロックパルスに従うパルス幅のパルス信号を出力する。従って上記ABL回路5が輝度を低減する調整を行っている場合（輝度を絞っているとき）も、上記ABL回路5が輝度を低減する調整を行っていない場合（輝度を絞っていないとき）と同様の階調表示を維持することができる。これにより、予め定めた映像信号の分解能に従う階調表示を保ちつつABL回路5による輝度制限が可能となる。

20

30

#### 【0034】

図3は上記実施形態に於けるPWM回路のクロック周波数可変機能をもつ構成に於ける階調制御を、クロック周波数可変機能をもたない構成での階調制御と対比して示したもので、図3（a）はABL回路5の非動作時に於ける映像信号のレベル変化（0, 1, 2, ...）に伴うXドライバ2の出力パルス幅を示している。図3（b）はクロック周波数可変機能をもたない場合のABL回路5の動作時に於ける映像信号のレベル変化（0, 1, 2, ...）に伴うXドライバ2の出力パルス幅を示している。この際は、上述したようにABL回路5の調整による補正量が多くなる程、階調が減少する。図3（c）はクロック周波数可変機能を働かせた場合のABL回路5の動作時に於ける映像信号のレベル変化（0, 1, 2, ...）に伴うXドライバ2の出力パルス幅を示している。この際は、図3（a）に示した映像信号レベルに対して各レベルでの可変量が変化しただけで階調数は変化しない。従って分解能により定まる階調を減少させることなくABL回路5の動作で輝度を低下させることができ、高品位の画面制御が可能となる。

40

#### 【0035】

尚、上述の実施形態では、APL検出回路4がフレーム毎の映像信号についてその平均レベルを検出し、ABL回路5がその検出レベルに基づいて映像信号レベルを調整し、クロック周波数可変回路7がその調整に従ってPWM回路23, 23, ..., 23に供給され

50

るクロック周波数を可変制御しているが、例えば、複数フレーム分、所定のライン分、所定の画素数分等の映像信号のレベルに基づいてPWM回路23, 23, ..., 23に供給されるクロックパルスの周波数を可変制御する構成であってもよい。

【図面の簡単な説明】

【0036】

【図1】本発明の実施形態に係る表示装置の駆動回路および平面表示装置の構成を示すブロック図。

【図2】本発明の実施形態に係る要部の動作を説明するためのタイムチャート。

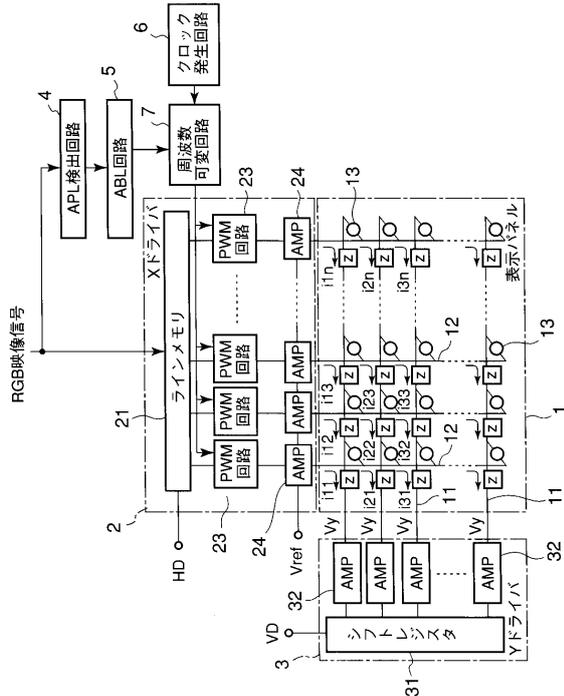
【図3】本発明の実施形態に係る階調制御をクロック周波数可変機能をもたない場合の階調制御と対比して示す図。

【符号の説明】

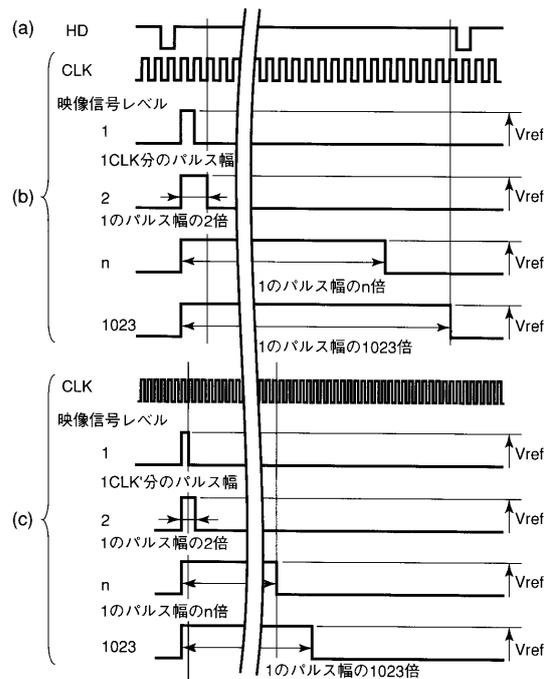
【0037】

1...表示パネル、2...Xドライバ、3...Yドライバ、4...APL検出回路(平均検出回路)、5...ABL回路(調整回路)、6...クロック発生回路、7...クロック周波数可変回路、11...走査線、12...信号線、13...表面伝導型放出素子、21...ラインメモリ、23...PWM回路、24...出力バッファアンプ(AMP)、31...シフトレジスタ、32...出力バッファアンプ(AMP)。

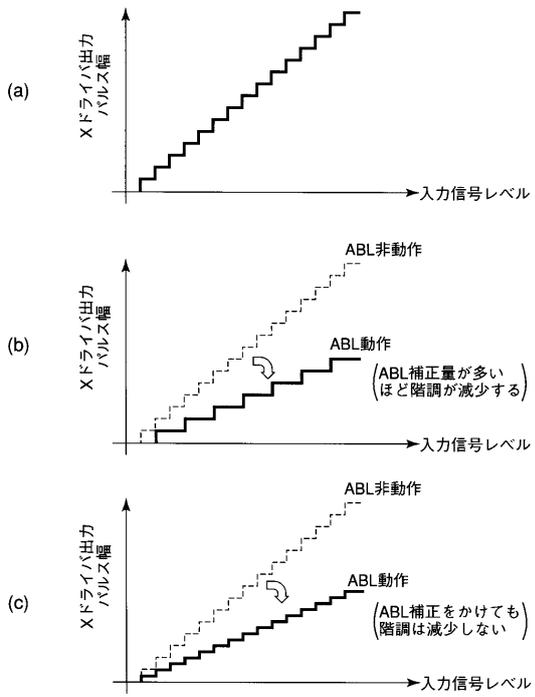
【図1】



【図2】



【 図 3 】



---

フロントページの続き

(51)Int.Cl.<sup>7</sup> F I テーマコード(参考)  
H 0 4 N 5/68 B

(74)代理人 100084618  
弁理士 村松 貞男

(74)代理人 100092196  
弁理士 橋本 良郎

(72)発明者 山田 智  
神奈川県横浜市磯子区新杉田町8番地 東芝電子エンジニアリング株式会社内

Fターム(参考) 5C058 AA18 BA05 BA07 BB03  
5C080 AA18 BB05 DD01 EE29 FF12 GG09 JJ02 JJ04 JJ05