

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-102990

(P2011-102990A)

(43) 公開日 平成23年5月26日(2011.5.26)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1345 (2006.01)	G02F 1/1345	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	5F110
H01L 21/336 (2006.01)	H01L 29/78 612D	
H01L 29/786 (2006.01)		

審査請求 有 請求項の数 4 O L (全 17 頁)

(21) 出願番号 特願2010-280075 (P2010-280075)
 (22) 出願日 平成22年12月16日 (2010.12.16)
 (62) 分割の表示 特願平11-310423の分割
 原出願日 平成11年10月29日 (1999.10.29)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100101214
 弁理士 森岡 正樹
 (72) 発明者 堀田 和重
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 渡部 卓哉
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 土井 誠児
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

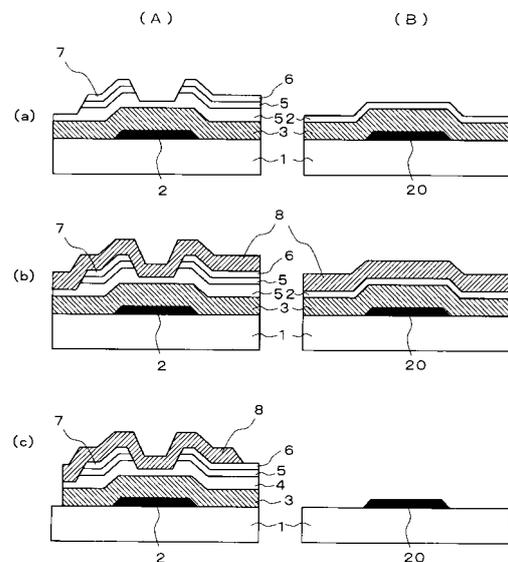
(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】

【課題】本発明は、薄膜トランジスタをスイッチング素子として備えたアクティブマトリクス型の液晶表示装置の製造方法に関し、製造コストを低減させることができる液晶表示装置の製造方法を提供することを目的とする。

【解決手段】透明絶縁基板1上に金属薄膜を成膜し、第1のマスクを用いてエッチングによりゲートバスライン2を形成する工程と、ゲート絶縁膜3と、動作半導体層4と、ソース/ドレイン電極6、7形成用金属薄膜とを積層し、第2のマスクを用いてソース/ドレイン電極形状に動作半導体層4の一部まで一括エッチングする工程と、第3のマスクを用いてエッチングにより、動作半導体層4を画素領域毎に分離すると同時に、ゲートバスライン2の外部接続端子20上部を開口する工程とを有するように構成する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数の画素領域のそれぞれに薄膜トランジスタが形成された液晶表示装置の製造方法において、

前記薄膜トランジスタの動作半導体層を前記画素領域毎に分離すると同時に、前記薄膜トランジスタに接続するバスラインの外部接続端子の上部を開口すること

を特徴とする液晶表示装置の製造方法。

【請求項 2】

請求項 1 記載の液晶表示装置の製造方法において、

透明絶縁基板の上に金属薄膜を成膜し、第 1 のマスクを用いてエッチングによりゲートバスラインを形成する工程と、

ゲート絶縁膜と、前記動作半導体層と、ソース/ドレイン電極形成用金属薄膜とを積層し、第 2 のマスクを用いてソース/ドレイン電極形状に前記動作半導体層の一部まで一括エッチングする工程と、

第 3 のマスクを用いてエッチングにより、前記動作半導体層を前記画素領域毎に分離すると同時に、前記バスラインの前記外部接続端子の上部を開口する工程と

を有することを特徴とする液晶表示装置の製造方法。

【請求項 3】

請求項 1 記載の液晶表示装置の製造方法において、

透明絶縁基板の上に金属薄膜と、ゲート絶縁膜と、前記動作半導体層とを成膜し、第 1 のマスクを用いてゲートバスライン形状に一括エッチングする工程と、

少なくともゲートバスラインの側壁に絶縁膜を形成する工程と、

ソース/ドレイン電極形成用金属薄膜を成膜し、第 2 のマスクを用いてソース/ドレイン電極形状に前記動作半導体層の一部まで一括エッチングする工程と、

第 3 のマスクを用いてエッチングにより、前記動作半導体層を前記画素領域毎に分離すると同時に、前記バスラインの前記外部接続端子の上部を開口する工程と

を有することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置 (Liquid Crystal Display) の製造方法に関し、特に、薄膜トランジスタ (Thin Film Transistor: 以下、TFT という) をスイッチング素子として備えたアクティブマトリクス型の液晶表示装置の製造方法に関する。

【背景技術】

【0002】

液晶表示装置は、軽量かつ薄型で低消費電力であること等の特徴を有し、携帯端末やビデオカメラのファインダ、ノートパソコンの表示装置等幅広い分野に応用されている。その中でもアクティブマトリクス型の液晶表示装置は、高品質かつ高精細な画像表示ができるためコンピュータ等における大型の表示装置として用いられている。今後、ますますアクティブマトリクス型の液晶表示装置の需要が高まるなかで、低コストかつ生産能力の高い液晶表示装置の製造方法の確立が求められている。

【0003】

このアクティブマトリクス型の液晶表示装置は、縦電界方式と横電界方式の駆動方式に大別される。縦電界方式の液晶表示装置は、TFT 及び画素電極が形成されたアレイ基板と共通電極が形成された対向基板との間に液晶を封入してあり、液晶層を挟む電極間に電圧が印加されると基板面にほぼ垂直な方向に電界が生じるようになっている。一方、横電界方式の液晶表示装置は、TFT および画素電極と共に共通電極もアレイ基板側に形成されており、電極間に電圧が印加されると、アレイ基板と対向基板との間に封止された液晶層には基板面にほぼ平行な方向に電界が生じるようになっている。

10

20

30

40

50

【 0 0 0 4 】

従来の縦電界方式のアクティブマトリクス型の液晶表示装置に用いられるTFTについて図11を用いて説明する。図11はTFTが形成された透明絶縁性基板の基板面に垂直な面で切断したTFTの断面構造を示している。

【 0 0 0 5 】

TFTは、透明絶縁基板（透明ガラス基板）1上に形成されたゲート電極（ゲートバスライン）2を有している。ゲート電極2及び透明絶縁基板1上には例えばSiNx（窒化シリコン）からなるゲート絶縁膜3が形成されている。ゲート絶縁膜3上には例えばアモルファスシリコン（以下、a-Siと略記する）からなる動作半導体層4が形成されている。ゲート電極2上の動作半導体層4の両側には、対向するエッジ部を動作半導体層5上 10
に乗り上げて不純物半導体層（オーミックコンタクト層）5及びソース電極6、ドレイン電極7が形成されている。ソース/ドレイン電極6、7上及びソース/ドレイン電極6、7の対向するエッジ部に露出した動作半導体層4上に保護膜（パッシベーション膜）8が形成されている。ソース電極6上の保護膜8にコンタクトホールが形成され、保護膜8上に形成された画素電極9がコンタクトホールを介してソース電極6に接続されている。

【 0 0 0 6 】

図11に示したTFTは動作半導体層4となるa-Si膜上部の一部をエッチングすることから、チャンネルエッチ型TFTと呼ばれる。次に、この従来のチャンネルエッチ型TFTを有する液晶表示装置の製造方法について図12及び図13を用いて説明する。図12 20
及び図13において、(A)列はTFTの形成領域を示し、(B)列はゲートバスラインの外部接続端子の形成領域を示している。

【 0 0 0 7 】

まず、図12(a)に示すように、透明絶縁基板1上に金属薄膜50を成膜する。次にレジストを全面に塗布してパターニングし、パターニングされたレジスト層をエッチングマスクにして金属薄膜50をエッチングしてゲートバスラインを形成する。この従来例ではゲートバスラインの一部をTFTのゲート電極2として利用している。また、ゲートバスライン端部には外部接続端子20が形成される(図12(b))。

【 0 0 0 8 】

レジスト層を除去した後、図12(c)に示すようにゲート絶縁膜3を基板全面に形成する。次に、ゲート絶縁膜3上に動作半導体層となるa-Si膜52及びオーミックコンタクト層となるn⁺a-Si層54をこの順に成膜する。次に全面にレジストを塗布して 30
からパターニングし、パターニングされたレジスト層をマスクとしてn⁺a-Si層54及びa-Si膜52をエッチングして各画素領域間のTFTの素子分離を行うと共に動作半導体層4を形成する(図12(d))。

【 0 0 0 9 】

次にレジスト層を除去してから金属薄膜56を全面に成膜する(図12(e))。次に、レジストを全面に塗布してソース/ドレイン電極形状にパターニングする。パターニングされたレジスト層をマスクに金属薄膜56及びn⁺a-Si層54をエッチングして、さらに動作半導体層4の上部一部をエッチングする(図12(f))。次にレジスト層を 40
除去した後、全面に保護膜8を成膜する(図13(a))。

【 0 0 1 0 】

次に、レジストを全面に塗布してからパターニングし、パターニングされたレジスト層をマスクとして保護膜8をエッチングし、ソース電極6上の保護膜8を除去してコンタクトホールを形成する。それと同時に、ゲートバスラインの外部接続端子20上の保護膜8及びゲート絶縁膜3をエッチングして開口部を形成する(図13(b))。次にレジスト層を除去してから、透明電極材料からなる画素電極形成層58を全面に成膜する(図13 40
(c))。次いで、レジストを全面に塗布してからパターニングし、パターニングされたレジスト層をマスクに画素電極形成層58をエッチングして、ソース電極6とコンタクトホールを介して接続する画素電極9を形成する。それと同時にゲートバスラインの外部接続端子20上部開口を介して外部接続端子20と接続する透明電極材料からなるパッド1 50

0 が形成される (図 1 3 (d)) 。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 1 】

ところで上記従来の縦電界方式の液晶表示装置の製造方法では、図 1 2 (b)、図 1 2 (d)、図 1 2 (f)、図 1 3 (b)、図 1 3 (d) に示す 5 つの工程毎にレジスト露光用のマスクが必要となる。そして、所定の膜の成膜工程、塗布したレジストをパターンニングするフォトリソグラフィ工程及びエッチング工程がこの 5 つの工程毎にそれぞれ必要になっている。

【 0 0 1 2 】

一方、横電界方式の液晶表示装置の製造方法は、縦電界方式の液晶表示装置の製造方法と殆ど変わるところはないが、横電界方式の場合、1枚のレジスト露光用マスクを用いたパターンニングで、データバスライン、ドレイン電極及びソース電極と共に、ソース電極と直結した画素電極を形成できる点が異なっている。従って、縦電界方式の液晶表示装置におけるアレイ基板の製造工程では5枚のレジスト露光用マスクを必要とするのに対して、横電界方式の液晶表示装置におけるアレイ基板の製造工程では、4枚のレジスト露光用マスクで済むようになる。

【 0 0 1 3 】

しかしながら、いずれの電界印加方式を用いるにしても、アクティブマトリクス型の液晶表示装置の普及に伴い、低価格で安定した液晶表示装置を市場に供給するには、製造コストのさらなる削減が重要な課題となってきた。製造コストを低減させるには、第1に液晶表示装置の製造歩留りを改善することが強く求められる。第2には液晶表示装置の製造におけるスループットを向上させることも必要である。そのためには、製造工程の簡素化を図ると共に、従来に増して高度な成膜工程やフォトリソグラフィ工程が要求されるが、高性能の製造設備を導入することにより却ってコスト増になりかねないという問題を有している。さらに現状の製造方法では、近年の液晶表示装置の高精細化、大画面化の要求の前では、製造歩留まりやスループットを飛躍的に向上させるには限度がある。また、半導体装置の製造と比較して液晶表示装置の製造においては、フォトリソグラフィ工程で使用するマスクの作製費用が高つくため、製造コスト上の課題となっているが、液晶表示装置の高精細化、大画面化の要求の前では、目をつぶらざるを得ないという問題を有している。

【 0 0 1 4 】

本発明の目的は、製造コストを低減させることができる液晶表示装置の製造方法を提供することにある。

また本発明の目的は、フォトリソグラフィ工程で使用するマスクの数を低減させることができる液晶表示装置の製造方法を提供することにある。

さらに本発明の目的は、製造工程を簡素化し且つスループットを向上させることができる液晶表示装置の製造方法を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 5 】

上記目的は、複数の画素領域のそれぞれに薄膜トランジスタが形成された液晶表示装置の製造方法において、前記薄膜トランジスタの動作半導体層を前記画素領域毎に分離すると同時に、前記薄膜トランジスタに接続するバスラインの外部接続端子の上部を開口することを特徴とする液晶表示装置の製造方法によって達成される。

【 0 0 1 6 】

上記本発明の液晶表示装置の製造方法において、透明絶縁基板上に金属薄膜を成膜し、第1のマスクを用いてエッチングによりゲートバスラインを形成する工程と、ゲート絶縁膜と、前記動作半導体層と、ソース/ドレイン電極形成用金属薄膜とを積層し、第2のマスクを用いてソース/ドレイン電極形状に前記動作半導体層の一部まで一括エッチングする工程と、第3のマスクを用いてエッチングにより、前記動作半導体層を前記画素領域毎

10

20

30

40

50

に分離すると同時に、前記バスラインの前記外部接続端子の上部を開口する工程とを有することを特徴とする。

【0017】

または、上記本発明の液晶表示装置の製造方法において、透明絶縁基板上に金属薄膜と、ゲート絶縁膜と、前記動作半導体層とを成膜し、第1のマスクを用いてゲートバスライン形状に一括エッチングする工程と、少なくともゲートバスラインの側壁に絶縁膜を形成する工程と、ソース/ドレイン電極形成用金属薄膜を成膜し、第2のマスクを用いてソース/ドレイン電極形状に前記動作半導体層の一部まで一括エッチングする工程と、第3のマスクを用いてエッチングにより、前記動作半導体層を前記画素領域毎に分離すると同時に、前記バスラインの前記外部接続端子の上部を開口する工程とを有することを特徴とする。

10

【発明の効果】

【0018】

以上の通り、本発明によれば、従来別々のレジストマスクを用いて行われていたTFTの素子分離（すなわち、動作半導体層のエッチング）とバスラインの外部接続端子上部の開口の形成を、同一のレジストマスクを用いて一括エッチングで行うことができるようにしたので、液晶表示装置の製造コストを低減させることができるようになる。

【0019】

また本発明によれば、液晶表示装置の製造工程において、フォトリソグラフィ工程で使用するマスクの数を低減させることができる。さらに本発明によれば、製造工程を簡素化し且つスループットを向上させることができる。

20

【図面の簡単な説明】

【0020】

【図1】本発明の第1の実施の形態による液晶表示装置の製造方法により製造された横電界方式の液晶表示装置の概略の構成を示す図である。

【図2】本発明の第1の実施の形態による液晶表示装置の製造工程を示す部分断面図である。

【図3】本発明の第1の実施の形態による液晶表示装置の製造工程を示す部分断面図である。

【図4】本発明の第1の実施の形態による液晶表示装置の製造工程を説明するためにアレイ基板を液晶層側から見た基板平面の一部を示す図である。

30

【図5】本発明の第1の実施の形態による液晶表示装置の製造工程を説明するためにアレイ基板を液晶層側から見た基板平面の一部を示す図である。

【図6】本発明の第2の実施の形態による液晶表示装置の製造工程を示す部分断面図である。

【図7】本発明の第2の実施の形態による液晶表示装置の製造工程を示す部分断面図である。

【図8】本発明の第2の実施の形態による液晶表示装置の製造工程を説明するためにアレイ基板を液晶層側から見た基板平面の一部を示す図である。

【図9】本発明の第2の実施の形態による液晶表示装置の製造工程を説明するためにアレイ基板を液晶層側から見た基板平面の一部を示す図である。

40

【図10】本発明の第2の実施の形態による液晶表示装置の製造工程を説明するためにアレイ基板を液晶層側から見た基板平面の一部を示す図である。

【図11】従来の液晶表示装置のTFTの概略の構成を示す部分断面図である。

【図12】従来の液晶表示装置の製造工程を示す部分断面図である。

【図13】従来の液晶表示装置の製造工程を示す部分断面図である。

【発明を実施するための形態】

【0021】

本発明の第1の実施の形態による液晶表示装置の製造方法を図1乃至図5を用いて説明する。本実施の形態では横電界方式の液晶表示装置の製造方法について説明する。初めに

50

本実施の形態による液晶表示装置の製造方法により製造された横電界方式の液晶表示装置の概略の構成を図1を用いて説明する。図1は横電界方式の液晶表示装置のアレイ基板を液晶層側から見た基板平面を示している。図1では、画素領域の図示と共に、ゲートバスラインの外部接続端子領域を途中の図示を省略して示している。図1に示すように、アレイ基板には図中上下方向に延びる複数のデータバスライン12（図1では1本のみ図示している）が形成されている。またアレイ基板には、データバスライン12に直交して図中左右方向に延びる複数のゲートバスライン2（図1では1本のみ図示している）が形成されている。これらデータバスライン12とゲートバスライン2とで画定される領域が画素領域である。

【0022】

そして、チャンネルエッチ型のTFTが各データバスライン12とゲートバスライン2との交差位置近傍に形成されている。TFTのドレイン電極7は、データバスライン12から引き出されて、その端部がゲートバスライン2上の動作半導体層4（図1では図示せず）上の一端辺側に位置するように形成されている。ソース電極6は、ドレイン電極7に対向するように動作半導体層4上の他端辺側に形成されている。このような構成において動作半導体層4直下のゲートバスライン2領域が当該TFTのゲート電極2として機能するようになっている。図示は省略しているが、ゲートバスライン2上にはゲート絶縁膜3が形成され、ゲート絶縁膜3上にはチャンネルを構成する動作半導体層4が形成されている。

【0023】

動作半導体層4はゲートバスライン2上方でゲートバスライン2に沿って形成されており、隣接する他の画素領域のTFTの動作半導体層と電氣的に分離されている。図1に示すTFT構造は、ゲート電極がゲートバスライン2から引き出されて形成されておらず、直線形状に形成されたゲートバスライン2の一部をゲート電極として用いる構成になっている。また、ソース電極6は画素領域内に直接引き回されて、図中上方から下方に延びる櫛歯状に形成された画素電極14を構成している。基板上的画素領域内には共通電極16が形成されている。この共通電極16は、櫛歯状の画素電極14に噛み合うように対向して図中下方から上方に延びる櫛歯状に成形されている。

【0024】

また、データバスライン12の一端部には外部の素子と電氣的な接続を行うための外部接続端子（図示せず）が設けられている。同様に、ゲートバスライン2の一端部には外部の素子と電氣的な接続を行う外部接続端子20が設けられている。

【0025】

次に、図1に示した液晶表示装置の製造方法について図2乃至図5を用いて説明する。なお、図2乃至図5において、図1に示した構成要素と同一の構成要素については同一の符号を付している。ここで、図2及び図3は、本実施の形態による液晶表示装置の製造工程を示す部分断面を示している。図2及び図3における（A）列は図1のA-A'線で切断したTFTの断面を示し、（B）列は図1のB-B'線で切断したゲートバスライン2の外部接続端子20の断面を示している。また、図4及び図5は、所定の製造工程時の液晶表示装置のアレイ基板を液晶層側から見た基板平面を示している。

【0026】

さて、図2に示すように、アレイ基板としての例えば厚さ0.7mmの透明絶縁基板（透明ガラス基板）1上に、例えばCr（クロム）をスパッタリング法により全面に成膜して厚さ約150nmの金属薄膜50を形成する（図2（a））。

【0027】

次に全面にレジストを塗布してから第1のレジスト露光用マスクを用いてレジストをゲートバスライン形状及び共通電極形状にパターニングする。パターニングされたレジスト層（図示せず）を第1のエッチングマスクとして、例えば硝酸系エッチャントを用いて金属薄膜50をエッチングすることにより、図2（b）及び図4に示すように、ゲートバスライン2の外部接続端子20がゲートバスライン2及び共通電極16と共に形成される。

【0028】

10

20

30

40

50

次にレジスト層を除去した後、図2(c)に示すように、例えばシリコン窒化膜(SiN)をプラズマCVD法により約400nmの厚さで基板全面に成膜してゲート絶縁膜3を形成する。次に、動作半導体層4を形成するための例えばアモルファスシリコン(a-Si)層52をプラズマCVD法により約200nmの厚さで基板全面に成膜する。さらに、オーミックコンタクト層となる低抵抗半導体層5を形成するために、例えばリン(P)を添加したn⁺a-Si層54をプラズマCVD法により約30nmの厚さで基板全面に形成する。次いで、ドレイン電極7、ソース電極6及び画素電極14、及びデータバスライン12を形成するための金属薄膜56をスパッタリング法により形成する。金属薄膜56としては、例えば厚さ20nmのチタン(Ti)と厚さ75nmのアルミニウム(Al)、及び厚さ80nmのTiをこの順に積層したTi/Al/Tiの複合膜を用いることができる。あるいは、金属薄膜56として厚さ約110~170nmのCrを用いてもよい。またあるいは、モリブデン(Mo)、タンタル(Ta)、Ti、Al等の単一材料を用いてもよく、またそれらの複合膜を用いることができる。

10

20

30

40

50

【0029】

次に、基板全面にフォトリソを塗布し、第2のレジスト露光用マスクを用いてレジストを露光した後現像して、ソース/ドレイン電極形状及びデータバスライン形状にパターンニングされたレジスト層を形成する。パターンニングされたレジスト層(図示せず)を第2のエッチングマスクとして、金属薄膜56、n⁺a-Si層54、アモルファスシリコン層52に対してエッチング処理を施して、図3(a)及び図1に示すように、データバスライン12、ドレイン電極7、ソース電極6を形成する。このエッチング処理において、アモルファスシリコン層52の一部上層もエッチングされる。このエッチングでは例えば反応性イオンエッチング(RIE)法が用いられ、エッチングガスとしては塩素系ガスが用いられる。

【0030】

また、図3(a)から明らかなように、この段階において、動作半導体層4を形成するためのアモルファスシリコン層52は、ゲートバスライン2上部の全面及び外部接続端子20上部に残存している。

【0031】

次に、レジスト層を除去した後、図3(b)及び図5に示すように例えばシリコン窒化膜からなる保護膜8をプラズマCVD法により約330nmの厚さに形成する。

【0032】

次いで、基板全面にフォトリソを塗布してから第3のレジスト露光用マスクを用いてパターンニングし、TFT上面にのみ保護膜8が残るようなパターンのレジスト層を形成する。パターンニングされたレジスト層を第3のエッチングマスクとして保護膜8、アモルファスシリコン層52、及びゲート絶縁膜3をエッチングする。このエッチングにより、各画素領域のTFT及びデータバスライン12下層のアモルファスシリコン層52とゲート絶縁膜3を除き、それ以外の領域の保護膜8、アモルファスシリコン層52、及びゲート絶縁膜3は除去される。従って、図3(c)及び図1に示すように、各画素領域のTFTの素子分離とゲートバスライン2の外部接続端子20上部のパッド用窓の開口が同時に行われる。パッド用窓を介して外部からの信号伝送用端子を外部接続端子20に接続することにより液晶表示装置内に所定の信号が伝送される。

【0033】

このように本実施の形態では、図3(c)に示すエッチング工程でゲートバスライン2の外部接続端子20上部の開口と各画素領域毎のTFTの素子分離とを同時に行うことができる。ところで、ゲート絶縁膜3をエッチングしている間、ドレイン電極7及びソース電極6表面がエッチングガスに曝されるため、ソース/ドレイン電極6、7の形成材料のTiとゲート絶縁膜3の形成材料のSiNとのエッチング速度の選択比が重要となる。しかしながら、例えば反応性イオンエッチングでフッ素系ガスと酸素の混合ガスを用いるようにすれば、Ti膜とSiN膜との選択比は10以上に十分大きくすることができるので問題ない。このとき、ソース/ドレイン電極6、7の複数の積層構造の最上層のTiは、

外部接続端子 20 上部を開口する際のエッチングストップ層として機能している。

【0034】

なお、図示は省略したが、アレイ基板である透明絶縁基板 1 と所定のセルギャップで対向する透明絶縁基板との間に液晶を封入して液晶表示装置が完成する。バックライトユニットからの光が入射するアレイ基板の表示領域には基板背面側から順に偏光板、透明絶縁基板 1、ゲート絶縁膜 3、共通電極 16 及び対向電極 14、保護膜 8、配向膜等が形成されている。一方、対向基板側には、光射出側から順に偏光板、透明絶縁基板、カラーフィルタ、配向膜等が形成されている。

【0035】

このように本実施の形態による液晶表示装置の製造方法によれば、横電界方式の液晶表示装置の製造においてアレイ基板の製造に従来 4 枚必要であったレジスト露光用マスクを 1 枚少なくして 3 枚にすることができるようになる。製造工程の簡略化に関してまとめると、(1)透明絶縁基板上に金属薄膜を成膜後、レジスト層を第 1 のマスクとしてゲートバスライン形状にエッチングする工程、(2)ゲート絶縁膜、動作半導体層、金属薄膜を積層した後、レジスト層を第 2 のマスクとしてソース/ドレイン電極形状に動作半導体層の一部まで一括エッチングする工程、(3)保護膜を成膜後、レジスト層を第 3 のマスクとして TFT 素子分離とゲートバスラインの外部接続端子のパッド用窓の開口を一括エッチングで行う工程、の 3 工程のみで TFT を形成することができる。

10

【0036】

つまり、3 回の成膜工程・フォトリソグラフィ工程・エッチング工程だけで TFT を形成できる。さらに、独立した工程を持たずに、TFT の形成と同時にゲートバスラインの外部接続端子上部を開口することができる。従って、レジスト露光用マスク作製に要する費用を軽減することができる。またフォトリソグラフィ工程を 1 つ減らすことができるようになるので、素子製造のコストを低減させることができるようになる。素子製造のスループットを向上させることもできるようになる。

20

【0037】

次に、本発明の第 2 の実施の形態による液晶表示装置の製造方法を図 6 乃至図 10 を用いて説明する。本実施の形態においても横電界方式の液晶表示装置の製造方法について説明する。なお、第 1 の実施の形態に示した構成要素と同一の機能作用を有する構成要素には同一の符号を付して詳細な説明は省略するものとする。図 6 及び図 7 は、本実施の形態による液晶表示装置の製造工程を示す部分断面を示している。図 6 及び図 7 における (A) 列は図 8 乃至図 10 の A - A' 線で切断した TFT の断面を示し、(B) 列は図 8 乃至図 10 の B - B' 線で切断したゲートバスライン 2 の外部接続端子 20 の断面を示している。また、図 8 乃至図 10 は、所定の製造工程時の液晶表示装置のアレイ基板を液晶層側から見た基板平面を示している。

30

【0038】

さて、図 6 (a) に示すように、アレイ基板としての例えば 0.7 mm の厚さの透明絶縁基板 (透明ガラス基板) 1 上に、スパッタリング法を用いて例えば厚さ約 100 nm の Al 膜と厚さ 50 nm の Ti 膜をこの順に成膜した金属薄膜 50 を形成する。次いで、例えばシリコン窒化膜 (SiN) をプラズマ CVD 法により約 400 nm の厚さで基板全面に成膜してゲート絶縁膜 3 を形成する。次に、動作半導体層 4 を形成するための例えばアモルファスシリコン (a-Si) 層 52 をプラズマ CVD 法により約 200 nm の厚さで基板全面に成膜する。さらに、オーミックコンタクト層となる低抵抗半導体層 5 を形成するために、例えばリン (P) を添加した n⁺a-Si 層 54 をプラズマ CVD 法により約 30 nm の厚さで基板全面に形成する。

40

【0039】

次に全面にレジストを塗布してから第 1 のレジスト露光用マスクを用いてレジストをゲートバスライン形状及び共通電極形状にパターニングする。パターニングされたレジスト層 (図示せず) を第 1 のエッチングマスクとして例えば反応性イオンエッチングで塩素系ガスを用いて金属薄膜 50 まで一括エッチングすることにより、図 6 (b) 及び図 8 に示

50

すように、共通電極 16 と共にゲートバスライン 2 及びゲートバスライン 2 の外部接続端子 20 の領域が形成される。

【0040】

次に、図 6 (c) に示すように、レジスト層を除去した後、ゲートバスライン 2 の側壁絶縁膜 9 を形成する。この側壁絶縁膜 9 は、例えば、ポジ型レジストを基板全面に塗布した後、ハーフ露光を行い現像処理して基板表面 (上面) 近傍のレジストのみ除去することにより形成される。

【0041】

次いで、図 6 (d) に示すように、ドレイン電極 7、ソース電極 6 及び画素電極 14、及びデータバスライン 12 を形成するための金属薄膜 56 をスパッタリング法により形成する。金属薄膜 56 としては、例えば厚さ 20 nm のチタン (Ti) と厚さ 75 nm のアルミニウム (Al)、及び厚さ 80 nm の Ti をこの順に積層した Ti / Al / Ti の複合膜を用いることができる。あるいは、金属薄膜 56 として厚さ約 110 ~ 170 nm の Cr を用いてもよい。またあるいは、モリブデン (Mo)、タンタル (Ta)、Ti、Al 等の単一材料を用いてもよく、またそれらの複合膜を用いることができる。

10

【0042】

次に、基板全面にフォトリソを塗布し、第 2 のレジスト露光用マスクを用いてレジストを露光した後現像して、ソース/ドレイン電極形状及びデータバスライン形状にパターンニングされたレジスト層を形成する。パターンニングされたレジスト層 (図示せず) を第 2 のエッチングマスクとして、金属薄膜 56、 n^+a-Si 層 54、アモルファスシリコン層 52、及び側壁絶縁膜 22 に対してエッチング処理を施して、図 7 (a) 及び図 9 に示すように、データバスライン 12、ドレイン電極 7、ソース電極 6 及び共通電極 16 の櫛歯状電極と噛み合うように対向する櫛歯状の画素電極 14 を形成する。このエッチング処理において、アモルファスシリコン層 52 の一部上層もエッチングされる。このエッチングでは例えば反応性イオンエッチング (RIE) が用いられ、エッチングガスとしては塩素系ガスが用いられる。

20

【0043】

また、図 7 (a) から明らかなように、ゲート絶縁膜 3 と、動作半導体層 4 を形成するためのアモルファスシリコン層 52 とは、この段階においてゲートバスライン 2 上部及び外部接続端子 20 上部に残存している。

30

【0044】

次に、レジスト層を除去した後、図 7 (b) に示すように例えばシリコン窒化膜からなる保護膜 8 をプラズマ CVD 法により約 330 nm の厚さに形成する。

次いで、基板全面にフォトリソを塗布してから第 3 のレジスト露光用マスクを用いてパターンニングし、各画素領域の TFT の素子分離とゲートバスライン 2 の外部接続端子 20 上部に開口を形成するパターンを有するレジスト層を形成する。パターンニングされたレジスト層を第 3 のエッチングマスクとして保護膜 8、アモルファスシリコン層 52、及びゲート絶縁膜 3 をエッチングする。エッチング方法としては、例えばフッ素系ガスを用いた反応性イオンエッチングを用いる。

【0045】

このエッチングにより図 10 に示すように、ゲートバスライン 2 表面が露出する深さの 2 つの素子分離用溝 24、26 が TFT を挟んでゲートバスライン 2 上に形成される。この素子分離用溝 24、26 により各画素間の動作半導体層 4 が電氣的に切断されて各画素領域の TFT が他の画素領域と電氣的に分離される。また同時に、図 7 (c) 及び図 10 に示すように、外部接続端子 20 上の保護膜 8、アモルファスシリコン層 52、及びゲート絶縁膜 3 が除去されてパッド用窓が開口される。パッド用窓を介して外部からの信号伝送用端子を外部接続端子 20 に接続することにより液晶表示装置内に所定の信号が伝送される。

40

【0046】

このように本実施の形態では、図 7 (c) に示すエッチング工程でゲートバスライン 2

50

の外部接続端子 20 上部の開口と各画素領域毎の T F T の素子分離とが同時に行われる。

【 0 0 4 7 】

以上説明した本実施の形態による液晶表示装置の製造方法によれば、各画素領域毎の T F T の素子分離工程と外部接続端子のパッド用窓の開口工程とを同時に行うようにして、これらの工程においてレジスト層のエッチングマスクは 1 枚用いるだけで済むようにしたので、製造工程を簡略化して生産性、製造歩留りの向上を図ることができる。製造工程の簡略化に関してまとめると、(1) 透明絶縁基板上に金属薄膜と、ゲート絶縁膜と、動作半導体層とを成膜し、第 1 のマスクを用いてゲートバスライン形状に一括エッチングする工程、(2) 少なくともゲートバスラインの側壁に絶縁膜を形成する工程、(3) ソース / ドレイン電極形成用金属薄膜を成膜し、第 2 のマスクを用いてソース / ドレイン電極形状に動作半導体層の一部まで一括エッチングする工程、(4) 第 3 のマスクを用いてエッチングにより、動作半導体層を画素領域毎に分離すると同時にバスラインの外部接続端子の上部を開口する工程、の 4 工程のみで T F T を形成することができる。

10

【 0 0 4 8 】

このように本実施の形態による液晶表示装置の製造方法によれば、横電界方式の液晶表示装置の製造においてアレイ基板の製造に従来 4 枚必要であったマスクを 1 枚少なくして 3 枚にすることができるようになる。つまり、3 回の成膜工程・フォトリソグラフィ工程（但し、ハーフ露光を除く）・エッチング工程だけで T F T を形成できる。さらに、T F T の動作半導体層 4 を他の画素領域の T F T の動作半導体層 4 と電気的に分離するための T F T の素子分離工程と同時にゲートバスラインの外部接続端子上部を開口することができる。従って、独立した外部接続端子出し工程を必要としないのでマスク作製に要する費用を軽減することができる。またフォトリソグラフィ工程を 1 つ減らすことができるようになるので、素子製造のコストを低減させることができるようになると共に、素子製造のスループットを向上させることもできるようになる。

20

【 0 0 4 9 】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態では、逆スタガ型のチャネルエッチ型の T F T を有する液晶表示装置に本発明を適用したが、本発明はこれに限らず、動作半導体層上にチャネル保護膜が形成されたエッチングストッパ型 T F T にももちろん適用可能である。

【 0 0 5 0 】

また、上記実施の形態では、横電界方式の液晶表示装置に本発明を適用したが、本発明はこれに限らず、縦電界方式の液晶表示装置に適用することももちろん可能である。

30

【 0 0 5 1 】

さらに、上記第 2 の実施の形態では、側壁絶縁膜 2 2 をポジ型レジストとハーフ露光を用いて形成したが、本発明はこれに限られず、ネガ型レジストを用いて背面露光を行う方法や、S O G (S p i n O n G l a s s) 膜を塗布してから全面エッチングを行う方法（この場合は、3 回の成膜・フォトリソグラフィ工程と、4 回のエッチング工程となる）、あるいはプラズマ C V D 法により絶縁膜を成膜後全面エッチングを行う方法（この場合は、3 回のフォトリソグラフィ工程と 4 回の成膜・エッチング工程となる）等を用いることが可能である。

40

【 符号の説明 】

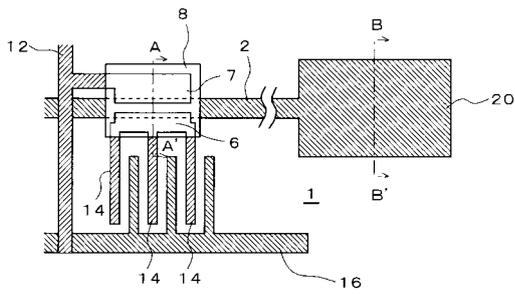
【 0 0 5 2 】

- 1 透明絶縁基板
- 2 ゲートバスライン（ゲート電極）
- 3 ゲート絶縁膜
- 4 動作半導体層
- 5 低抵抗半導体層
- 6 ソース電極
- 7 ドレイン電極
- 8 保護膜
- 9、14 画素電極

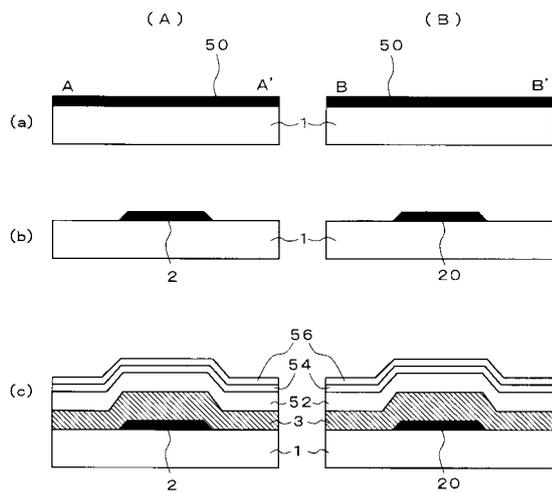
50

- 10 パッド
- 12 データバスライン
- 16 共通電極
- 20 外部接続端子
- 22 側壁絶縁膜
- 50、56 金属薄膜
- 52 アモルファスシリコン層
- 54 n⁺a-Si層

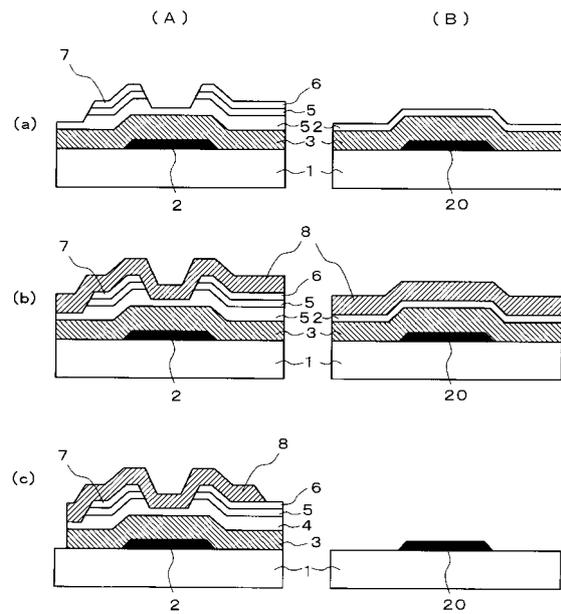
【図1】



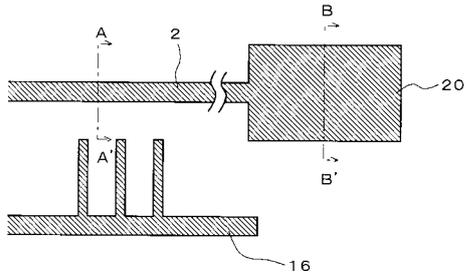
【図2】



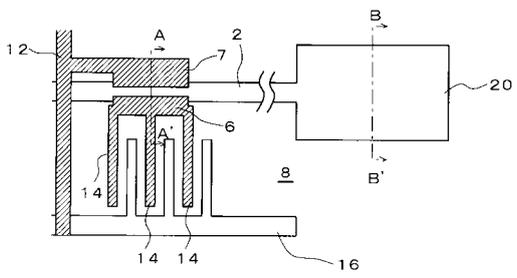
【図3】



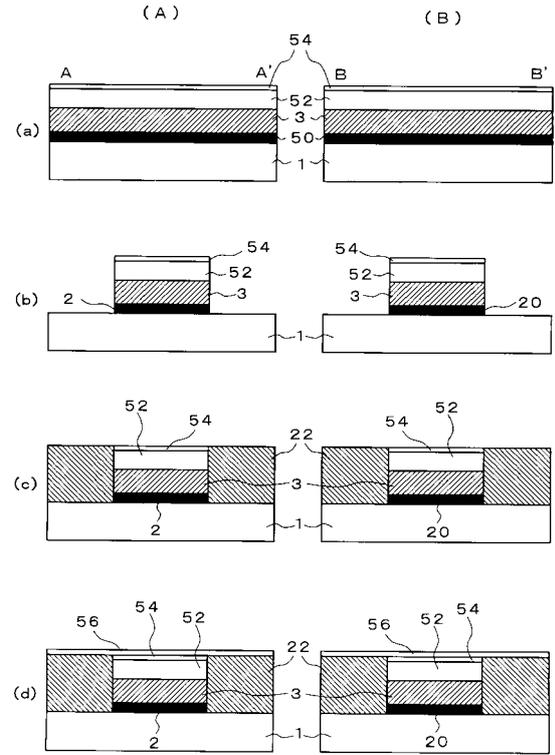
【 図 4 】



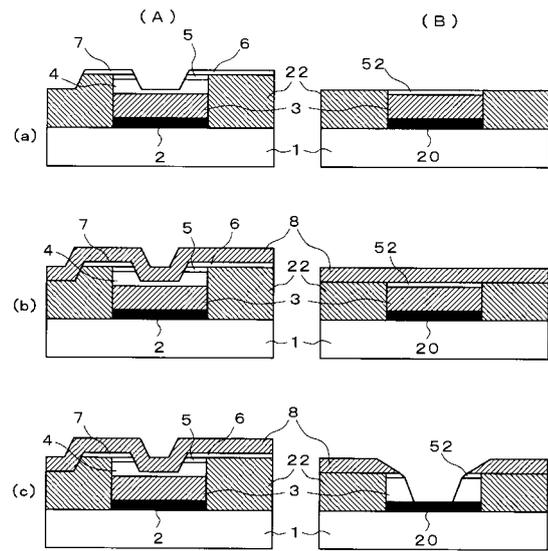
【 図 5 】



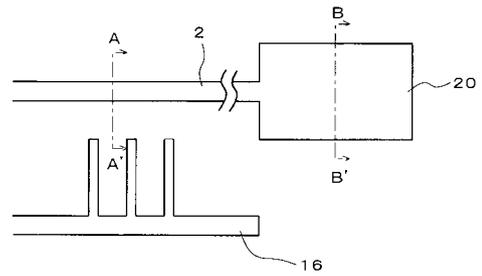
【 図 6 】



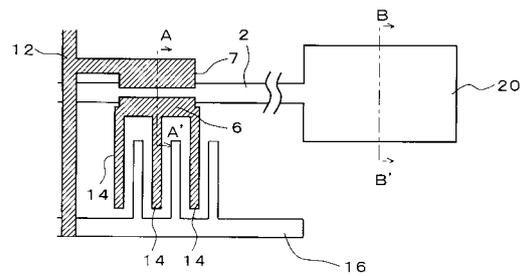
【 図 7 】



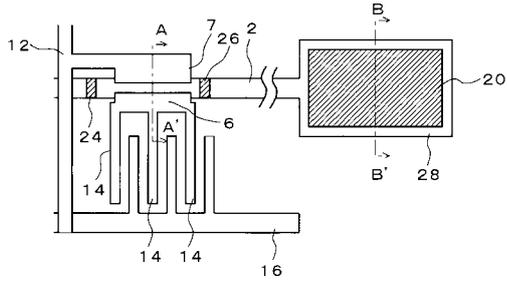
【 図 8 】



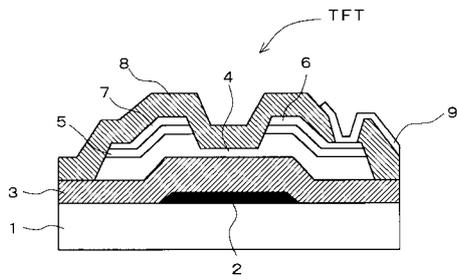
【 図 9 】



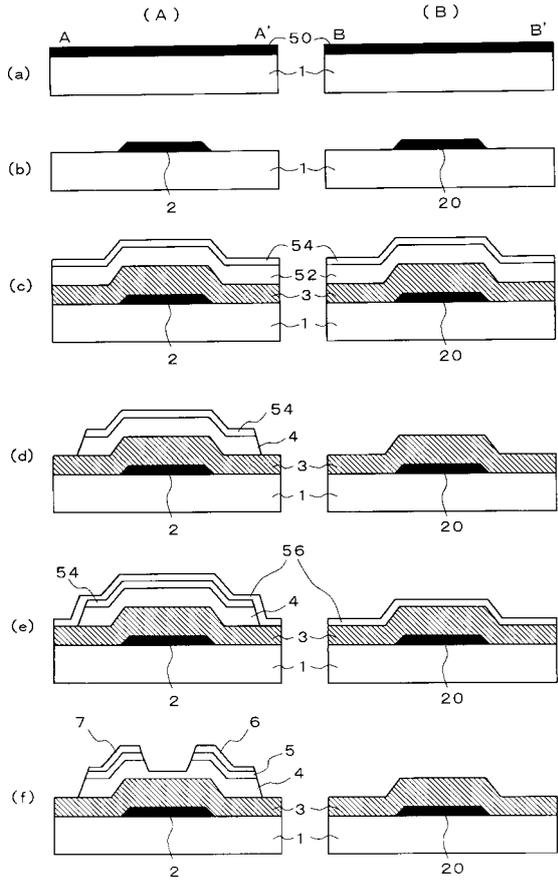
【図10】



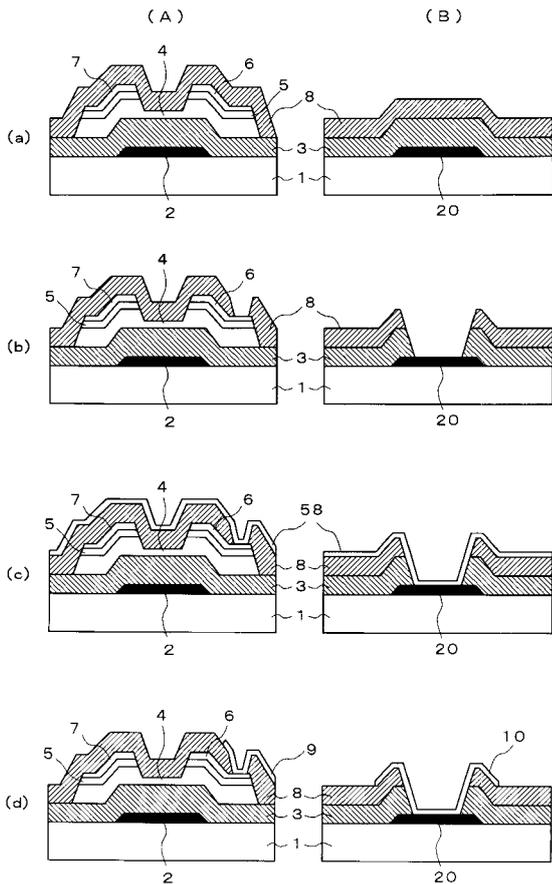
【図11】



【図12】



【図13】



【手続補正書】

【提出日】平成22年12月16日(2010.12.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の画素領域のそれぞれに薄膜トランジスタが形成された液晶表示装置の製造方法において、

透明絶縁基板上に金属薄膜を成膜し、第1のマスクを用いてエッチングにより前記薄膜トランジスタに接続するゲートバスラインと、前記ゲートバスラインの外部接続端子とを形成する工程と、

ゲート絶縁膜と、前記薄膜トランジスタの動作半導体層と、データバスライン及びソース/ドレイン電極形成用金属薄膜とを積層し、第2のマスクを用いて、データバスライン及びソース/ドレイン電極形状に前記動作半導体層の一部まで一括エッチングする工程と、

第3のマスクを用いてエッチングにより、前記動作半導体層を前記画素領域毎に分離すると同時に、前記外部接続端子の上部を開口する工程と

を有することを特徴とする液晶表示装置の製造方法。

【請求項2】

複数の画素領域のそれぞれに薄膜トランジスタが形成された液晶表示装置の製造方法において、

透明絶縁基板上に金属薄膜を成膜し、第1のマスクを用いてエッチングにより前記薄膜トランジスタに接続するゲートバスラインと、前記ゲートバスラインの外部接続端子とを形成する工程と、

ゲート絶縁膜と、前記薄膜トランジスタの動作半導体層と、データバスライン及びソース/ドレイン電極形成用金属薄膜とを積層し、第2のマスクを用いて、データバスライン及びソース/ドレイン電極形状に前記動作半導体層の一部まで一括エッチングする工程と、

保護膜を形成する工程と、

第3のマスクを用いてエッチングにより、前記薄膜トランジスタ上面に前記保護膜を残し、かつ、前記動作半導体層を前記画素領域毎に分離すると同時に、前記外部接続端子の上部を開口する工程と

を有することを特徴とする液晶表示装置の製造方法。

【請求項3】

複数の画素領域のそれぞれに薄膜トランジスタが形成された液晶表示装置の製造方法において、

透明絶縁基板上に金属薄膜と、ゲート絶縁膜と、前記薄膜トランジスタの動作半導体層とを成膜し、第1のマスクを用いてゲートバスライン形状に一括エッチングし、ゲートバスラインと、前記ゲートバスラインの外部接続端子の領域とを形成する工程と、

少なくとも前記ゲートバスラインの側壁に絶縁膜を形成する工程と、

データバスライン及びソース/ドレイン電極形成用金属薄膜を成膜し、第2のマスクを用いてデータバスライン及びソース/ドレイン電極形状に前記動作半導体層の一部まで一括エッチングする工程と、

第3のマスクを用いてエッチングにより、前記動作半導体層を前記画素領域毎に分離すると同時に、前記外部接続端子の上部を開口する工程と

を有することを特徴とする液晶表示装置の製造方法。

【請求項4】

複数の画素領域のそれぞれに薄膜トランジスタが形成された液晶表示装置の製造方法において、

透明絶縁基板の上に金属薄膜と、ゲート絶縁膜と、前記薄膜トランジスタの動作半導体層とを成膜し、第1のマスクを用いてゲートバスライン形状に一括エッチングし、ゲートバスラインと、前記ゲートバスラインの外部接続端子の領域とを形成する工程と、

少なくとも前記ゲートバスラインの側壁に絶縁膜を形成する工程と、

データバスライン及びソース/ドレイン電極形成用金属薄膜を成膜し、第2のマスクを用いてデータバスライン及びソース/ドレイン電極形状に前記動作半導体層の一部まで一括エッチングする工程と、

保護膜を形成する工程と、

第3のマスクを用いてエッチングにより、前記薄膜トランジスタ上面に前記保護膜を残し、かつ、前記動作半導体層を前記画素領域毎に分離すると同時に、前記外部接続端子の上部を開口する工程と

を有することを特徴とする液晶表示装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

なお、図示は省略したが、アレイ基板である透明絶縁基板1と所定のセルギャップで対向する透明絶縁基板との間に液晶を封入して液晶表示装置が完成する。バックライトユニットからの光が入射するアレイ基板の表示領域には基板背面側から順に偏光板、透明絶縁基板1、ゲート絶縁膜3、共通電極16及び画素電極14、保護膜8、配向膜等が形成されている。一方、対向基板側には、光射出側から順に偏光板、透明絶縁基板、カラーフィルタ、配向膜等が形成されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

つまり、3回の成膜工程・フォトリソグラフィ工程・エッチング工程だけでTFTを形成できる。さらに、独立した工程を持たずに、TFTの形成と同時にゲートバスラインの外部接続端子上部を開口することができる。従って、レジスト露光用マスク作製に要する費用を軽減することができ、またフォトリソグラフィ工程を1つ減らすことができるようになるので、素子製造のコストを低減させることができるようになると共に、素子製造のスループットを向上させることもできるようになる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【0040】

次に、図6(c)に示すように、レジスト層を除去した後、ゲートバスライン2の側壁絶縁膜22を形成する。この側壁絶縁膜22は、例えば、ポジ型レジストを基板全面に塗布した後、ハーフ露光を行い現像処理して基板表面(上面)近傍のレジストのみ除去することにより形成される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】 0 0 4 8

【補正方法】 変更

【補正の内容】

【 0 0 4 8 】

このように本実施の形態による液晶表示装置の製造方法によれば、横電界方式の液晶表示装置の製造においてアレイ基板の製造に従来4枚必要であったマスクを1枚少なくして3枚にすることができるようになる。つまり、3回の成膜工程・フォトリソグラフィ工程（但し、ハーフ露光を除く）・エッチング工程だけでTFTを形成できる。さらに、TFTの動作半導体層4を他の画素領域のTFTの動作半導体層4と電氣的に分離するためのTFTの素子分離工程と同時にゲートバスラインの外部接続端子上部を開口することができる。従って、独立した外部接続端子出し工程を必要としないのでマスク作製に要する費用を軽減することができる。またフォトリソグラフィ工程を1つ減らすことができるようになるので、素子製造のコストを低減させることができるようになると共に、素子製造のスループットを向上させることもできるようになる。

フロントページの続き

Fターム(参考) 2H092 GA14 GA29 GA35 GA40 GA43 HA18 JA26 JA46 JB24 JB57
KA05 KA07 KA12 KB24 MA05 MA08 MA14 MA15 MA18 MA19
MA43 NA27
5F110 AA16 BB01 CC07 DD02 EE03 EE04 EE14 EE44 FF03 FF30
GG02 GG15 GG24 GG45 HK03 HK04 HK09 HK16 HK22 HK25
HK33 HK35 NN02 NN04 NN23 NN24 NN35 NN36 NN40 QQ02
QQ08 QQ09 QQ12