

【特許請求の範囲】

【請求項 1】

基板と、

該基板上に第 1 方向及び該第 1 方向に交わる第 2 方向に沿って配列された複数の画素部と、

前記基板上に前記第 1 方向に沿って設けられた複数のデータ線と、

前記複数の画素部に対して前記複数のデータ線を介してデータ電圧を出力する複数の出力回路と

を備え、

前記複数の画素部のうち前記第 1 方向に沿って配列された画素部からなる画素列には、前記複数の出力回路のうち少なくとも 2 つの相異なる出力回路から前記データ電圧が出力される

10

ことを特徴とする電気光学装置。

【請求項 2】

前記少なくとも 2 つの出力回路は、前記画素列に含まれる画素部に対して、同時に前記データ電圧を出力することを特徴とする請求項 1 に記載の電気光学装置。

【請求項 3】

前記少なくとも 2 つの出力回路は、前記画素列に含まれる画素部のうち互いに隣り合う画素部に、夫々前記データ電圧を出力することを特徴とする請求項 1 又は 2 に記載の電気光学装置。

20

【請求項 4】

前記複数の出力回路の各々は、複数の前記画素列に対して前記データ電圧を出力することを特徴とする請求項 1 から 3 に記載の電気光学装置。

【請求項 5】

前記少なくとも 2 つの出力回路の各々は、相異なる集積回路に含まれていることを特徴とする請求項 1 から 4 のいずれか一項に記載の電気光学装置。

【請求項 6】

請求項 1 から 5 のいずれか一項に記載の電気光学装置を具備してなることを特徴とする電子機器。

【請求項 7】

30

基板と、該基板上に第 1 方向及び該第 1 方向に交わる第 2 方向に沿って配列された複数の画素部と、前記基板上に前記第 1 方向に沿って設けられた複数のデータ線と、前記複数の画素部に対して前記複数のデータ線を介してデータ電圧を出力する複数の出力回路とを備える電気光学装置の駆動方法であって、

前記複数の画素部のうち前記第 1 方向に沿って配列された画素部からなる画素列に、前記複数の出力回路のうち少なくとも 2 つの相異なる出力回路から前記データ電圧を出力する工程を備えることを特徴とする電気光学装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は、例えば液晶表示装置等の電気光学装置、及び該電気光学装置の駆動方法、並びに液晶プロジェクタ等の電子機器の技術分野に関する。

【背景技術】

【0002】

この種の電気光学装置として、例えば、画素領域における表示動作などの電気光学動作を行う電気光学パネルと、これを駆動するための駆動回路の少なくとも一部を担う駆動用集積回路が実装されたフレキシブル基板とから構成される電気光学装置がある。このように構成された電気光学装置では、制御回路の一部を電気光学パネルから切り離すことで、電気光学パネルの小型化や、電気光学パネルのサイズに対する画素領域の拡大等を可能としている。

50

【 0 0 0 3 】

例えば特許文献 1 では、電気光学パネルの駆動用集積回路を、C O F (Chip On Film) 等の実装技術によりフレキシブル基板上に設け、電気光学パネルに順次データ電圧を出力するという技術が開示されている。

【 0 0 0 4 】

【特許文献 1】特開 2 0 0 5 - 4 3 4 1 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

しかしながら、上述した技術のように、駆動用集積回路から出力されるデータ電圧によって電気光学パネルを駆動する際には、駆動用集積回路に含まれる複数の出力アンプから出力されるデータ電圧に出力アンプ毎のバラツキが生じてしまう。このようなデータ電圧のバラツキは、例えば表示される画像における輝度ムラの原因となるおそれがある。即ち、上述した技術においては、データ電圧のバラツキによって、画質が低下してしまうおそれがあるという技術的問題点がある。

10

【 0 0 0 6 】

本発明は、例えば上述した問題点に鑑みなされたものであり、データ電圧のバラツキによる表示ムラを低減し、高品質な画像を表示可能とする電気光学装置、及び該電気光学装置の駆動方法、並びに電子機器を提供することを課題とする。

【課題を解決するための手段】

20

【 0 0 0 7 】

本発明の電気光学装置は上記課題を解決するために、基板と、該基板上に第 1 方向及び該第 1 方向に交わる第 2 方向に沿って配列された複数の画素部と、前記基板上に前記第 1 方向に沿って設けられた複数のデータ線と、前記複数の画素部に対して前記複数のデータ線を介してデータ電圧を出力する複数の出力回路とを備え、前記複数の画素部のうち前記第 1 方向に沿って配列された画素部からなる画素列には、前記複数の出力回路のうち少なくとも 2 つの相異なる出力回路から前記データ電圧が出力される。

【 0 0 0 8 】

本発明の電気光学装置によれば、その動作時に、先ず出力回路から、複数のデータ線を介してデータ電圧が出力される。尚、「データ電圧」とは、画像を表示するためのデータを有する電圧を意味している。即ち、ここでのデータ電圧は、画像信号と呼ぶこともできる。出力回路は、例えばオペアンプ等の増幅回路であり、データ電圧を増幅しつつ出力する。出力回路は、典型的には、集積回路の一部として形成されており、画素部が配列される基板に電氣的に接続された、フレキシブル基板上に配置される。尚、画素部が配列される基板上に配置されてもよい。

30

【 0 0 0 9 】

複数のデータ線に出力されたデータ電圧は、基板上に配列された複数の画素部に供給される。データ電圧は、例えば走査線から供給される走査信号に対応して複数の画素部に供給される。これにより、所謂アクティブマトリクス方式による画像表示が行われる。尚、画素部は、例えば I T O (Indium Tin Oxide) 等の透明導電材料からなる透明電極を含んでおり、データ線に沿った第 1 方向と、第 1 方向に交わる第 2 方向に沿って配列されている。即ち、複数の画素部は、基板上にマトリクス状に配列されている。

40

【 0 0 1 0 】

ここで本発明では特に、複数の画素部のうち第 1 方向に沿って配列された画素部からなる画素列には、複数の出力回路のうち少なくとも 2 つの相異なる出力回路からデータ電圧が出力される。より具体的には、例えば一の画素列に対して 2 本のデータ線及び 2 つの出力回路が設けられる。そして、2 つの出力回路から出力されたデータ電圧は、相異なるデータ線を介して、一の画素列における相異なる画素部に供給される。

【 0 0 1 1 】

複数の出力回路から出力されたデータ電圧にはバラツキが生じ得る。よって、例えば同

50

一のデータ電圧が出力された場合であっても、相異なる出力回路から出力されたデータ電圧であれば、互いにズレが生じることがある。ここで仮に、一の画素列に対して1つの出力回路のみでデータ電圧を供給すると、画素列毎に供給されるデータ電圧にバラツキが生じる。即ち、画素列毎に輝度差が生じる。よって、表示される画像には、データ線方向に伸びるライン状の表示ムラが生じてしまう。

【0012】

しかるに本発明では特に、上述したように、画素列には、少なくとも2つの相異なる出力回路からデータ電圧が出力される。よって、出力回路毎に生じるデータ電圧のバラツキに起因する、ライン状の表示ムラを抑制することができる。尚、画素列に対して、少なくとも2つの相異なる出力回路からデータ電圧が出力される場合であっても、出力回路毎にデータ電圧のバラツキは生じていることになるが、複数の画素部において発生する輝度差は画素列毎に現れない。即ち、輝度差の生じている画素部がライン状に並ばないため、視覚的には全く或いは殆ど感じられないまでに表示ムラを低減することが可能である。

10

【0013】

以上説明したように、本発明の電気光学装置によれば、データ電圧のバラツキによる表示ムラを低減することが可能となる。従って、高品質な画像を表示することが可能である。

【0014】

本発明の電気光学装置の一態様では、前記少なくとも2つの出力回路は、前記画素列に含まれる画素部に対して、同時に前記データ電圧を出力する。

20

【0015】

この態様によれば、一の画素列に対してデータ電圧を出力する少なくとも2つの出力回路からは、画素列に含まれる画素部に対して、同時にデータ電圧が出力される。即ち、一の画素列に含まれる画素部には、相異なるアンプから同時にデータ電圧が出力される。

【0016】

例えば、一の画素列に対して1つの出力回路のみでデータ電圧を供給する場合には、画素列に含まれる画素部には、1つずつデータ電圧が供給される。これに対し、一の画素列に対して少なくとも2つの出力回路からデータ電圧を供給する場合には、少なくとも2つの画素部に同時にデータ電圧が供給されるようにすることができる。よって、画素部における書き込み期間を短縮することができ、例えば1フレームの画像を、より短い期間で表示することが可能となる。従って、より高品質な画像を表示させることが可能である。

30

【0017】

本発明の電気光学装置の他の態様では、前記少なくとも2つの出力回路は、前記画素列に含まれる画素部のうち互いに隣り合う画素部に、夫々前記データ電圧を出力する。

【0018】

この態様によれば、一の画素列に対してデータ電圧を出力する少なくとも2つの出力回路からは、画素列に含まれる画素部のうち互いに隣り合う画素部に、夫々データ電圧が出力される。例えば、1列の画素列に対して、2つの出力回路からデータ電圧が供給される場合には、2つの出力回路のうち一方の出力回路からデータ電圧が出力される画素部と他方の出力回路からデータ電圧が出力される画素部とは互いに隣り合う。言い換えれば、一方の出力回路からデータ信号が出力される画素部は互いに隣り合わず、他方の出力回路からデータ電圧が出力される画素部も互いに隣り合わない。つまり、画素列に含まれる画素部には、第1方向に沿って交互に相異なる出力回路からデータ電圧が出力される。

40

【0019】

上述したようにデータ電圧が供給されることにより、データ電圧のバラツキに起因して輝度差が生じている画素部は、画素列内で交互に並ぶことになる。よって、輝度差によって生じる表示ムラを、より目立たないものとすることが可能である。従って、より高品質な画像を表示することが可能である。

【0020】

本発明の電気光学装置の他の態様では、前記複数の出力回路の各々は、複数の前記画素

50

列に対して前記データ電圧を出力する。

【0021】

この態様によれば、1つの出力回路からは、複数の画素列に対してデータ電圧が出力される。より具体的には、一の出力回路には複数のデータ線が対応しており、一の出力回路から出力されたデータ電圧は、例えばスイッチ回路（或いは切替回路）において、出力されるデータ線が切り替えられつつ画素列に供給される。

【0022】

上述したようにデータ電圧が供給されることにより、装置全体としての出力回路の数を減らすことができる。言い換えれば、高精細化等に伴い画素列の数が増加するような場合であっても、出力回路の数が増加してしまうことを防止できる。特に、1列の画素列に対して、少なくとも2つの相異なる出力回路からデータ電圧を出力する場合には、このような効果は顕著に発揮される。

10

【0023】

本発明の電気光学装置の他の態様では、前記少なくとも2つの出力回路の各々は、相異なる集積回路に含まれている。

【0024】

この態様によれば、一の画素列に対してデータ電圧を出力する少なくとも2つの出力回路は、相異なる集積回路に含まれている。即ち、本態様では、複数の集積回路によって駆動が行われており、一の画素列に対して、相異なる集積回路からデータ電圧が出力される。

20

【0025】

出力回路毎に生じるデータ電圧のバラツキは、典型的には、同じ集積回路内での出力バラツキより、相異なる集積回路間での出力バラツキの方が大きい。よって、上述したように、複数の集積回路による駆動を行う際には、複数の画素部における輝度差も大きくなってしまいやすい。

【0026】

しかるに本態様では特に、1列の画素列に対して少なくとも2つの出力回路からデータ電圧が供給される。よって、データ電圧のバラツキによる表示ムラを低減することができる。従って、高品質な画像を表示することが可能である。

【0027】

本発明の電子機器は上記課題を解決するために、上述した本発明の電気光学装置（但し、その各種態様も含む）を具備する。

30

【0028】

本発明の電子機器によれば、上述した本発明に係る電気光学装置を具備してなるので、データ電圧のバラツキによる表示ムラを低減することができる。よって、高品質な表示を行うことが可能な、投射型表示装置、テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、ワークステーション、テレビ電話、POS端末、タッチパネルなどの各種電子機器を実現できる。また、本発明の電子機器として、例えば電子ペーパーなどの電気泳動装置等も実現することも可能である。

【0029】

本発明の電気光学装置の駆動方法は上記課題を解決するために、基板と、該基板上に第1方向及び該第1方向に交わる第2方向に沿って配列された複数の画素部と、前記基板上に前記第1方向に沿って設けられた複数のデータ線と、前記複数の画素部に対して前記複数のデータ線を介してデータ電圧を出力する複数の出力回路とを備える電気光学装置の駆動方法であって、前記複数の画素部のうち前記第1方向に沿って配列された画素部からなる画素列に、前記複数の出力回路のうち少なくとも2つの相異なる出力回路から前記データ電圧を出力する工程を備える。

40

【0030】

本発明の電気光学装置の駆動方法によれば、1列の画素列に対して、複数の出力回路のうち少なくとも2つの相異なる出力回路からデータ電圧が出力される。よって、上述した

50

本発明の電気光学装置の場合と同様に、データ電圧のバラツキによる表示ムラを低減することが可能となる。従って、高品質な画像を表示することが可能である。

【0031】

尚、本発明の電気光学装置の駆動方法においても、上述した本発明の電気光学装置における各種態様と同様の各種態様を採ることが可能である。

【0032】

本発明の作用及び他の利得は次に説明する実施するための最良の形態から明らかにされる。

【発明を実施するための最良の形態】

【0033】

以下では、本発明の実施形態について図を参照しつつ説明する。

【0034】

<電気光学装置>

本実施形態に係る電気光学装置について、図1から図9を参照して説明する。尚、以下では、本発明の電気光学装置の一例である駆動回路内蔵型のTFT(Thin Film Transistor)アクティブマトリクス駆動方式の液晶装置を例にとる。

【0035】

先ず、本実施形態に係る電気光学装置における電気光学パネルの構成について、図1及び図2を参照して説明する。ここに図1は、本実施形態に係る電気光学装置における電気光学パネルの構成を示す平面図であり、図2は、図1のH-H'線断面図である。

【0036】

図1及び図2において、本実施形態に係る電気光学パネルでは、TFTアレイ基板10と対向基板20とが対向配置されている。TFTアレイ基板10は、本発明の「基板」の一例であり、例えば石英基板、ガラス基板等の透明基板や、シリコン基板等である。対向基板20は、例えば石英基板、ガラス基板等の透明基板である。TFTアレイ基板10と対向基板20との間に液晶層50が封入されている。TFTアレイ基板10と対向基板20とは、複数の画素電極が設けられた画像表示領域10aの周囲に位置するシール領域に設けられたシール材52により相互に接着されている。

【0037】

シール材52は、両基板を貼り合わせるための、例えば紫外線硬化樹脂、熱硬化樹脂等からなり、製造プロセスにおいてTFTアレイ基板10上に塗布された後、紫外線照射、加熱等により硬化させられたものである。シール材52中には、TFTアレイ基板10と対向基板20との間隔(即ち、基板間ギャップ)を所定値とするためのグラスファイバ或いはガラスビーズ等のギャップ材が散布されている。

【0038】

シール材52が配置されたシール領域の内側に並行して、画像表示領域10aの額縁領域を規定する遮光性の額縁遮光膜53が、対向基板20側に設けられている。但し、このような額縁遮光膜53の一部又は全部は、TFTアレイ基板10側に内蔵遮光膜として設けられてもよい。

【0039】

周辺領域のうち、シール材52が配置されたシール領域の外側に位置する領域には、時分割回路42及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられている。走査線駆動回路104は、この一辺に隣接する2辺に沿い、且つ、額縁遮光膜53に覆われるようにして設けられている。更に、このように画像表示領域10aの両側に設けられた二つの走査線駆動回路104間をつなぐため、TFTアレイ基板10の残る一辺に沿い、且つ、額縁遮光膜53に覆われるようにして複数の配線105が設けられている。

【0040】

TFTアレイ基板10上には、対向基板20の4つのコーナー部に対向する領域に、両基板間を上下導通材107で接続するための上下導通端子106が配置されている。これ

10

20

30

40

50

らにより、TFTアレイ基板10と対向基板20との間で電気的な導通をとることができる。

【0041】

図2において、TFTアレイ基板10上には、画素スイッチング用のTFTや走査線、データ線等の配線が形成された後の画素電極9a上に、配向膜が形成されている。画素電極9aは、ITO膜などの透明導電膜からなり、配向膜は、ポリイミド膜などの有機膜からなる。他方、対向基板20上には、格子状又はストライプ状の遮光膜23が形成された後に、その全面に亘って対向電極21が設けられており、更には最上層部分に配向膜が形成されている。対向電極21は、ITO膜などの透明導電膜からなり、配向膜は、ポリイミド膜などの有機膜からなる。このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20の間には、液晶層50が形成されている。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなり、これら一対の配向膜間で所定の配向状態をとる。

10

【0042】

尚、図1及び図2に示したTFTアレイ基板10上には、これらの時分割回路42、走査線駆動回路104等の駆動回路に加えて、画像信号線上の画像信号をサンプリングしてデータ線に供給するサンプリング回路、複数のデータ線に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

20

【0043】

<第1実施形態>

次に、第1実施形態に係る電気光学装置の構成及び動作について図3から図7を参照して説明する。ここに図3は、第1実施形態に係る電気光学装置の全体構成を示す斜視図であり、図4は、第1実施形態に係る電気光学装置の具体的構成を示す回路図である。また図5は、画素部の構成を示す回路図であり、図6は、ドライバICの構成を示すブロック図である。図7は、第1実施形態に係る電気光学装置の時分割駆動のタイミングチャートである。

【0044】

図3において、第1実施形態に係る電気光学装置は、上述した電気光学パネルと、フレキシブル基板200と、本発明の「集積回路」の一例であるドライバIC41とを備えて構成されている。

30

【0045】

フレキシブル基板200は、外部回路接続端子102を介して、電気光学パネルと電気的に接続されている。また、電気光学パネルと接続されない側の端部は、図示しない回路基板等に電気的に接続される。即ち、画像信号は、回路基板等からフレキシブル基板200を介して電気光学パネルに供給される。

【0046】

ドライバIC41は、フレキシブル基板200上に設けられおり、電気光学パネルに対する画像信号供給装置或いは回路とも呼べるものとして構築されている。加えて、ドライバIC41は、ガンマ補正、シリアル-パラレル変換等の補正処理を実行するように構成されてもよい。尚、電気光学パネルに内蔵される回路或いは装置として構築されてもよく、そのような場合には、上述した時分割回路42や走査線駆動回路104等を含んで構築されてもよい。ドライバIC41のより詳細な構成については後述する。

40

【0047】

図4において、電気光学パネルにおける画像表示領域10aには、mドット×nライン分の画素部2がマトリクス状(二次元平面的)に並んでいる。画像表示領域10aには、夫々が行方向(即ち、X方向)に延在しているn本の走査線Y1~Ynが設けられている。即ち、1本の走査線Yに対して、1行の画素部2が配置されている。また、画像表示領域10aには、夫々が列方向(即ち、Y方向)に延在している2m本のデータ線X1a、X1b、X2a、X2b、...、Xma、Xmbが設けられている。即ち、2本のデータ線

50

Xに対して、1列の画素部2（以下、適宜「画素列」と称する）が配置されている。つまり、第*i*列（*i* = 1、...、*m*）の画素部2部に対して、2本のデータ線*X_{i a}*及び*X_{i b}*が設けられている。

【0048】

尚、以下の説明において、画像表示領域10a中のある画素部2を特定する場合、データ線Xの添字1～*m*と走査線Yの添字1～*n*とを用い、これらの交差（1～*m*，1～*n*）として表現するものとする。例えば、図中の最も左上の画素部2は（1，1）であり、最も右下の画素部2は（*m*，*n*）となる。

【0049】

図5において、1つの画素部2は、スイッチング素子であるTFT21、液晶容量22及び蓄積容量23によって構成されている。

10

【0050】

TFT21のソースは1本のデータ線Xに接続され、そのゲートは1本の走査線Yに接続されている。尚、同一行に並んだ画素部2に関しては、それぞれのTFT21のゲートが同じ走査線Yに接続されているが、同一列に並んだ画素部2に関しては、それぞれのTFT21のソースが2本の相異なるデータ線Xに接続されている。またTFT21のドレインは、並列に設けられた液晶容量22と蓄積容量23とに共通接続されている。

【0051】

液晶容量22は、画素電極22aと、対向電極22bと、これらの電極22a及び22b間に挟持された液晶層50とによって構成されている。蓄積容量23は、画素電極22aと、図示しない共通容量電極との間に形成されており、電圧*V_{cs}*が供給される。この蓄積容量23によって、液晶に蓄積される電荷のリークの影響が抑制される。一方、画素電極22a側には、TFT21を介して、データ電圧等が印加され、この印加される電圧レベルに応じて、液晶容量22と蓄積容量23とが充放電される。これにより、画素電極22aと対向電極22bとの間の電位差（即ち、液晶の印加電圧）に応じて、液晶層の透過率が設定され、画素部2の階調が設定される。

20

【0052】

図4に戻り、画素部2の駆動は、液晶の長寿命化を図るべく、所定の期間毎に電圧極性を反転させる交流化駆動によって行われる。電圧極性は、液晶層50に作用する電界の向き、換言すれば、液晶層50の印加電圧の正逆に基づいて定義される。本実施形態では、交流化駆動の一方式であるコモンDC駆動、すなわち、対向電極22bに印加される電圧*V_{lcom}*と共通容量電極に印加される電圧*V_{cs}*とを一定に維持し、画素電極22a側の極性を反転させる駆動方式を採用している。

30

【0053】

制御回路5は、図示しない上位装置より入力される垂直同期信号*V_s*、水平同期信号*H_s*、ドットクロック信号*DCCLK*等の外部信号に基づいて、走査線駆動回路104、データ線駆動回路101及びフレームメモリ6を同期制御する。この同期制御の下、走査線駆動回路104及びデータ線駆動回路101は、互いに協働して表示部1の表示制御を行う。尚、本実施形態では、高速表示によってフリッカーの発生を抑制すべく、リフレッシュレート（即ち、垂直同期周波数）を通常の2倍に相当する120 [Hz]に設定した倍速駆動を採用している。この場合、垂直同期信号*V_s*によって規定される1フレーム（即ち、1/60 [Sec]）は2つのフィールドで構成され、1フレームにおいて2回の線順次走査が行われることになる。

40

【0054】

走査線駆動回路104は、シフトレジスタ、出力回路等を主体に構成されており、各走査線Y1～Y*n*に走査信号SELを出力することで、1水平走査期間（以下「1H」という）毎に、走査線Y1～Y*n*を順次選択していく。尚、後に詳述するが、本実施形態では、1Hに2本の走査線Yが選択される。走査信号SELは、高電位レベル（以下「Hレベル」という）又は低電位レベル（以下「Lレベル」という）の2値的なレベルをとり、データの書込対象となる画素行に対応する走査線YはHレベル、これ以外の走査線YはLレ

50

ベルにそれぞれ設定される。この走査信号SELにより、データの書込対象となる画素行が順次選択され、画素部2に書き込まれたデータは1フィールドに亘って保持される。

【0055】

フレームメモリ6は、画像表示領域10aの解像度に相当する $m \times n$ ビットのメモリ空間を少なくとも有し、上位装置から入力される表示データをフレーム単位で格納・保持する。フレームメモリ6へのデータの書き込み、及び、フレームメモリ6からのデータの読み出しは、制御回路5によって制御される。ここで、画素部2の階調を規定する表示データDは、一例として、D0～D5の6ビットで構成される64階調データである。フレームメモリ6より読み出された表示データDは、6ビットのバスを介して、データ線駆動回路101にシリアルに転送される。

10

【0056】

データ線駆動回路101は、フレームメモリ6の後段に設けられており、ドライバIC41及び時分割回路42で構成されている。データ線駆動回路101は、走査線駆動回路104と協働して、データの書込対象となる画素行毎に供給すべきデータをデータ線X1a～Xmbに出力する。

【0057】

ドライバIC41は、今回データを書き込む画素行に対するデータの出力と、次回にデータを書き込む画素行に関するデータの点順次的なラッチ（即ち、保持）とを同時に行う。以下では、ドライバIC41の構成と動作について詳細に説明する。

【0058】

図6において、ドライバIC41には、Xシフトレジスタ41a、第1のラッチ回路41b、第2のラッチ回路41c、切替スイッチ群41d、D/A変換回路41e及び出力回路41fといった主要な回路が内蔵されている。Xシフトレジスタ41aは、1Hの最初に供給されるスタート信号STをクロック信号CLXにしたがって転送し、ラッチ信号S1, S2, S3, ..., SmのいずれかをHレベル、それ以外をLレベルに設定する。第1のラッチ回路41bは、ラッチ信号S1, S2, S3, ..., Smの立ち下がり時において、シリアルデータとして供給されたm個の6ビットデータDを順次ラッチする。第2のラッチ回路41cは、第1のラッチ回路41bにおいてラッチされたデータDをラッチパルスLPの立ち下がり時において同時にラッチする。ラッチされたm個のデータDは、次の1Hにおいて、デジタルデータであるデータ信号d1～dmとして、第2のラッチ回路41cよりパラレルに出力される。

20

【0059】

データ信号d1～dmは、一例として、4本のデータ線単位で設けられた $m/4$ 個（= i 個）の切替スイッチ群41dによって、4画素分の時系列的なデータとしてグループ化される。ここで、単一の切替スイッチ群41dは、5つのスイッチのセットとして図示されているが、実際には、6ビット分のスイッチ群を5系統有している。同一系統中の6個のスイッチは常に同様に動作するので、以下、6個のスイッチを1つのスイッチとみなして説明する。

30

【0060】

それぞれの切替スイッチ群41dには、第2のラッチ回路41cより出力された4画素分のデータ信号（例えば、d1～d4）が入力される他、補正データdamdも入力される。この補正データdamdは、補正電圧Vamd（所謂、プリチャージ電圧）の電圧レベルを規定するデジタルデータである。切替スイッチ群41dを構成する5つのスイッチは、4つの制御信号CNT1～CNT5のいずれかによって導通制御され、オフセットしたタイミングで択一的に順次オンしていく。これによって、1Hにおいて、補正データdamdと4画素分のデータ信号d1～d4とのセットは、この順序（damd, d1, d2, d3, d4の順）で時系列化され、切替スイッチ群41dより時系列的に出力される。

40

【0061】

D/A (Digital to Analog) 変換回路41eは、それぞれの切替スイッチ群41dか

50

ら出力された一連のデジタルデータを D/A 変換し、アナログデータとしての電圧を生成する。これにより、補正データ d_{amd} は補正電圧 V_{amd} に変換され、4 画素単位で時系列化されたデータ信号 $d_1 \sim d_m$ はデータ電圧 $V_1 \sim V_m$ に変換される。

【0062】

補正電圧 V_{amd} 及びデータ電圧 $V_1 \sim V_m$ は、 i 個の出力回路 $41f_1 \sim 41f_i$ によって増幅され、出力ピン $PIN_1 \sim PIN_i$ より時系列的に出力される。

【0063】

図 4 に示したように、ドライバ IC 41 の出力ピン $PIN_1 \sim PIN_i$ には、出力線 $DO_1 \sim DO_i$ のいずれかが接続されている。1 本の出力線 DO には、互いに隣接した 4 列の画素列に対応するデータ線 X がグループ化されて対応付けられている。具体的には、出力線 DO_1 には、4 本のデータ線 X_{1a} 、 X_{2a} 、 X_{3a} 及び X_{4a} が対応付けられ、出力線 DO_2 には、4 本のデータ線 X_{1b} 、 X_{2b} 、 X_{3b} 及び X_{4b} が対応付けられ、出力線 DO_3 には、4 本のデータ線 X_{5a} 、 X_{6a} 、 X_{7a} 及び X_{8a} が対応付けられ、出力線 DO_4 には、4 本のデータ線 X_{5b} 、 X_{6b} 、 X_{7b} 及び X_{8b} が対応付けられ、...、出力線 $DO(i-1)$ には、4 本のデータ線 $X_{(m-3)a}$ 、 $X_{(m-2)a}$ 、 $X_{(m-1)a}$ 及び X_{ma} が対応付けられ、出力線 DO_i には、4 本のデータ線 $X_{(m-3)b}$ 、 $X_{(m-2)b}$ 、 $X_{(m-1)b}$ 及び X_{mb} が対応付けられている。言い換えれば、出力回路 $41f_1$ (図 6 参照) には、4 本のデータ線 X_{1a} 、 X_{2a} 、 X_{3a} 及び X_{4a} が対応付けられ、出力回路 $41f_2$ には、4 本のデータ線 X_{1b} 、 X_{2b} 、 X_{3b} 及び X_{4b} が対応付けられ、出力回路 $41f_3$ には、4 本のデータ線 X_{5a} 、 X_{6a} 、 X_{7a} 及び X_{8a} が対応付けられ、出力回路 $41f_4$ には、4 本のデータ線 X_{5b} 、 X_{6b} 、 X_{7b} 及び X_{8b} が対応付けられ、...、出力回路 $41f(i-1)$ には、4 本のデータ線 $X_{(m-3)a}$ 、 $X_{(m-2)a}$ 、 $X_{(m-1)a}$ 及び X_{ma} が対応付けられ、出力回路 $41f_i$ には、4 本のデータ線 $X_{(m-3)b}$ 、 $X_{(m-2)b}$ 、 $X_{(m-1)b}$ 及び X_{mb} が対応付けられている。

【0064】

出力線 DO とグループ化されたデータ線 X との間には、時分割回路 42 が出力線単位で設けられている。

【0065】

時分割回路 42 は、グループ化されたデータ線 X の本数に相当する 4 個の選択スイッチを有しており、夫々の選択スイッチは、制御回路 5 からの選択信号 $SS_1 \sim SS_4$ のいずれかによって導通制御される。選択信号 $SS_1 \sim SS_4$ は、同一のグループ内における選択スイッチのオン期間を規定しており、ドライバ IC 41 からの時系列的な信号出力と同期している。以下の説明では、出力線 DO_1 及び DO_2 に着目して説明する。

【0066】

図 7 において、出力線 DO_1 に接続された最左の時分割回路 42 は、先ず 4 本のデータ線 $X_{1a} \sim X_{4a}$ に対して、出力線 DO_1 に出力された補正電圧 V_{amd} を供給する。尚、補正電圧 V_{amd} は、図に示すように順次供給されてもよいし、一斉に供給されてもよい。続いて、時分割回路 42 は、時系列的な 4 画素分のデータ電圧 $V_1 \sim V_4$ を時分割し、これにより得られた個々のデータ電圧 V をデータ線 $X_{1a} \sim X_{4a}$ のいずれかに振り分ける。具体的には、1 フィールドにおける最初の 1 H では、走査信号 SEL_1 が H レベルになって、最上の走査線 Y_1 が選択される。この 1 H において、出力線 DO_1 には、まず補正電圧 V_{amd} が出力され、これに続いて、データ線 $X_{1a} \sim X_{4a}$ と走査線 Y_1 との各交差に対応する 4 画素分のデータ電圧 $V_1 \sim V_4$ (最初の 1 H では $V(1, 1)$ 、 $V(2, 1)$ 、 $V(3, 1)$ 、 $V(4, 1)$ に相当) が順次出力される。

【0067】

また、上述した出力線 DO_1 における電圧の供給に並行して、出力線 DO_2 における電圧の供給も行われる。出力線 DO_2 に接続された時分割回路 42 は、先ず 4 本のデータ線 $X_{1b} \sim X_{4b}$ に対して、出力線 DO_2 に出力された補正電圧 V_{amd} を供給する。続いて、時分割回路 42 は、時系列的な 4 画素分のデータ電圧 $V_1 \sim V_4$ を時分割し、これに

10

20

30

40

50

より得られた個々のデータ電圧 V をデータ線 $X 1 b \sim X 4 b$ のいずれかに振り分ける。具体的には、1フィールドにおける最初の1Hでは、走査信号 $S E L 2$ がHレベルになって、上から2番目の走査線 $Y 2$ が選択される。この1Hにおいて、出力線 $D O 2$ には、まず補正電圧 $V a m d$ が出力され、これに続いて、データ線 $X 1 b \sim X 4 b$ と走査線 $Y 2$ との各交差に対応する4画素分のデータ電圧 $V 1 \sim V 4$ (最初の1Hでは $V (1 , 2)$, $V (2 , 2)$, $V (3 , 2)$, $V (4 , 2)$ に相当) が順次出力される。

【 0 0 6 8 】

このように本実施形態では、列方向(即ち、Y方向)で互いに隣り合う画素部2に対して、ドライバIC41の相異なるPINから出力される電圧が、同時に供給される。即ち、相異なる出力回路41fから、同時に補正電圧 $V a m d$ 及びデータ電圧が供給される。以下では、上述した各電圧の供給について、時系列で詳細に説明する。

10

【 0 0 6 9 】

出力線 $D O 1$ に補正電圧 $V a m d$ が出力されている状態において、選択信号 $S S 1 \sim S S 4$ は、 $S S 1$ 、 $S S 2$ 、 $S S 3$ 、 $S S 4$ の順序で順次Hレベルになって、時分割回路42を構成する4つのスイッチは順次オンする。これにより、出力線 $D O 1$ 及び $D O 2$ に出力された補正電圧 $V a m d$ がデータ線 $X 1 a \sim X 4 a$ 及び $X 1 b \sim X 4 b$ に順次供給される。即ち、補正電圧 $V a m d$ は、 $X 1 a$ 及び $X 1 b$ に同時に供給され、同様に、 $X 2 a$ 及び $X 2 b$ 、 $X 3 a$ 及び $X 3 b$ 、 $X 4 a$ 及び $X 4 b$ に同時に供給される。補正電圧 $V a m d$ は、縦クロストーク(即ち、列方向の表示ムラ)の影響を低減するための電圧であり、本実施形態では一定値0[V]に設定されている。

20

【 0 0 7 0 】

次に、出力線 $D O 1$ にデータ電圧 $V (1 , 1)$ が出力されている状態では、選択信号 $S S 1$ のみがHレベルになって、時分割回路42を構成するスイッチのうち、データ線 $X 1 a$ に対応するスイッチのみがオンする。これにより、出力線 $D O 1$ に出力されたデータ電圧 $V (1 , 1)$ がデータ線 $X 1 a$ に供給され、このデータ電圧 $V (1 , 1)$ に応じて、画素部(1,1)に対するデータの書き込みが行われる。出力線 $D O 1$ にデータ電圧 $V (1 , 1)$ が出力されている間は、データ線 $X 2 a$ 、 $X 3 a$ 、 $X 4 a$ に対応するスイッチはオフのままなので、データ線 $X 2 a$ 、 $X 3 a$ 、 $X 4 a$ 上の電圧は、補正電圧 $V a m d$ に維持される。

30

【 0 0 7 1 】

これと同時に、出力線 $D O 2$ にはデータ電圧 $V (1 , 2)$ が出力されており、時分割回路42を構成するスイッチのうち、データ線 $X 1 b$ に対応するスイッチのみがオンされる。これにより、出力線 $D O 2$ に出力されたデータ電圧 $V (1 , 2)$ がデータ線 $X 1 b$ に供給され、このデータ電圧 $V (1 , 2)$ に応じて、画素部(1,2)に対するデータの書き込みが行われる。出力線 $D O 2$ にデータ電圧 $V (1 , 2)$ が出力されている間は、データ線 $X 2 b$ 、 $X 3 b$ 、 $X 4 b$ に対応するスイッチはオフのままなので、データ線 $X 2 a$ 、 $X 3 a$ 、 $X 4 a$ 上の電圧は、補正電圧 $V a m d$ に維持される。

【 0 0 7 2 】

続いて、出力線 $D O 1$ にデータ電圧 $V (2 , 1)$ が出力されている状態では、選択信号 $S S 2$ のみがHレベルになって、時分割回路42を構成するスイッチのうち、データ線 $X 2 a$ に対応するスイッチのみがオンする。これにより、出力線 $D O 1$ に出力されたデータ電圧 $V (2 , 1)$ がデータ線 $X 2 a$ に供給され、このデータ電圧 $V (2 , 1)$ に応じて、画素部(2,1)に対するデータの書き込みが行われる。出力線 $D O 1$ にデータ電圧 $V (2 , 1)$ が出力されている間は、データ線 $X 1 a$ 、 $X 3 a$ 、 $X 4 a$ に対応するスイッチはオフのままなので、データ線 $X 1 a$ はデータ電圧 $V (1 , 1)$ 、データ線 $X 3 a$ 及び $X 4 a$ は補正電圧 $V a m d$ にそれぞれ維持される。

40

【 0 0 7 3 】

これと同時に、出力線 $D O 2$ にはデータ電圧 $V (2 , 2)$ が出力されており、時分割回路42を構成するスイッチのうち、データ線 $X 2 b$ に対応するスイッチのみがオンされる。これにより、出力線 $D O 2$ に出力されたデータ電圧 $V (2 , 2)$ がデータ線 $X 1 b$ に供

50

給され、このデータ電圧 $V(2, 2)$ に応じて、画素部 $(2, 2)$ に対するデータの書き込みが行われる。出力線 $DO2$ にデータ電圧 $V(2, 2)$ が出力されている間は、データ線 $X1b, X3b, X4b$ に対応するスイッチはオフのままなので、データ線 $X1b$ はデータ電圧 $V(1, 2)$ 、データ線 $X3b$ 及び $X4b$ は補正電圧 $Vamd$ にそれぞれ維持される。

【0074】

以降については図示していないが、同様に、画素部 $(3, 1)$ 及び画素部 $(3, 2)$ に対するデータの書き込みが同時に行われる。そして、画素部 $(4, 1)$ 及び画素部 $(4, 2)$ に対するデータの書き込みが同時に行われる。

【0075】

次の1Hでは、走査信号 $SEL3$ 及び $SEL4$ がHレベルになって、上から3番目の走査線 $Y3$ 及び4番目の走査線 $Y4$ が選択される。この1Hにおいて、出力線 $DO1$ 及び $DO2$ には、先ず補正電圧 $Vamd$ が出力される。これに続いて、出力線 $DO1$ には、データ線 $X1a \sim X4a$ と走査線 $Y3$ との各交差に対応する4画素分のデータ電圧 $V1 \sim V4$ (今回の1Hでは $V(1, 3), V(2, 3), V(3, 3), V(4, 3)$ に相当) が順次出力される。また、出力線 $DO2$ には、データ線 $X1b \sim X4b$ と走査線 $Y3$ との各交差に対応する4画素分のデータ電圧 $V1 \sim V4$ (今回の1Hでは $V(1, 4), V(2, 4), V(3, 4), V(4, 4)$ に相当) が順次出力される。

【0076】

この1Hにおけるプロセスは、出力線 $DO1$ 及び $DO2$ に出力される電圧の極性が夫々反転している点を除けば、先の1Hと同様であり、補正電圧 $Vamd$ の供給と、時系列的なデータ電圧の振り分けとが行われる。また、これ以降についても同様であり、最下の走査線 Yn が選択されるまで、1H毎に極性反転を行いながら、それぞれの画素行に対する補正電圧 $Vamd$ の供給と、これに続くデータ電圧 $V1 \sim V4$ の振り分けとが順次行われていく。

【0077】

このように、例えば、第1列を構成する画素部 $(1, 1) \sim$ 画素部 $(1, n)$ のうち、画素部 $(1, 1)$ 、画素部 $(1, 3)$ 、...、画素部 $(1, n)$ には、出力線 $DO1$ (言い換えれば、出力回路 $41f1$) から出力されたデータ電圧 $V(1, 1)$ 、 $V(1, 3)$ 、...、 $V(1, n-1)$ に応じて、データの書き込みが行われ、画素部 $(1, 2)$ 、画素部 $(1, 4)$ 、...、画素部 $(1, n)$ には、出力線 $DO2$ (言い換えれば、出力回路 $41f2$) から出力されたデータ電圧 $V(1, 1)$ 、 $V(1, 3)$ 、...、 $V(1, n)$ に応じて、データの書き込みが行われる。即ち、第 k 列を構成する複数の画素部 $(k, 1) \sim (k, n)$ には、2つの相異なる出力回路 $41f$ から出力されたデータ電圧に応じて、データの書き込みが行われる。よって、出力回路 $41f1 \sim 41fi$ の出力バラツキ (即ち、出力回路 $41f1 \sim 41fi$ の各々から出力されるデータ電圧に含まれる本来の電圧値からのズレのバラツキ) に起因して、画素列毎に輝度差が生じてしまうことを低減できる。従って、表示される画像にY方向に伸びるライン状の表示ムラが生じてしまうことを抑制できる。

【0078】

出力線 $DO3$ 以降についても、出力線 $DO3$ 及び $DO4$ では、振分対象となる電圧が $V5 \sim V8$ 、振分対象となるデータ線が $X5a \sim X8a$ 及び $X5b \sim X8b$ になる点を除けば、上述した出力線 $DO1$ 及び $DO2$ と同一のプロセスが並行して行われる。この点は、出力線 DOi に至るまでの各系についても同様である。

【0079】

尚、図7においては、出力線 $DO1$ に出力される電圧の極性が1H期間ごとに反転した例で示してあるが、1フィールド毎に極性反転する場合や、1フレームごとに極性反転する場合も同様に動作する。また、出力線 $DO1$ と $DO2$ に出力される電圧が、互いに逆極性となるように極性反転してもよい。

【0080】

10

20

30

40

50

以上説明したように、本実施形態に係る電気光学装置では、各画素列に対して、2つの相異なる出力回路41fから電圧が供給される。ここで、相異なる出力回路41fから出力される電圧にはバラツキが生じているが、上述したように電圧を供給すれば、例えば各画素列に対して、1つの出力回路41fから電圧を供給する場合と比較して、画素列毎の平均電圧のバラツキが減少し、これらの平均電圧が均一化する方向に作用する。即ち、出力回路41f毎に生じるデータ電圧のバラツキが、画素列毎の輝度差として現れてしまうことを防止できる。よって、画像表示領域10aに表示される画像において、データ線に沿った方向のライン状の輝度ムラを目立たなくすることができる。即ち、高品質な画像を表示することが可能である。

【0081】

<第2実施形態>

次に、第2実施形態に係る電気光学装置について、図8及び図9を参照して説明する。ここに図8は、第2実施形態に係る電気光学装置の全体構成を示す斜視図であり、図9は、第2実施形態に係る電気光学装置の具体的構成を示す回路図である。第2実施形態は、上述の第1実施形態と比べて、ドライバICの構成が異なり、その他の構成については概ね同様である。このため第2実施形態では、第1実施形態と異なる部分について詳細に説明し、その他の重複する部分については適宜説明を省略する。尚、図8及び図9においては、図3及び図4で示した第1実施形態に係る構成要素と同様の構成要素に同一の参照符号を付している。

【0082】

図8において、第2実施形態に係る電気光学装置は、1つの電気光学パネルに対し、フレキシブル基板200及びドライバIC41が2つ設けられている。具体的には、電気光学パネルには、外部回路接続端子102が2列設けられており、列毎にドライバIC41を有するフレキシブル基板200が電氣的に接続されている。

【0083】

このように構成すれば、電気光学パネルにおける駆動を2つのドライバIC41によって分担して行うことができる。よって、例えば装置の高精細化に伴い、各種配線や外部回路接続端子102等の数が増加した場合であっても、確実に電気光学パネルを駆動できる。

【0084】

図9において、第2実施形態に係る電気光学装置では、制御回路5及びフレームメモリ6からは、2つのドライバIC41の各々に各種信号が出力される。即ち、2つのドライバIC41には、夫々に割り当てられた画素部2の表示に係る信号が出力される。

【0085】

2つのドライバICには、2つ合わせてi本のPINが備えられている。即ち、1つのドライバIC41が2分のi本のPINを備えている。尚、夫々のPINには、上述した第1実施形態と同様に、相異なる出力回路41fから電圧が供給される。ここで、図に示すように、左側のドライバIC41の最左のPIN1は、出力線DO1に電氣的に接続されている。また、右側のドライバIC41の最左のPIN(i/2+1)は、出力線DO2に電氣的に接続されている。このように、左側のドライバIC41の出力ピンPINは奇数番目の出力線に接続され、右側のドライバIC41の出力ピンPINは偶数番目の出力線に接続されている。よって、左側のドライバIC41に含まれる出力回路41f1、41f3、...、41f(i-1)から、データ線Xka(k=1、...、m)に対して電圧が供給され、右側のドライバIC41に含まれる出力回路41f2、41f4、...、41fiから、データ線Xkb(k=1、...、m)に対して電圧が供給される。

【0086】

第2実施形態に係る電気光学装置の動作時には、上述した第1実施形態と同様に、列方向(即ち、Y方向)で互いに隣り合う画素部2に対して、同時に電圧が印加される。例えば、データ線X1a及びX1bには、同時に電圧が出力される。このため、画素列において互いに隣り合う画素部2には、相異なるドライバIC41から電圧が供給される。これ

10

20

30

40

50

は、相異なる出力回路 4 1 f から同時に電圧が供給されると言い換えることもできる。

【 0 0 8 7 】

ここで、出力回路 4 1 f 毎に生じるデータ電圧のバラツキは、典型的には、同じドライバ IC 4 1 内での出力バラツキより、相異なるドライバ IC 4 1 間での出力バラツキの方が大きい。しかしながら、第 2 実施形態に係る電気光学装置では、上述したように、1 列の画素列に対して相異なる出力回路 4 1 f から電圧が供給される。従って、第 1 実施形態に係る電気光学装置と同様に、出力回路 4 1 f 毎に生じるデータ電圧のバラツキが、画素列毎の輝度差として現れてしまうことを防止できる。よって、画像表示領域 1 0 a に表示される画像において、データ線に沿った方向のライン状の輝度ムラを目立たなくすることができる。即ち、高品質な画像を表示することが可能である。

10

【 0 0 8 8 】

< 電子機器 >

次に、上述した電気光学装置である液晶装置を各種の電子機器に適用する場合について説明する。ここに図 1 0 は、プロジェクタの構成例を示す平面図である。以下では、この液晶装置をライトバルブとして用いたプロジェクタについて説明する。

【 0 0 8 9 】

図 1 0 に示されるように、プロジェクタ 1 1 0 0 内部には、ハロゲンランプ等の白色光源からなるランプユニット 1 1 0 2 が設けられている。このランプユニット 1 1 0 2 から射出された投射光は、ライトガイド 1 1 0 4 内に配置された 4 枚のミラー 1 1 0 6 及び 2 枚のダイクロイックミラー 1 1 0 8 によって R G B の 3 原色に分離され、各原色に対応するライトバルブとしての液晶パネル 1 1 1 0 R、1 1 1 0 B 及び 1 1 1 0 G に入射される。

20

【 0 0 9 0 】

液晶パネル 1 1 1 0 R、1 1 1 0 B 及び 1 1 1 0 G の構成は、上述した液晶装置と同等であり、画像信号処理回路から供給される R、G、B の原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム 1 1 1 2 に 3 方向から入射される。このダイクロイックプリズム 1 1 1 2 においては、R 及び B の光が 9 0 度に屈折する一方、G の光が直進する。従って、各色の画像が合成される結果、投射レンズ 1 1 1 4 を介して、スクリーン等にカラー画像が投写されることとなる。

30

【 0 0 9 1 】

ここで、各液晶パネル 1 1 1 0 R、1 1 1 0 B 及び 1 1 1 0 G による表示像について着目すると、液晶パネル 1 1 1 0 G による表示像は、液晶パネル 1 1 1 0 R、1 1 1 0 B による表示像に対して左右反転することが必要となる。

【 0 0 9 2 】

尚、液晶パネル 1 1 1 0 R、1 1 1 0 B 及び 1 1 1 0 G には、ダイクロイックミラー 1 1 0 8 によって、R、G、B の各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

【 0 0 9 3 】

尚、図 1 0 を参照して説明した電子機器の他にも、モバイル型のパーソナルコンピュータや、携帯電話、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた装置等が挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

40

【 0 0 9 4 】

また、本発明は上述の各実施形態で説明した液晶装置以外にも反射型液晶装置 (L C O S)、プラズマディスプレイ (P D P)、電界放出型ディスプレイ (F E D、S E D)、有機 E L ディスプレイ、デジタルマイクロミラーデバイス (D M D)、電気泳動装置等にも適用可能である。

【 0 0 9 5 】

50

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置、及び該電気光学装置の駆動方法、並びに電子機器もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【0096】

【図1】電気光学パネルの構成を示す平面図である。

【図2】図1のH-H'線断面図である。

【図3】第1実施形態に係る電気光学装置の全体構成を示す斜視図である。

【図4】第1実施形態に係る電気光学装置の具体的構成を示す回路図である。

【図5】画素部の構成を示す回路図である。

【図6】ドライバICの構成を示すブロック図である。

【図7】第1実施形態に係る電気光学装置の時分割駆動のタイミングチャートである。

【図8】第2実施形態に係る電気光学装置の全体構成を示す斜視図である。

【図9】第2実施形態に係る電気光学装置の具体的構成を示す回路図である。

【図10】電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す平面図である。

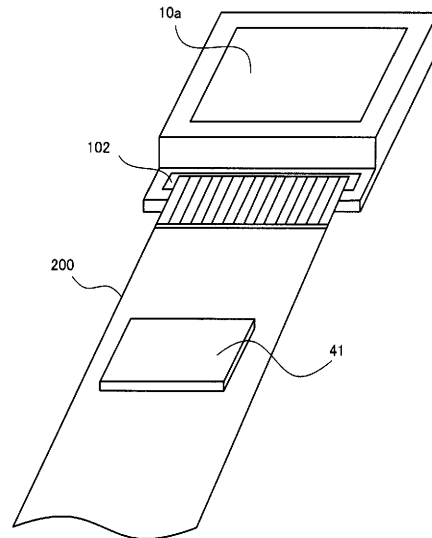
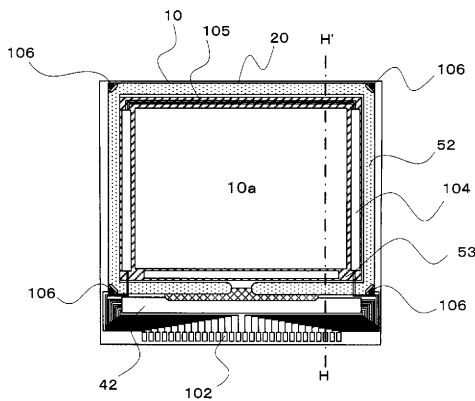
【符号の説明】

【0097】

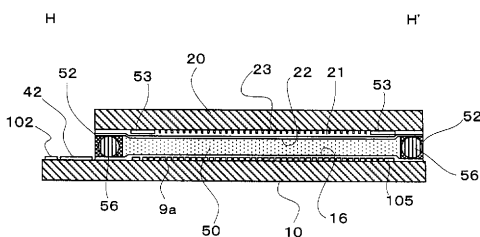
Y...走査線、X...データ線、2...画素部、5...制御回路、6...フレームメモリ、10... TFTアレイ基板、10a...画像表示領域、20...対向基板、21...TFT、22...液晶容量、23...蓄積容量、41...ドライバIC、41a...Xシフトレジスタ、42b...第1のラッチ回路、41c...第2のラッチ回路、41d...切替スイッチ群、41e...D/A変換回路、41f...出力回路、42...時分割回路、50...液晶層、101...データ線駆動回路、102...外部回路接続端子、104...走査線駆動回路、200...フレキシブル基板

【図1】

【図3】



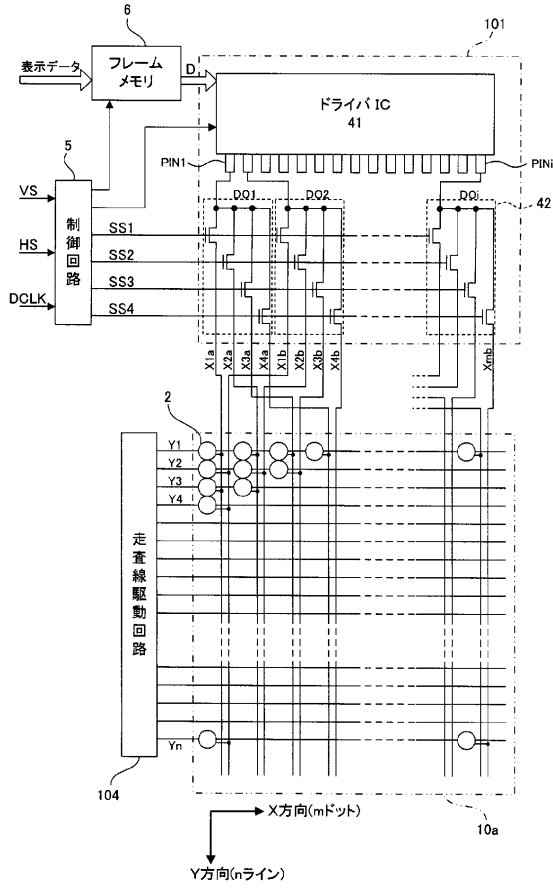
【図2】



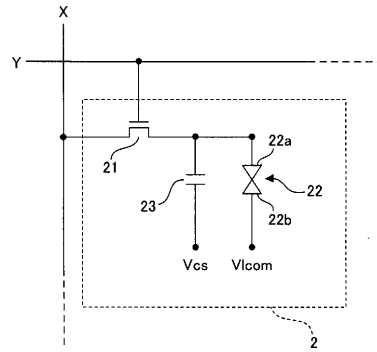
10

20

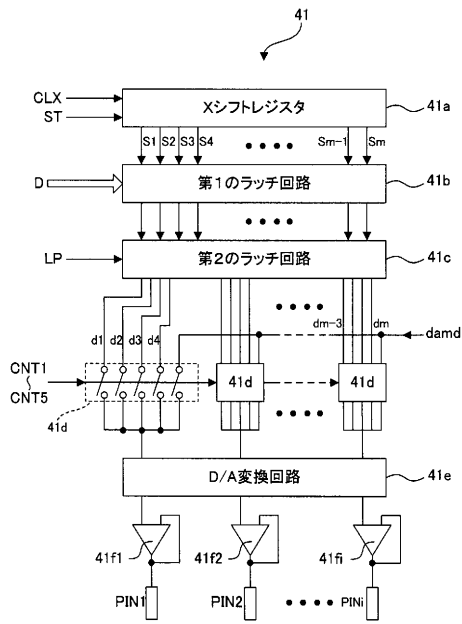
【 図 4 】



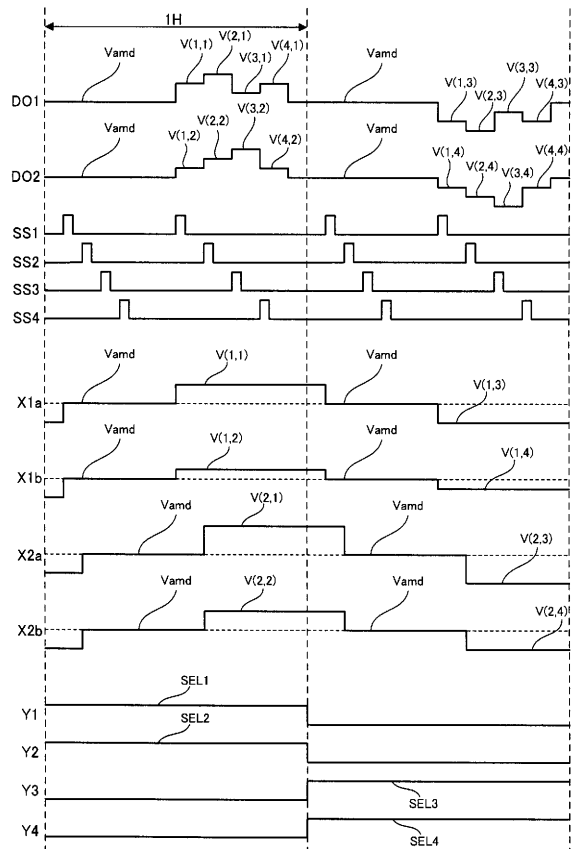
【 図 5 】



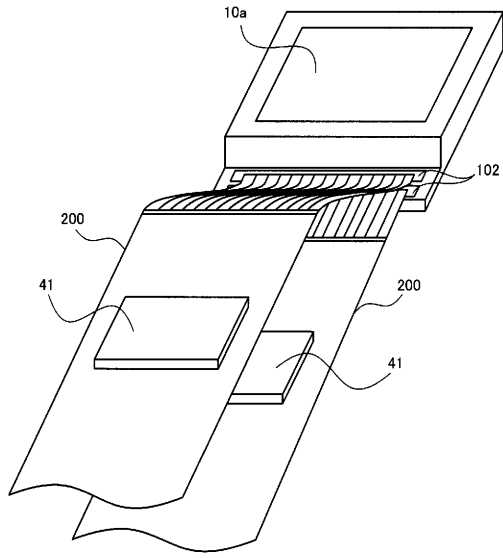
【 図 6 】



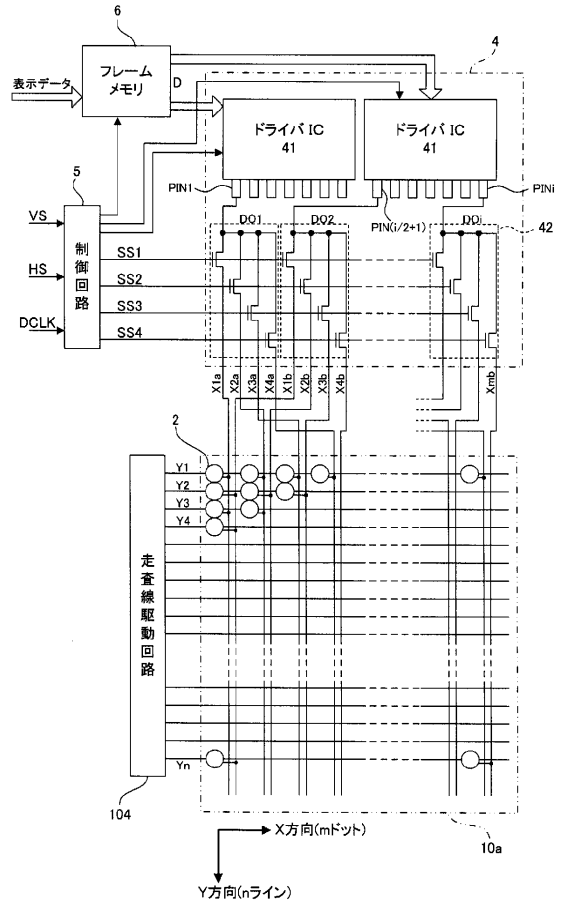
【 図 7 】



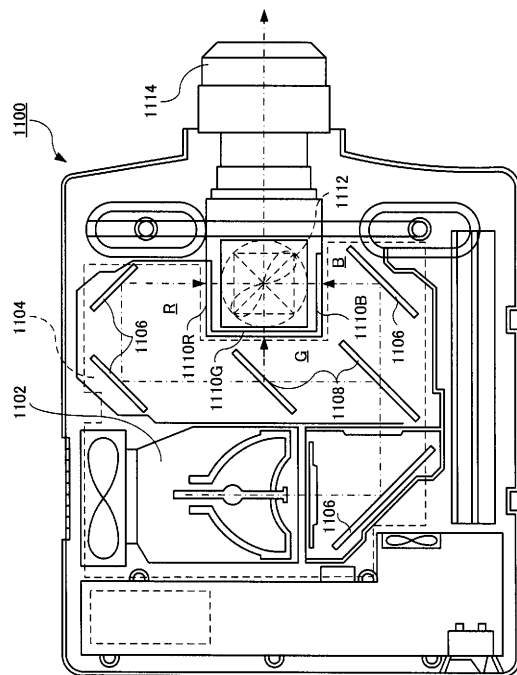
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 1 1 H

G 0 2 F 1/133 5 5 0

Fターム(参考) 5C080 AA05 AA06 AA10 AA18 BB05 DD05 EE29 FF01 FF11 JJ02
JJ03 JJ04 JJ06