

특허청구의 범위

청구항 1

박막트랜지스터와 화소전극이 형성되어 있는 하부 어레이 기관(TFT 기관)과;

블랙매트릭스 및 칼라필터층을 평탄화시키기 위한 평탄화막 위에 배향막이 형성되어 있는 상부 어레이 기관(C/F 기관); 및

상기 상부 어레이 기관과 하부 어레이 기관 사이에 주입된 액정을 봉입하기 위한 실(Seal)을 포함하며,

상기 상부 어레이 기관(C/F 기관)은,

상기 하부 어레이 기관 및 상부 어레이 기관에 의해 화면이 표시되는 화면표시영역(A)과 상기 실 사이의 경계영역에서, 상기 평탄화막이 상기 하부 어레이 기관을 향해 돌출되어 형성된 차단 평탄화막을 포함하는 것을 특징으로 하는 액정패널.

청구항 2

제 1 항에 있어서,

상기 차단 평탄화막의 높이는,

상기 상부 어레이 기관(C/F) 및 하부 어레이 기관(TFT 기관)에 의해 형성되는 셀 갭보다 작게 형성되는 것을 특징으로 하는 액정패널.

청구항 3

제 1 항에 있어서,

상기 평탄화막은,

상기 실이 형성되어 있는 범위를 포함하도록 형성되어 있는 것을 특징으로 하는 액정패널.

청구항 4

제 1 항에 있어서,

상기 평탄화막은,

상기 하부 어레이 기관 및 상부 어레이 기관에 의해 화면이 표시되는 화면표시영역(A)과 상기 실 사이의 경계영역까지만 형성되어 있는 것을 특징으로 하는 액정패널.

청구항 5

블랙매트릭스와 칼라필터가 적층된 상부 어레이 기관(C/F 기관)위에 상기 블랙매트릭스와 칼라필터층을 평탄하게 하기 위한 제1 평탄화막을 적층하는 단계와;

화면표시영역에 형성되는 제2 평탄화막 및 상기 화면표시영역과 실 사이에 형성되는 차단 평탄화막을 형성하기 위한 하프톤 마스크를 상기 제1 평탄화막 위에 위치시킨 후 상기 하프톤 마스크에 광을 조사하는 단계와;

노광된 상기 제1 평탄화막을 현상하는 단계와;

현상된 상기 제1 평탄화막 중 상기 화면표시영역에 형성되는 제2 평탄화막에 배향막을 도포하는 단계; 및

별도의 제조 공정을 거친 하부 어레이 기관(TFT 기관)과 상기 배향막이 도포된 상기 상부 어레이 기관(C/F) 기관을 실(Seal)을 통해 합착하는 단계를 포함하는 액정패널 제조 방법.

청구항 6

제 5 항에 있어서,

상기 현상단계를 통해 현상된 상기 제1 평탄화막 중 상기 화면표시영역과 실 사이에 형성되는 상기 차단 평탄화막은, 상기 상부 어레이 기관(C/F) 및 하부 어레이 기관(TFT 기관)에 의해 형성되는 셀 갭보다 작게 형성되는

것을 특징으로 하는 액정패널 제조 방법.

청구항 7

제 5 항에 있어서,

상기 하프톤 마스크 중 상기 차단 평탄화막을 형성하기 위한 부분은 완전투과영역으로 구성되며, 상기 화면표시 영역에 형성되는 제2 평탄화막을 형성하기 위한 부분은 슬릿영역으로 구성되는 것을 특징으로 액정패널 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 액정패널 및 그 제조 방법에 관한 것으로서, 특히 실(Seal) 얼룩을 방지할 수 있는 액정패널 제조 방법에 관한 것이다.
- <18> 통상의 액정표시장치는 게이트라인들과 데이터라인들간의 교차부에 배열되어진 화소매트릭스를 이용하여 비디오 신호에 대응하는 화상을 표시하게 된다. 이러한 각 화소들은 데이터라인으로부터 액정셀에 공급될 비디오신호를 절환하기 위한 박막트랜지스터(Thin Film Transistor : 이하 "TFT" 라 함)와, 데이터라인으로부터 공급되는 비디오신호가 액정셀로 공급될 수 있도록 게이트 구동신호를 공급하는 게이트라인으로 구성된다. 또한, 액정표시장치에는 게이트라인 및 데이터라인에 구동신호를 공급하기 위한 게이트 구동회로 및 데이터 구동회로들이 마련되어 있다.
- <19> 도 1은 일반적인 액정표시장치의 일실시에 구성도이다.
- <20> 즉, 도 1을 참조하면, 일반적인 액정표시장치는 액정셀 매트릭스를 갖는 액정패널(800), 상기 액정패널의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 구동부(600), 상기 액정패널의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 구동부(400) 및 상기 게이트 구동부와 데이터 구동부를 제어하기 위한 타이밍 제어부(200)를 구비한다.
- <21> 상기 타이밍 제어부(200)는 상기 게이트 구동부 및 데이터 구동부를 제어하는 제어신호들(GDC, DDC)을 발생하고, 상기 데이터 구동부에 화소데이터 신호(R,G,B)를 공급한다. 이때, 상기 타이밍 제어부(200)에서 발생되는 게이트 제어신호들(GDC)에는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 출력 이네이블 신호(GOE) 등이 포함된다. 또한, 타이밍 제어부(200)에서 발생되는 데이터 제어신호들(DDC)에는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭신호(SSC), 소스 출력 이네이블 신호(SOE), 극성제어신호(POL) 등이 포함된다.
- <22> 상기 게이트 구동부(600)는 게이트 제어신호들(GDC)을 이용하여 게이트라인들(GL1 내지 GLn)에 스캔신호를 순차적으로 공급한다. 상기 게이트 구동부(600)의 스캔신호에 응답하여 박막트랜지스터(120)들이 수평라인 단위로 구동된다.
- <23> 상기 데이터 구동부(400)는 입력된 화소 데이터를 아날로그 화소신호로 변환하여 게이트라인(GL)에 스캔신호가 공급되는 1수평기간마다 1수평라인분의 화소신호를 데이터라인들(DL1 내지 DLm)에 공급한다. 이 경우, 상기 데이터 구동부(400)는 감마전압 발생부(미도시)로부터 공급되는 감마전압들을 이용하여 화소데이터를 화소신호로 변환하게 된다.
- <24> 상기 액정패널(800)은 액정층을 사이에 두고 대향하는 상부 어레이 기관(이하, 간단히 'C/F 기관'이라 함)과 하부 어레이 기관(이하, 간단히 'TFT 기관'이라 함)을 포함한다.
- <25> 이때, 상기 C/F 기관은 적색, 녹색 및 청색의 칼라필터와, 칼라필터들 사이에 위치하는 블랙매트릭스와, 액정층에 기준전압을 공급하는 공통전극 등을 포함한다.
- <26> 또한, 상기 TFT 기관은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차로 정의된 서브 화소 영역마다 형성된 박막트랜지스터(120)와, 박막트랜지스터와 접속된 화소전극(100) 등을 구비한다. 상기 박막트랜지스터(120)는 게이트라인(GL1 내지 GLn)으로부터의 스캔신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터

의 화소신호를 화소전극(100)에 공급한다. 상기 화소전극(100)은 화소신호에 응답하여 공통전극(미도시)과의 사이에 위치하는 액정을 구동함으로써 빛의 투과율을 조절하여 해당 칼라필터의 색을 구현하게 된다.

- <27> 이러한 종래의 액정표시장치는 나란하게 배치된 적색(R), 녹색(G) 및 청색(B)을 구현하는 서브화소의 조합으로 하나의 화소를 표현하게 된다.
- <28> 한편, 상기 액정표시장치는 액정을 구동시키는 전계방향에 따라 수직방향 전계를 이용하는 TN(Twisted Nematic)모드와 수평방향 전계를 이용하는 IPS(In plan Switch)모드로 대별된다.
- <29> TN모드는 C/F기판에 대향하게 배치된 화소전극과 공통전극간의 수직전계에 의해 액정을 구동하는 모드로 개구율이 큰 장점을 가지는 반면에 시야각이 좁은 단점을 가진다.
- <30> IPS모드는 TFT 기판상에 나란하게 배치된 화소전극, 공통전극간의 수평전계에 의해 액정을 구동하는 모드로 시야각이 큰 장점이 있는 반면에 개구율이 작은 단점이 있다.
- <31> 도 2는 일반적인 IPS모드의 액정패널의 셀 단면을 나타낸 도면으로서, 도 1에 도시된 액정패널(800)을 이루는 하나의 서브화소의 단면을 나타낸 것이다
- <32> 즉, 도 2에 도시된 액정패널은 이면에 정전기 등을 방지하기 위한 투명전극성 물질이(미도시) 있는 상부기판(1)상에 순차적으로 형성된 블랙 매트릭스(2), 컬러필터(6), 평탄화막(OC : Overcoat)(7), 스페이서(13), 상부 배향막(8)으로 구성되는 C/F 기판(50)과, 하부기판(5)상에 형성된 박막 트랜지스터, 공통전극(4), 화소전극(100) 및 하부 배향막(10)으로 구성되는 TFT 기판(70) 및 상기 C/F 기판과 TFT 기판 사이의 내부공간에 주입되는 액정층(60)을 포함한다.
- <33> 먼저, 상기 C/F 기판(50)에 있어서, 블랙 매트릭스(2)는 하부기판(5)의 TFT 영역과 도시되지 않은 게이트라인들 및 데이터라인들 영역과 중첩되게 형성되며 컬러필터(6)가 형성될 셀영역(화면표시영역)(A)을 구획한다. 이때, 상기 블랙 매트릭스(2)는 빛샘을 방지함과 아울러 외부광을 흡수하여 콘트라스트를 높이는 역할을 한다.
- <34> 상기 컬러필터(6)는 상기 블랙 매트릭스(2)에 의해 분리된 화면표시영역(A) 및 블랙 매트릭스(2)에 걸쳐 형성된다. 또한, 컬러필터(6)는 R,G,B 별로 형성되어 R, G, B 색상을 구현한다.
- <35> 상기 평탄화막(7)은 컬러필터 및 블랙매트릭스를 덮도록 형성되어 상부기판(1)을 평탄화한다.
- <36> 상기 스페이서(13)는 상부기판(1)과 하부기판(5)사이에 셀 갭을 유지하는 역할을 한다.
- <37> 다음으로, 상기 TFT 기판(70)에 있어서, TFT(120)는 게이트라인(미도시)과 함께 하부기판(5) 위에 형성되는 게이트전극(16), 상기 게이트전극과 게이트 절연막(129)을 사이에 두고 중첩되는 반도체층(126) 및 상기 반도체층을 사이에 두고 데이터라인(미도시)과 함께 형성되는 소스/드레인전극(128, 130)을 포함한다.
- <38> 상기 TFT(120)는 게이트라인으로부터의 스캔신호에 응답하여 데이터라인으로부터 인가된 화소신호를 화소전극(100)에 공급한다. 상기 화소전극(100)은 광투과율이 높은 투명전도성 물질로 보호막(108)을 사이에 두고 TFT의 드레인 전극(130)과 접촉된다. 상기 공통전극(4)은 화소전극(100)과 교번되도록 스트라이프 형태로 형성된다.
- <39> 상기 공통전극(4)에는 액정구동시 기준이 되는 공통전압이 공급된다. 이 공통전압과 화소전극(100)에 공급되는 화소전압과의 수평전계에 의해 액정은 수평방향을 기준으로 회전하게 된다.
- <40> 마지막으로, 액정배향을 위한 상/하부 배향막(8,10)은 폴리이미드 등과 같은 배향물질을 도포한 후 러빙공정을 수행함으로써 형성된다.
- <41> 한편, 상기와 같은 구성을 갖는 액정패널(800)은, 액정패널의 하부에 장착된 백라이트(미도시)로부터 인가되는 광이, 상기 화소전극(100)과 공통전극(4)이 형성된 화면표시영역(A)을 통해 상기 컬러필터(6)를 통과함으로써, R, G, B의 색상을 발하게 된다.
- <42> 이때, 상기 화면표시영역(A)을 통과하는 빛의 양은, 상기한 바와 같이 상기 전극들(100, 4)에 공급되는 전계에 의한 액정의 회전에 의해 조절된다.
- <43> 도 3은 일반적인 액정표시장치의 액정패널을 나타낸 사시도로서, 도 1에 도시된 TFT 기판(70) 및 C/F 기판(50)이 합착된 액정패널(800)을 사시도로 나타낸 것이다.
- <44> 이때, TFT 기판(70) 중 C/F 기판(50)에 의해 노출되어 있는 패드부(70-1)에는 게이트 패드 및 데이터 패드가 형성되어 있으며, 상기 게이트 패드 및 데이터 패드는 게이트 구동부(600) 및 데이터 구동부(400)가 연결되는 부

분이다.

- <45> 한편, 상기 TFT 기관 및 C/F 기관은 도 3에 도시된 바와 같이 실런트(Sealant)로 형성된 실(Seal)(700)에 의해 접합된 구조를 가진다.
- <46> 도 4a 및 도 4b는 일반적인 수평 전계형 액정패널의 단면 구조를 개략적으로 나타낸 예시도로서, 도 3의 I-I' 선을 따라 절취한 액정패널의 단면 구조를 나타낸 것이다. 이때, 도 4a는 스핀 타입(Spin type) 평탄화막(Overcoat : OC)을 사용한 액정패널의 단면도이며, 도 4b는 슬릿 타입(Slit type) 평탄화막(OC)을 사용한 액정패널의 단면도이다.
- <47> 즉, 상기 액정패널은 두 장의 절연기관(1, 5)을 대향시켜 그 사이에 액정(60)을 봉입한 것으로, C/F 기관(50)에는 색상을 표현하기 위한 적, 청, 녹색의 칼라필터층(6)이 형성되고, TFT 기관(70)에 형성된 화소전극을 제외한 부분으로의 빛의 투과를 차단하기 위한 블랙매트릭스(2)가 매트릭스 형태로 형성된다. 그리고, 칼라필터층(6)과 블랙매트릭스(2)에 걸쳐 평탄화막(Over coat)(7)을 형성함으로써 전체 면을 평탄하게 만들어 준다.
- <48> TFT 기관(70)에는 게이트라인으로부터 연장되는 게이트전극(16)과, 상기 게이트라인과 교차 배치되는 데이터라인으로부터 연장되는 소스전극(128)과, 드레인전극(130)으로 구성되는 박막트랜지스터(120)가 일정한 간격을 갖고 형성된다. 그리고, 드레인전극(130)과 컨택홀을 통해 연결되는 화소전극(100)이 형성되며 하판의 배면에는 백라이트가 구비된다.
- <49> 한편, 상기 C/F 기관(50)과 TFT 기관(70) 사이에는 셀갭(Cell gap)을 유지하도록 스페이서(Spacer)(13)가 형성되어 있으며, 액정(60)주입 후 상기 두 기관을 밀봉하기 위해 도 3 및 도 4a와 도 4b에 도시된 바와 같이, 실(seal)(700)이 도포되어 있다.
- <50> 액정패널의 비표시영역(B)에는 블랙 매트릭스(2) 및 C/F 기관(50)의 표시영역(A)으로부터 연장된 평탄화막(7)이 위치하고 있으며, C/F 기관(50)과 TFT 기관(70)을 합착시키기 위한 실(Seal)(700)이 위치한다. 즉, 실(700)을 통해 합착된 액정패널의 내부는 진공 상태를 유지할 수 있음과 아울러 외부 환경과 차단되어 외부환경으로부터 보호된다.
- <51> 이때, 상기 실(700)을 형성하는 방법으로는, 도 4a에 도시된 바와 같이 상기 평탄화막(7)이 상기 실(700)의 상단까지 연장되어 있는 스핀 타입(Spin type) 또는 도 4b에 도시된 바와 같이 상기 평탄화막(7)이 상기 실(700)의 앞단에서 중단되어 있는 슬릿 타입(Slit type)이 있다.
- <52> 이때, 상기 실(Seal)(700)을 구성하는 실런트(Sealant)와 액정과 반응에 의해 일반적으로 실(700)주변에는 도 3 및 도 4a 와 도 4b에 도시된 바와 같이 얼룩(710)이 생긴다는 문제점이 있다.
- <53> 즉, 액정패널 구동시 화면에 액자 모양의 실(Seal) 얼룩(710)이 발생되는데, 이러한 실 얼룩의 원인은 실런트(Sealant)의 경화 상태나 불순물 이온에 의해서 발생하는 경우가 있으며, 이러한 불순물 이온이 액정에 잔류 DC를 가하게 하여 액정의 움직임을 방해하므로 액자 형태의 얼룩이 발생하게 된다.

발명이 이루고자 하는 기술적 과제

- <54> 따라서, 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 화면표시 영역과 실(Seal) 사이에 하프톤 마스크(Halfton mask)를 이용하여 차단 평탄화막을 형성시킴으로써 실런트에서 발생하는 오염물질이 화면표시영역으로 이동하는 것을 방지하기 위한, 액정패널 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

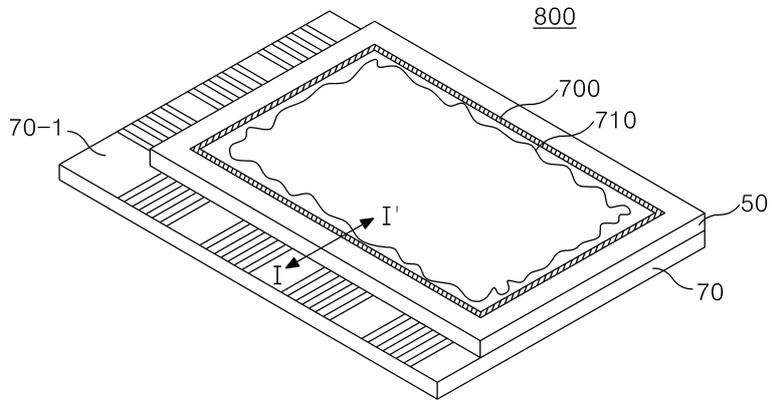
- <55> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정패널은, 박막트랜지스터와 화소전극이 형성되어 있는 하부 어레이 기관(TFT 기관)과; 블랙매트릭스 및 칼라필터층을 평탄화시키기 위한 평탄화막 위에 배향막이 형성되어 있는 상부 어레이 기관(C/F 기관); 및 상기 상부 어레이 기관과 하부 어레이 기관 사이에 주입된 액정을 봉입하기 위한 실(Seal)을 포함하며, 상기 상부 어레이 기관(C/F 기관)은, 상기 하부 어레이 기관 및 상부 어레이 기관에 의해 화면이 표시되는 화면표시영역(A)과 상기 실 사이의 경계영역에서, 상기 평탄화막이 상기 하부 어레이 기관을 향해 돌출되어 형성된 차단 평탄화막을 포함하는 것을 특징으로 한다.
- <56> 또한, 상기 차단 평탄화막의 높이는, 상기 상부 어레이 기관(C/F) 및 하부 어레이 기관(TFT 기관)에 의해 형성되는 셀 갭보다 작게 형성되는 것을 특징으로 한다.

- <57> 또한, 상기 평탄화막은, 상기 실이 형성되어 있는 범위를 포함하도록 형성되어 있는 것을 특징으로 한다.
- <58> 또한, 상기 평탄화막은, 상기 하부 어레이 기관 및 상부 어레이 기관에 의해 화면이 표시되는 화면표시영역(A)과 상기 실 사이의 경계영역까지만 형성되어 있는 것을 특징으로 한다.
- <59> 또한, 본 발명에 따른 액정패널 제조 방법은, 블랙매트릭스와 칼라필터가 적층된 상부 어레이 기관(C/F 기관)위에 상기 블랙매트릭스와 칼라필터층을 평탄하게 하기 위한 제1 평탄화막을 적층하는 단계와; 화면표시영역에 형성되는 제2 평탄화막 및 상기 화면표시영역과 실 사이에 형성되는 차단 평탄화막을 형성하기 위한 하프톤 마스크를 상기 제1 평탄화막 위에 위치시킨 후 상기 하프톤 마스크에 광을 조사하는 단계와; 노광된 상기 제1 평탄화막을 현상하는 단계와; 현상된 상기 제1 평탄화막 중 상기 화면표시영역에 형성되는 제2 평탄화막에 배향막을 도포하는 단계; 및 별도의 제조 공정을 거친 하부 어레이 기관(TFT 기관)과 상기 배향막이 도포된 상기 상부 어레이 기관(C/F) 기관을 실(Seal)을 통해 합착하는 단계를 포함한다
- <60> 또한, 상기 현상단계를 통해 현상된 상기 제1 평탄화막 중 상기 화면표시영역과 실 사이에 형성되는 상기 차단 평탄화막은, 상기 상부 어레이 기관(C/F) 및 하부 어레이 기관(TFT 기관)에 의해 형성되는 셀 갭보다 작게 형성되는 것을 특징으로 한다.
- <61> 또한, 상기 하프톤 마스크 중 상기 차단 평탄화막을 형성하기 위한 부분은 완전투과영역으로 구성되며, 상기 화면표시영역에 형성되는 제2 평탄화막을 형성하기 위한 부분은 슬릿영역으로 구성되는 것을 특징으로 한다.
- <62> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예의 설명을 통하여 명백하게 드러나게 될 것이다.
- <63> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예가 상세히 설명된다.
- <64> 도 5a 및 도 5b 는 본 발명에 따른 액정패널의 단면 구조를 나타낸 예시도로서, 도 4a 및 도 4b와 대응되는 단면 구조를 나타낸 것이다. 즉, 도 5a 및 도 5b는 액정패널의 실(Seal)과 화면표시영역(A)의 경계면(비표시영역)의 단면을 나타낸 것으로서, 도 5a는 스핀 타입(Spin type) 평탄화막(OC)을 사용한 본 발명에 따른 액정패널의 단면도이며, 도 5b는 슬릿 타입(Slit type) 평탄화막(OC)을 사용한 본 발명에 따른 액정패널의 단면도이다. 이때, 상기 도 4a 및 도 4b에 대한 설명과 중복되는 내용은 생략하도록 한다.
- <65> 즉, 본 발명에 따른 액정패널은 도 5a 및 도 5b에 도시된 바와 같이, TFT 기관(50)과 C/F 기관(70)을 대향시켜 그 사이에 액정(60)을 봉입한 것으로서 그 기본 구조는 상기에서 설명된 일반적인 액정패널과 유사하다.
- <66> 먼저, C/F 기관(50)에는 색상을 표현하기 위한 적, 청, 녹색의 칼라필터층(6)이 형성되고, TFT 기관에 형성된 화소전극을 제외한 부분으로 빛의 투과를 차단하기 위한 블랙매트릭스(2)가 매트릭스 형태로 형성된다. 또한, 상기 블랙매트릭스 및 칼라필터층 위에 배향막을 형성하기에 앞서 평탄화막(OC)이 도포된다. 이때, 상기 평탄화막(OC) 중 상기 실(700)과 화면표시영역(A)의 경계에 위치하는 차단 평탄화막(720)은 도 5a 및 도 5b에 도시된 바와 같이 TFT 기관(70)으로부터 C/F 기관(50)에 걸쳐 형성된다. 이때, 상기 차단 평탄화막(720)은 이하에서 설명될 하프톤 마스크(Halftone mask) 방법에 의하여 증착될 수 있다.
- <67> 다음으로, TFT 기관(70)에는 게이트라인으로부터 연장되는 게이트전극(16)과, 상기 게이트라인과 교차 배치되는 데이터라인으로부터 연장되는 소스전극(128)과 드레인전극(130)으로 구성되는 박막트랜지스터(120)가 일정한 간격을 갖고 형성된다. 그리고, 드레인전극(130)과 컨택홀을 통해 연결되는 화소전극(100)이 형성되며 상기 TFT 기관(70)의 배면에는 백라이트가 구비된다.
- <68> 마지막으로, C/F 기관(50)과 TFT 기관(70) 사이에는 셀갭(Cell gap)을 유지하도록 스페이서(Spacer)(13)가 형성되어 있으며, 액정(60)주입 후 상기 두 기관을 밀봉하기 위해 실런트(Sealant)로 형성된 실(Seal)(700)이 형성되어 있다.
- <69> 즉, 본 발명에 따른 액정패널은 도 5a 및 도 5b에 도시된 바와 같이 수평 전계형 액정패널로서, TFT 기관(70)과, C/F 기관(50)이 대향하여 실런트(Sealant)(700)에 의해 접합된 구조를 가지며, 접합된 상기 TFT 기관(70)과 C/F 기관(50)은 스페이서에 의해 일정한 셀갭을 유지하게 되고, 그 셀갭에는 전계에 따라 빛 투과율 조절을 위한 액정(60)이 채워지는 구조로 구성되어 있다.
- <70> 이때, 본 발명에 따른 액정패널은 일반적인 액정패널과 비교해 볼 때 상기 실(700)과 화면표시영역(A)의 경계면에 상기 평탄화막(7)이 연장되어 상기 TFT 기관과 C/F 기관 사이에 형성됨으로써, 상기 실(700)을 형성하는 실런트(Sealant)의 오염물이 상기 액정과 반응하지 못하게 함으로써, 결국 화면표시영역(A)에 얼룩이 생기지 않도록

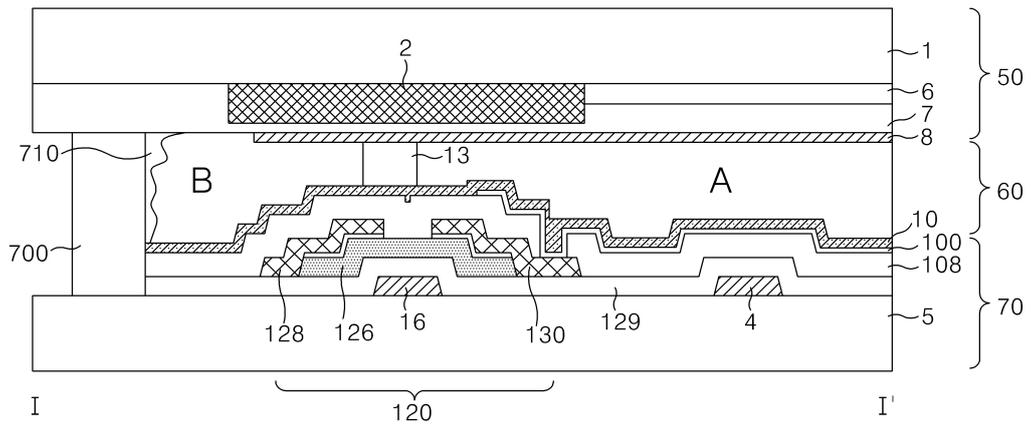
록 한다는 특징을 가지고 있다.

- <71> 즉, 상기한 바와 같은 실 얼룩은 실런트(sealant) 경화시 경화되지 않은 물질이나, 실런트(sealant)의 오염물이 온도가 증가함에 따라 액정과 반응을 함으로써 액정에 잔류 DC를 가하게 되어 발생하는 얼룩으로서, 상기와 같은 실(Seal) 얼룩을 예방하기 위한 본 발명은 실런트(Sealant)의 오염물이 액정과 반응을 하지 못하도록 하프톤 마스크(Halftone mask)를 이용하여 도 5a 및 도 5b에 도시된 바와 같이 평탄화막(7)을 연장시킨 차단 평탄화막(barrier)(720)을 설치하여 상기 오염물이 액정과 반응하는 것을 방지하도록 하고 있다. 이때, 상기 차단 평탄화막(720)의 높이는 약 2~4 μ m로서 셀 갭보다 작게 성립하면 된다. 또한, 상기 차단 평탄화막(OC)(720)의 경우 기존에 사용하고 있는 광경화성 물질이 그대로 이용될 수 있으므로, 상기 액정과 반응하여도 상기와 같은 얼룩을 발생하지 않는다.
- <72> 도 6a 및 도 6b는 본 발명에 적용되는 하프톤 마스크(Halftone mask)를 이용하여 차단 평탄화막을 형성하는 방법을 설명하기 위한 예시도이다.
- <73> 하프톤 마스크를 이용한 패턴 형성 방법은, 슬릿을 통과하는 빛에는 회절 현상이 발생한다는 회절 원리를 이용하여, 한 번의 마스크로 두 가지 형태의 패턴(pattern)을 구현하는 기술이다. 이때, 상기 하프톤 마스크 상에는 3가지 패턴(pattern)이 존재하게 되는데, 예를들어, 빛이 투과하지 않고 완전히 가려지는 완전차단영역(A3), 빛이 완전히 투과되는 완전투과영역(A2)과 빛이 약 30%정도 투과되는 슬릿 slit) 영역(A1)이 존재한다.
- <74> 한편, 상기 하프톤 마스크(half-tone mask)를 사용한 패턴 형성 방법에 있어서, 상기 슬릿영역(A1)을 통해 조사되는 노광량은 빛을 모두 투과시키는 완전투과영역(A2)보다 적기 때문에, 감광막을 도포한 후, 상기 감광막에 부분적으로 슬릿영역(A1) 및 완전투과영역(A2)이 마련된 마스크를 사용하여 노광하게 되면, 슬릿영역(A1)에 남아있는 감광막의 두께와 완전투과영역(A2)에 남아있는 감광막의 두께가 다르게 형성된다.
- <75> 즉, 도 6a 및 도 6b에 도시된 바와 같이, 네거티브 타입인 경우에는 완전투과영역(A2)에 남아있는 평탄층의 두께가 두껍게 형성되며, 포지티브 타입인 경우에는 슬릿영역(A1)을 통해 빛이 조사된 감광막의 두께가 완전투과영역에 비해 두껍게 형성된다.
- <76> 상기 하프톤 마스크를 이용한 공정을 도 6a 및 도 6b를 참조하여 간단히 설명하면 다음과 같다.
- <77> 먼저, 도 6a에 도시된 바와 같이, 서로 다른 높이의 평탄화막을 형성하고자 하는 기관(300)을 준비한 다음, 상기 기관(300) 위에 평탄화막(308')을 도포한다. 이때, 상기 기관(300)은 TFT 기관 또는 C/F 기관일 수 있으며, 상기 평탄층막(308')은 상기한 바와 같이 광경화성물질이 이용된다.
- <78> 다음으로, 상기 평탄화막(308')에 마스크(310)를 적용하여 UV와 같은 광(도면상에 화상표로 표시)을 조사한다. 이때, 하프톤 마스크(310)에는 광을 일부만 투과시키는 슬릿영역(A1)과 광을 모두 투과시키는 완전투과영역(A2) 및 조사된 모든 광을 차단하는 완전차단영역(A3)이 마련되어 있으며, 상기 마스크(210)를 투과한 빛이 평탄화막(308')에 조사된다.
- <79> 이어서, 하프톤 마스크(310)를 통해 노광된 평탄화막(308')을 현상하여, 슬릿영역(A1) 및 완전투과영역(A2)을 통해 광이 조사된 영역에만 평탄화막(308')을 남기고, 나머지 영역은 제거하면 도 6b에 도시된 바와 같이, 높이가 서로 다른 제1 평탄화막(208a) 및 제2 평탄화막(208b)이 형성된다.
- <80> 이때, 슬릿영역(A1)을 통해 형성된 영역에는 상대적으로 높이가 낮은 제1평탄화막(308a)이 형성되고, 완전투과영역(A2)에는 상대적으로 높이가 높은 제2 평탄화막(308b)이 형성된다. 이것은 평탄화막이 네거티브 타입 감광막 특성을 가지고 있기 때문이며, 네거티브타입은 포지티브타입보다 해상도가 높기 때문에 포지티브타입보다 많이 사용된다.
- <81> 그러나, 상기와 같은 높이가 다른 평탄화막은, 포지티브타입을 사용하여 형성할 수도 있으며, 이 경우에는 하프톤 마스크의 패턴을 반대로 제작해야 한다. 즉, 패턴을 남기고자 하는 영역에 광이 차단될 수 있도록 해야한다.
- <82> 상기한 바와 같이, 본 발명은 평탄화막의 높이를 하나의 마스크를 이용하여 다르게 형성할 수 있는 하프톤 마스크를 이용하고 있기 때문에, 실런트와 화면표시영역(A) 사이의 경계면에 상기 화면표시영역에서의 평탄화막 높이와는 다른 차단 평탄화막을 형성할 수 있는 방법을 제공한다.
- <83> 도 7a 내지 7f는 본 발명에 따른 액정패널의 제조 방법을 설명하기 위한 공정단면도이다. 이때, 상기 TFT 기관의 제조 공정은 종래의 일반적인 제조 방법과 동일하므로 그에 대한 상세한 설명은 생략된다.
- <84> 먼저, 도 7a에 도시된 바와 같이, 절연기관(1) 위에 스퍼터링(Sputtering) 공정을 이용하여 블랙매트릭스 물질

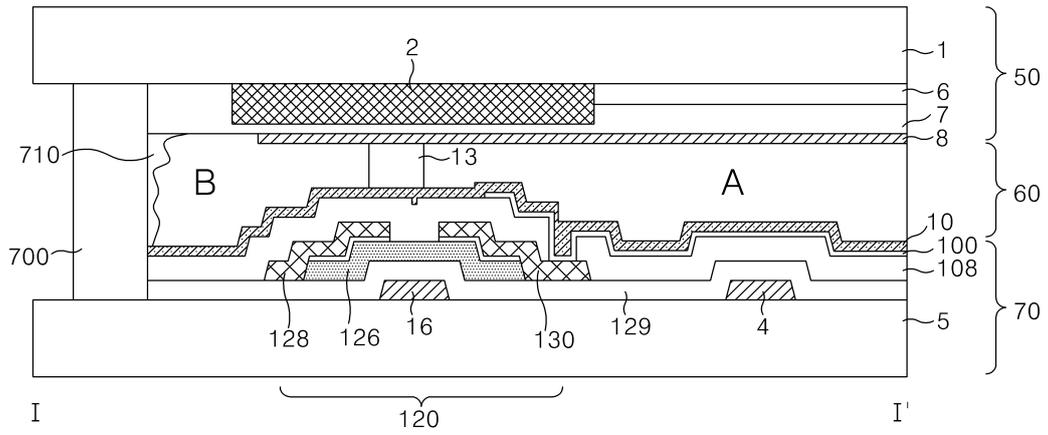
도면3



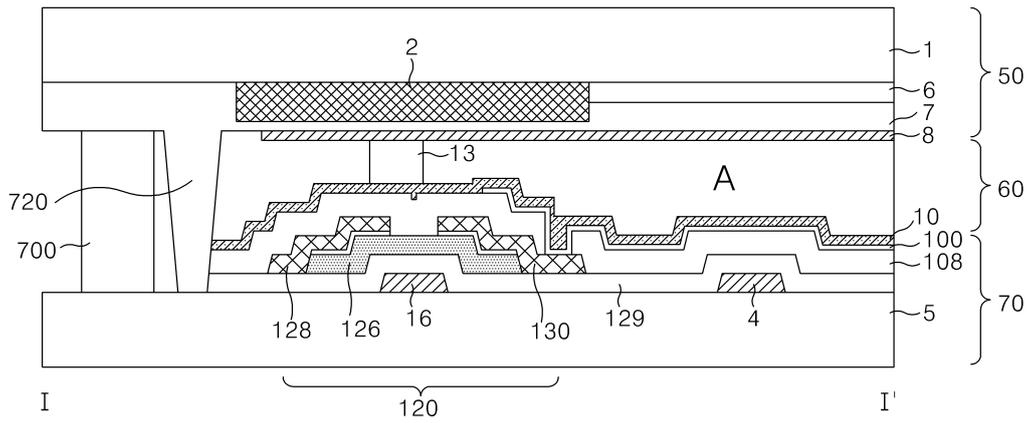
도면4a



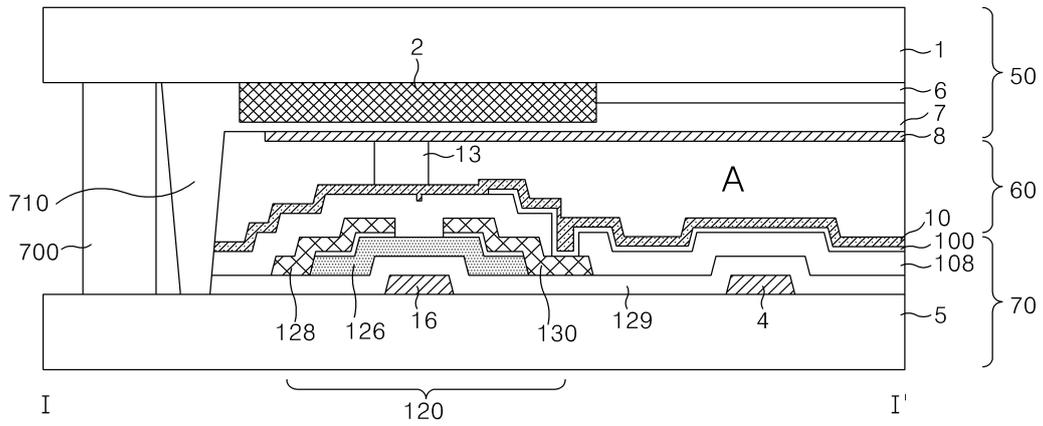
도면4b



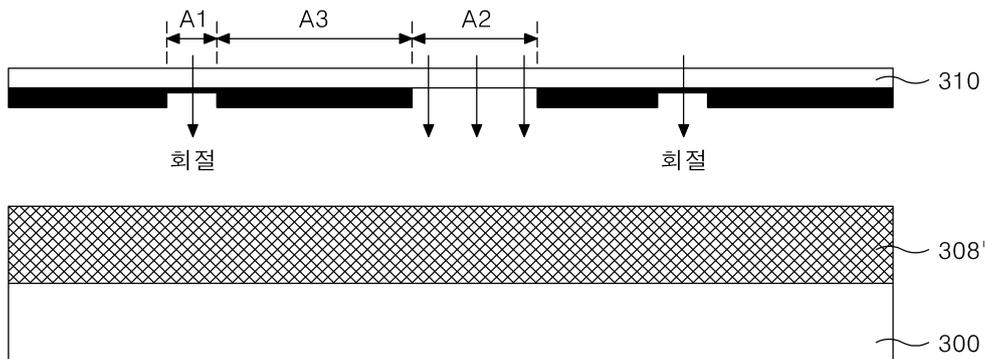
도면5a



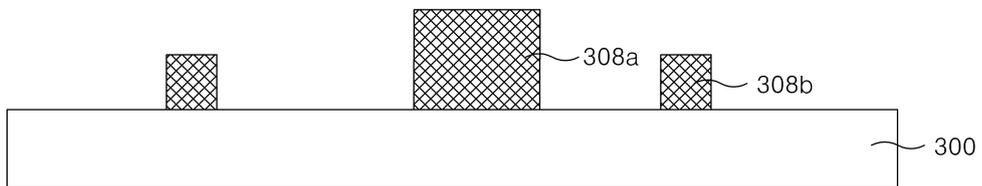
도면5b



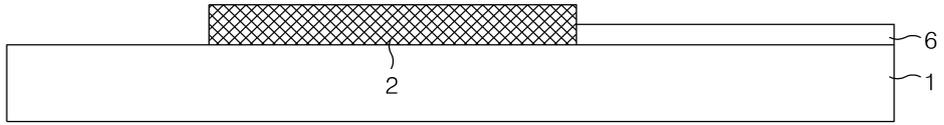
도면6a



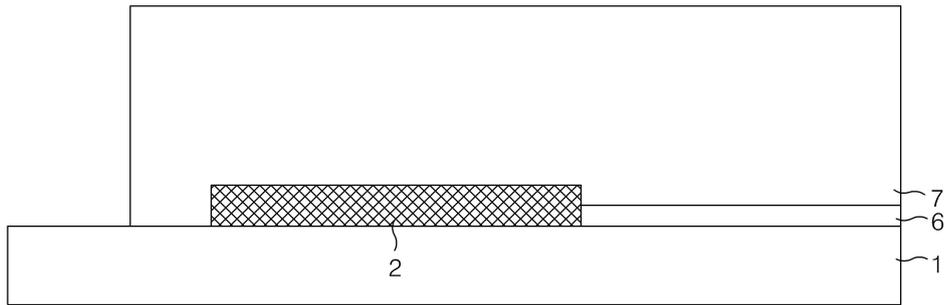
도면6b



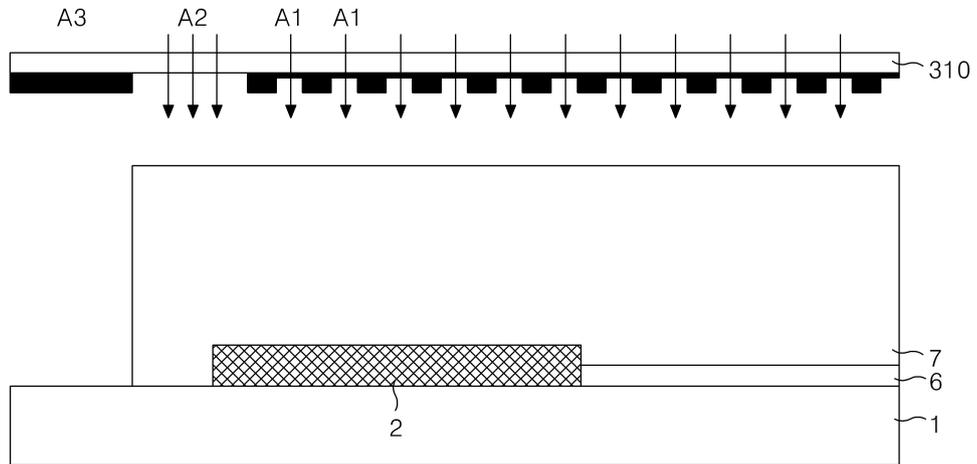
도면7a



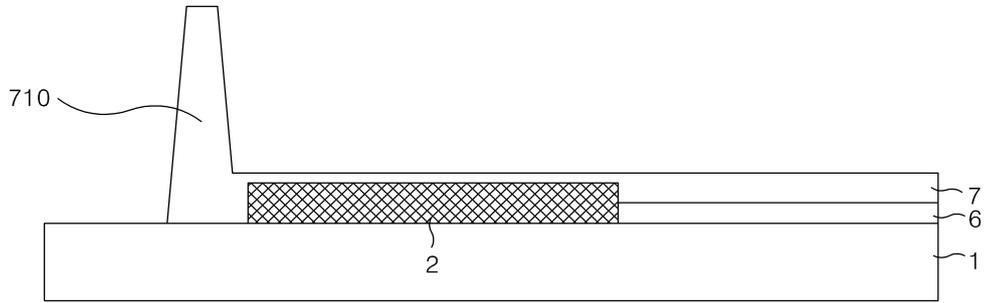
도면7b



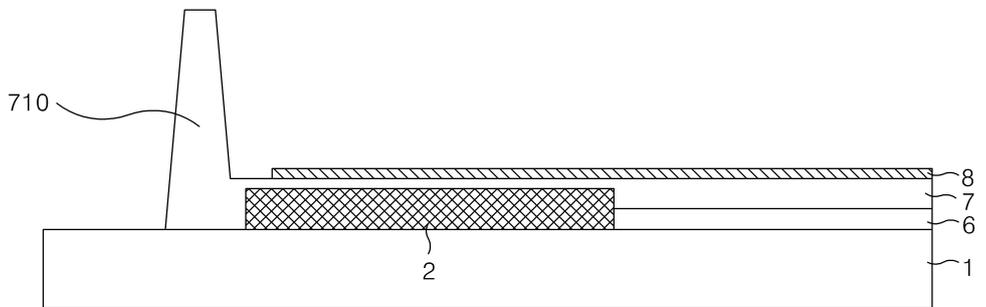
도면7c



도면7d



도면7e



도면7f

