(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월14일
(11) 등록번호 10-1374097
(24) 등록일자 2014년03월07일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)
(21) 출원번호 10-2006-0118901
(22) 출원일자 2006년11월29일
심사청구일자 2011년10월27일
(65) 공개번호 10-2008-0048665
(43) 공개일자 2008년06월03일
(56) 선행기술조사문헌
KR1020050097175 A*
KR1020010081251 A*
KR1020040062015 A*
KR1019990070438 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
유준혁
서울특별시 동작구 남부순환로269가길 12, 신영움트빌 202호 (사당동)
장형석
경기도 성남시 분당구 장미로 55, 현대아파트 803동 201호 (야탑동, 장미마을)
(74) 대리인
김용인, 박영복

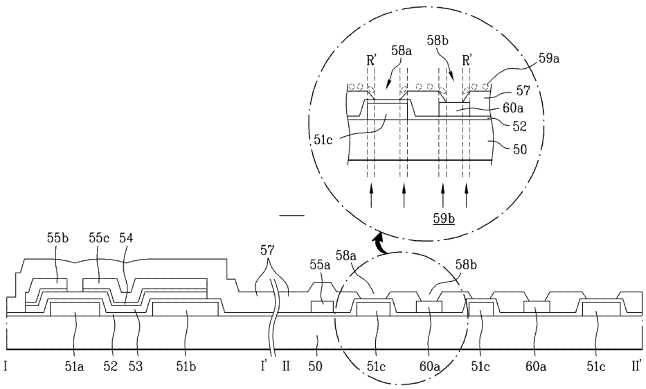
전체 청구항 수 : 총 10 항 심사관 : 윤성주

(54) 발명의 명칭 **횡전계 액정표시장치의 박막 트랜지스터 어레이기판 및그의 제조방법**

(57) 요 약

본 발명은 횡전계방식 액정표시장치의 박막 트랜지스터 어레이기판 및 그의 제조방법에 관한 것으로, 본 발명에 따른 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판은 기판과, 상기 기판 상에 일방향으로 배열된 게이트 배선과, 상기 게이트 배선과 동일 물질로 평행하게 형성되는 공통배선과, 상기 공통배선에서 분기되어 상기 게이트 배선과 수직하게 배열된 공통전극과, 상기 게이트 배선, 공통배선, 공통전극 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성되고, 상기 게이트 배선과 수직으로 교차되어 화소영역을 정의하는 데이터 배선과, 상기 화소영역 내에 상기 공통전극과 서로 교번되도록 배치되며, 상기 데이터배선과 동일 물질로 형성된 화소전극과, 상기 화소영역 내에 형성되는 박막 트랜지스터와, 상기 데이터 배선 및 화소전극 상에 형성된 제2 절연막과, 상기 제2 절연막에 상기 화소전극의 중심부를 노출하는 제1 홀과 상기 공통전극의 중심부에 상응하는 제1 절연막을 노출하는 제2 홀을 포함한다.

대 표 도



특허청구의 범위

청구항 1

기판과,

상기 기판 상에 일방향으로 배열된 게이트 배선과,

상기 게이트 배선과 동일 물질로 평행하게 형성되는 공통배선과,

상기 공통배선에서 분기되어 상기 게이트 배선과 수직하게 배열된 공통전극과,

상기 게이트 배선, 공통배선, 공통전극 상에 형성된 제1 절연막과,

상기 제1 절연막 상에 형성되고, 상기 게이트 배선과 수직으로 교차되어 화소영역을 정의하는 데이터 배선과,

상기 화소영역 내에 상기 공통전극과 서로 교번되도록 배치되며, 상기 데이터배선과 동일 물질로 형성된 화소전극과,

상기 화소영역 내에 형성되는 박막 트랜지스터와,

상기 데이터 배선 및 화소전극 상에 형성된 제2 절연막과,

상기 제2 절연막에 상기 화소전극의 중심부를 노출하는 제1 홀과 상기 공통전극의 중심부에 상응하는 제1 절연막을 노출하는 제2 홀을 포함하며,

상기 제1 홀은 상기 화소전극의 형성영역에 대응하여 상기 화소전극의 중심부를 모두 노출하도록 형성되되 상기 화소전극의 선폭보다 작은 선폭으로 형성되고,

상기 제2 홀은 상기 공통전극의 형성영역에 대응하여 상기 공통전극의 중심부를 모두 노출하도록 형성되되 상기 공통전극의 선폭보다 작은 선폭으로 형성된 것을 특징으로 하는 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1 항에 있어서, 상기 박막 트랜지스터는

상기 게이트 배선에서 화소영역으로 돌출 형성되는 게이트 전극과,

상기 게이트 전극상에 형성된 반도체층 및 오믹 콘택층과,

상기 데이터 배선에서 돌출 형성되고, 상기 게이트 전극에 상응하는 제1 절연막 상에 형성된 소스전극 및 드레인전극을 구비하는 것을 특징으로 하는 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판.

청구항 5

제4 항에 있어서, 상기 드레인전극은

상기 화소전극과 동일 물질로 연결 형성되는 것을 특징으로 하는 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판.

청구항 6

제4 항에 있어서, 상기 게이트 배선, 공통배선, 게이트 전극 및 공통전극은

비저항을 가지는 구리(Cu), 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta),

몰리브덴-텅스텐(MoW) 중 어느 하나의 금속으로 형성하는 것을 특징으로 하는 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판.

청구항 7

제4 항에 있어서, 상기 소스 및 드레인 전극, 화소전극 및 데이터배선은

비저항을 가지는 구리(Cu), 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 중 어느 하나의 금속으로 형성하는 것을 특징으로 하는 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판.

청구항 8

기판이 제공되는 단계와,

상기 기판상에 동일물질로 게이트 배선, 공통배선, 게이트 전극 및 공통전극을 형성하는 단계와,

상기 게이트 전극을 포함한 기판 상에 제1 절연막을 형성하는 단계와,

상기 제1 절연막 상에 동일 물질로 소스 및 드레인 전극, 화소전극 및 데이터배선을 형성하는 단계와,

상기 데이터배선을 포함한 기판 상에 제2 절연막을 형성하는 단계와,

상기 제2 절연막을 패터닝하여 상기 화소전극의 중심부를 노출하는 제1 홀과 상기 공통전극의 중심부에 상응하는 제1 절연막을 노출하는 제2 홀을 형성하는 단계를 포함하며,

상기 제1 홀은 상기 화소전극의 형성영역에 대응하여 상기 화소전극의 중심부를 모두 노출하도록 형성되되 상기 화소전극의 선폭보다 작은 선폭으로 형성되도록 하고,

상기 제2 홀은 상기 공통전극의 형성영역에 대응하여 상기 공통전극의 중심부를 모두 노출하도록 형성되되 상기 공통전극의 선폭보다 작은 선폭으로 형성되도록 한 것을 특징으로 하는 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판의 제조방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

제8 항에 있어서, 상기 제1 절연막 상에 또는 소스 및 드레인전극 하부에 있어서, 반도체층 및 오믹콘택층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판의 제조방법.

청구항 12

제8 항에 있어서, 상기 드레인전극은

상기 화소전극과 동일물질로 연결 형성하는 것을 특징으로 하는 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판의 제조방법.

청구항 13

제8 항에 있어서, 상기 게이트 배선, 공통배선, 게이트 전극 및 공통전극은

비저항을 가지는 구리(Cu), 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 중 어느 하나의 금속으로 형성하는 것을 특징으로 하는 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판의 제조방법.

청구항 14

제8 항에 있어서, 상기 소스 및 드레인 전극, 화소전극 및 데이터배선은

비저항을 가지는 구리(Cu), 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 중 어느 하나의 금속으로 형성하는 것을 특징으로 하는 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0011] 본 발명은 액정표시장치의 박막 트랜지스터 어레이기판 및 그 제조방법에 관한 것으로, 더욱 상세하게는 횡전계 방식 액정표시장치의 박막 트랜지스터 어레이기판 및 그의 제조방법에 관한 것이다.

[0012] 통상적으로, 액정표시장치(Liquid Crystal Display: LCD)에서는 액정패널 상에 매트릭스 형태로 배열된 액정 셀들의 광투과율을 그에 공급되는 데이터 신호를 조절함으로써 데이터 신호에 해당하는 화상을 패널 상에 표시하게 된다.

[0013] 일반적으로 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0014] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0015] 현재에는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동행렬 액정표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0016] 상기와 같은 액정표시장치들 중에서 상부기판에 형성된 공통전극과 하부기판에 형성된 화소전극이 구비된 횡전계 액정표시장치는 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하며, 상판의 공통전극이 접지역할을 하게 되어 정전기로 인한 액정 셀의 파괴를 방지할 수 있다.

[0017] 그러나, 상-하로 걸리는 전기장에 의한 액정 구동은 시야각 특성이 우수하지 못한 단점을 갖고 있다. 따라서, 상기의 단점을 극복하기 위해 새로운 기술이 제안되고 있다. 하기 기술될 횡전계 액정표시장치는 한 기판에 형성된 두 전극을 통한 수평전계에 의한 액정 구동방법으로 시야각 특성이 우수한 장점을 갖고 있다.

[0018] 하기 기술될 내용은 횡전계 액정표시장치에 관한 것이다.

[0019] 도 1 및 도 2는 일반적인 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판을 도시한 평면도 및 단면도이다.

[0020] 도 1 및 도 1의 Ⅰ-Ⅰ' 및 Ⅱ-Ⅱ'선상의 단면도인 도 2를 참조하면, 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판은, 기판(150) 상에 가로방향으로 게이트 배선(151)과 공통배선(151b)이 평행을 이루며 형성되어 있고, 상기 공통배선(151b)에는 상기 공통배선(151b)에서 분기된 복수 개의 공통전극(151c)이 형성되고, 상기 게이트 배선(151)의 일측에는 게이트 전극(151a)이 돌출 형성된다.

[0021] 그리고, 게이트 배선(151), 공통배선(151b), 게이트 전극(151a)이 형성된 기판(150) 상에 게이트 절연막(152)이 형성되고, 상기 게이트 절연막(152)이 형성된 기판의 게이트 전극(151a)과 오버랩되도록 박막 트랜지스터의 채널층인 반도체층(153a)이 형성된다.

[0022] 그리고, 상기 가로 방향으로 형성된 상기 게이트 배선(151) 및 공통배선(151b)과 수직을 이루며 형성된 세로방향의 데이터 배선(155a)이 되어 있다. 따라서, 수직 교차된 게이트 배선(151) 및 데이터 배선(155a)으로 하나의 화소영역이 정의된다.

[0023] 그리고, 상기 반도체층(153a) 상의 상기 데이터 배선(155a)에는 소스 전극(155b)이 상기 게이트 전극(151)과 소정면적 오버랩되게 형성되어 있고, 상기 소스 전극(155b)과 대응되는 위치에 드레인 전극(155c)이 형성되어 있다.

[0024] 그리고, 상기 소스 전극(155b) 및 드레인 전극(155c)이 형성된 기판 전면에 보호막(157)이 형성되고, 상기 드레인 전극(155c)과 노출되도록 보호막(157)에 콘택홀이 형성된다.

[0025] 그리고, 상기 보호막(157) 상에 화소영역에 형성된 공통전극(151c)과 서로 엇갈리게 형성된 화소전극(160a)이 형성되고, 상기 보호막(157)에 형성된 콘택홀을 통해 화소전극(160a)은 드레인 전극(155c)과 접촉하고 있다.

[0026] 도시되지는 않았지만, 상기 화소전극(160a)이 형성된 박막 트랜지스터 어레이 기판 전면에 배향막이 도포된다. 그리고, 배향막이 도포된 박막 트랜지스터 어레이 기판과 액정층을 사이에 두고 대향 배치된 컬러필터 어레이 기판이 구비된다. 상기 컬러필터 어레이 기판은 컬러필터, 블랙 매트릭스 등을 구비한다.

[0027] 이와 같은 횡전계방식 액정표시소자는, 하나의 기판(150)에 형성된 두 전극 즉, 공통전극(151c) 및 화소전극(160a)에 전압을 인가하지 않으면, 블랙(black) 상태를 표시하고, 공통전극(151c) 및 화소전극(160a)에 전압을 인가하면, 화이트(white) 상태를 표시한다.

[0028] 이와 같은 화이트 상태와 블랙 상태에서의 대비로 나타내어지는 콘트라스트비를 증가시켜야 하는 데, 블랙 상태의 휘도를 낮추는 것도 하나의 방법이 될 수 있다.

[0029] 한편, 상기 화소전극(160a) 또는 공통전극(151c)이 형성된 영역은 인접한 영역들보다 돌출 형성되어 있어, 화소전극(160a) 또는 공통전극(151c)이 형성된 영역과 인접한 영역은 단차를 갖게 된다.

[0030] 상기와 같이 전극(160a, 151c)들의 형성으로 인해 발생되는 단차 영역(R)에는 상기 증착된 배향막에 수행되는 러빙 공정시 러빙의 불균일을 초래하게 되고, 이 영역(R) 상에 위치되는 액정의 배열이 흐트러지게 된다. 이러한 액정의 배열 왜곡 현상은 기판 배면의 백라이트광(159b)을 투과시켜 액정의 배열 왜곡으로 인한 빛샘현상을 유발하게 되는 데, 이는 블랙 상태에서의 휘도를 오히려 증가시키게 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0031] 따라서, 상술한 문제점을 해결하기 위한 본 발명의 목적은 빛샘 현상을 방지하여 전압 비인가시의 블랙상태에서의 휘도를 감소시켜 액정표시장치의 콘트라스트비를 증가시키기 위한 횡전계방식 액정표시소자의 박막 트랜지스터 및 그의 제조방법을 제공함에 있다.

발명의 구성 및 작용

[0032] 상술한 목적을 달성하기 위한 본 발명에 따른 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판은 기판과, 상기 기판 상에 일방향으로 배열된 게이트 배선과, 상기 게이트 배선과 동일 물질로 평행하게 형성되는 공통배선과, 상기 공통배선에서 분기되어 상기 게이트 배선과 수직하게 배열된 공통전극과, 상기 게이트 배선, 공통배선, 공통전극 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성되고, 상기 게이트 배선과 수직으로 교차되어 화소영역을 정의하는 데이터 배선과, 상기 화소영역 내에 상기 공통전극과 서로 교번되도록 배치되며, 상기 데이터배선과 동일 물질로 형성된 화소전극과, 상기 화소영역 내에 형성되는 박막 트랜지스터와, 상기 데이터 배선 및 화소전극 상에 형성된 제2 절연막과, 상기 제2 절연막에 상기 화소전극의 중심부를 노출하는 제1 홀과 상기 공통전극의 중심부에 상응하는 제1 절연막을 노출하는 제2 홀을 포함한다.

[0033] 상기 제1 홀의 직경은 상기 공통전극의 선폭보다 작게 형성되도록 하고, 상기 제2 홀의 직경은 상기 화소전극의 선폭보다 작게 형성되도록 한다.

[0034] 상기 박막 트랜지스터는 상기 게이트 배선에서 화소영역으로 돌출 형성되는 게이트 전극과, 상기 게이트 전극 상에 형성된 반도체층 및 오믹 콘택층과, 상기 데이터 배선에서 돌출 형성되고, 상기 게이트 전극에 상응하는 제1 절연막 상에 형성된 소스전극 및 드레인전극을 구비한다.

[0035] 상기 드레인전극은 상기 화소전극과 동일 물질로 연결 형성된다.

[0036] 상기 게이트 배선, 공통배선, 게이트 전극 및 공통전극, 상기 소스 및 드레인 전극, 화소전극 및 데이터배선은 비저항을 가지는 구리(Cu), 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 중 어느 하나의 금속으로 형성한다.

[0037] 상술한 목적을 달성하기 위한 본 발명에 따른 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판 제조방법은 기판이 제공되는 단계와, 상기 기판상에 동일물질로 게이트 배선, 공통배선, 게이트 전극 및 공통전극을 형성하는 단계와, 상기 게이트 전극을 포함한 기판 상에 제1 절연막을 형성하는 단계와, 상기 제1 절연막 상에 동일 물질로 소스 및 드레인 전극, 화소전극 및 데이터배선을 형성하는 단계와, 상기 데이터배선을 포함한 기판

상에 제2 절연막을 형성하는 단계와, 상기 제2 절연막을 패터닝하여 상기 화소전극의 중심부를 노출하는 제1 홀과 상기 공통전극의 중심부에 상응하는 제1 절연막을 노출하는 제2 홀을 형성하는 단계를 포함한다.

[0038] 상기 제1 홀의 직경은 상기 공통전극의 선폭보다 작게 형성되도록 하고, 상기 제2 홀의 직경은 상기 화소전극의 선폭보다 작게 형성되도록 한다.

[0039] 상기 제1 절연막 상에 소스 및 드레인전극 하부에 있어서, 반도체층 및 오믹콘택층을 형성하는 단계를 더 포함한다.

[0040] 상기 드레인전극은 상기 화소전극과 동일물질로 연결 형성한다.

[0041] 상기 게이트 배선, 공통배선, 게이트 전극 및 공통전극, 상기 소스 및 드레인 전극, 화소전극 및 데이터배선은 비저항을 가지는 구리(Cu), 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 중 어느 하나의 금속으로 형성한다.

[0042] 상기와 같은 특징을 갖는 본 발명에 따른 횡전계 액정표시장치의 박막 트랜지스터 어레이기판 및 그의 제조방법에 대한 실시예를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

[0043] 도 5a 및 도 5b는 본 발명의 실시예에 따른 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판을 도시한 평면도 및 단면도이고, 이를 참조하여 설명하면 다음과 같다.

[0044] 도 5a 및 도 5b에 도시된 바와 같이, 횡전계 액정표시장치의 박막 트랜지스터 어레이 기판은, 기판(50) 상에 가로방향으로 게이트 배선(51)과 공통배선(51b)이 평행을 이루며 형성되어 있고, 상기 공통배선(51b)에는 상기 공통배선(51b)에서 분기된 복수 개의 공통전극(51c)이 형성되고, 상기 게이트 배선(51)의 일측에는 게이트 전극(51a)이 돌출 형성된다.

[0045] 그리고, 게이트 배선(51), 공통배선(51b), 게이트 전극(51a)이 형성된 기판(50) 상에 게이트 절연막(52)이 형성되고, 상기 게이트 절연막(52)이 형성된 기판의 게이트 전극(51a)과 오버랩되도록 박막 트랜지스터의 채널층인 반도체층(53) 및 오믹콘택층(54)이 형성된다.

[0046] 그리고, 상기 가로 방향으로 형성된 상기 게이트 배선(51) 및 공통배선(51b)과 수직을 이루며 형성된 세로방향의 데이터 배선(55a)이 형성되어 있다. 따라서, 수직 교차된 게이트 배선(51) 및 데이터 배선(55a)으로 하나의 화소영역이 정의된다.

[0047] 그리고, 상기 반도체층(53) 상의 상기 데이터 배선(55a)에는 소스 전극(55b)이 상기 게이트 전극(51)과 소정면적 오버랩되게 형성되어 있고, 상기 소스 전극(55b)과 대응되는 위치에 드레인 전극(55c)이 형성되어 있고, 상기 공통전극(51b)와 서로 교번되는 위치에 상기 드레인 전극(55c)과 연결되는 화소전극(60a)이 형성되어 있다.

[0048] 상기 공통전극(51c) 및 화소전극(60a)은 중심부에서 꺽인 구조를 갖는다.

[0049] 상기와 같이, 게이트 전극(51a), 반도체층(53), 오믹 콘택층(54) 및 소스전극(55b), 드레인 전극(55c)이 구비됨으로써, 박막 트랜지스터가 형성된다.

[0050] 그리고, 상기 소스 전극(55b) 및 드레인 전극(55c), 화소전극(60a)이 형성된 기판 전면에 보호막(57)이 형성된다.

[0051] 그리고, 상기 보호막(57)에는 공통전극(51c)에 대응되도록 형성된 제1 홀(58a)과 화소전극(60a)에 대응되도록 형성된 제2 홀(58b)이 각각 형성된다.

[0052] 상기 제1 홀(58a)은 공통전극(51c)에 의해 돌출된 보호막(57)을 제거하여 게이트 절연막(52)이 노출되도록 형성되고, 제1 홀의 직경은 공통전극(51c)의 선폭보다 작게 형성되도록 한다.

[0053] 상기 제2 홀(58b)은 화소전극(60a)에 의해 돌출된 보호막(57)을 제거하여 화소전극(60a)이 노출되도록 형성되고, 상기 제2 홀의 직경은 화소전극(60a)의 선폭보다 작게 형성되도록 한다.

[0054] 한편, 제1 및 제2 홀(58a, 58b)이 형성됨으로써, 공통전극(51c)에 대응되는 제1 홀(58a)이 형성된 보호막(57) 및 상기 화소전극(60a)에 대응되는 제2 홀(58b)이 형성된 보호막(57)은 인접한 보호막들과 각각 단차영역(R')을 갖게 된다. 이때, 상기와 같이 제1 및 제2 홀이 각각 공통전극 및 화소전극의 선폭보다 작은 직경을 갖도록 형성되면, 상기 단차영역(R')들은 공통전극의 양측면 또는 화소전극의 양측면에 각각 대응된다. 따라서, 이 영역(R')에 상기와 같이 액정(59a)의 배열이 흐트러지더라도 소스 드레인용 및 게이트용 금속물질로 각각 형성된 공통전극(51a) 및 화소전극(60a)이 기판 배면의 백라이트광(59b)을 차단시켜 액정의 배열 왜곡으로 인한 빛샘현상

을 방지할 수 있게 된다.

[0055] 상기와 같은 본 발명에 따른 횡전계방식 액정표시장치를 제조하는 방법은 아래에서 설명하고자 한다.

[0056] 도 3a 내지 도 5a는 본 발명의 실시예에 따른 횡전계방식 액정표시장치의 제조방법을 도시한 평면도이고, 도 3b 내지 도 5b는 도 3a 내지 도 5a의 Ⅰ-Ⅰ' 선상과 Ⅱ-Ⅱ'선상을 도시한 단면도이다.

[0057] 도 3a 및 도 3b에 도시한 바와 같이, 기판(50)상에 금속물질을 증착한 후 사진 식각공정과 같은 패터닝공정을 수행하여, 게이트배선(51), 공통배선(51b), 게이트배선(51)에서 분기되는 게이트전극(51a) 및 공통배선(51b)에서 분기되는 공통전극(51c)을 형성한다.

[0058] 상기 공통전극(51c)은 공통배선(51b)과 함께 화소영역을 둘러싸도록 형성되고, 중심부에서 꺾인 구조를 갖지만, 도면에는 도시되지 않은 일자형의 구조를 가질 수도 있고, 여러 번 꺾인 구조를 가질 수도 있다.

[0059] 상기 게이트배선(51), 공통배선(51b), 게이트전극(51a) 및 공통전극(51c)을 형성하는 금속물질은 비저항을 가지는 구리(Cu), 알루미늄(Al), 알루미늄 합금(예를 들어, AlNd : Aluminum Neodymium), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 등의 저저항 금속 물질을 스퍼터링 방법을 통해 증착한다.

[0060] 다음으로, 도 4a 및 도 4b에 도시한 바와 같이, 상기 게이트 전극(51a)이 형성된 하부기판(50)의 전면에 게이트 절연막(52), 비정질 실리콘층(53), n+ 비정질 실리콘층(54) 및 금속물질을 순차적으로 형성한다.

[0061] 상기 게이트 절연막(52)은 절연 내압 특성이 좋은 무기 절연물질인 실리콘 산화물(SiOx) 또는 실리콘 질화물(SiNx) 등을 플라즈마 강화형 화학 증기 증착 방법으로 증착하여 형성하고, n+ 비정질 실리콘층(54) 및 비정질 실리콘층(53)은 SiH_4 와 H_2 혼합가스를 이용한 플라즈마 화학기상증착 방법으로 증착하여 형성한다. 그리고, 금속물질은 비저항을 가지는 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 등의 저저항 금속 물질을 스퍼터링 방법을 통해 증착한다.

[0062] 이어, 상기 금속물질 상에 하프톤 마스크 등을 이용한 사진 식각공정과 같은 패터닝공정을 수행하여, 반도체층(53) 및 오믹콘택층(54), 소스/드레인 전극(55b, 55c), 데이터 배선(55a) 및 화소전극(60a)을 형성한다.

[0063] 이때, 상기 반도체층(53), 오믹콘택층(54)과 소스/드레인전극(55b, 55c)을 상기와 같이 동시에 형성할 수도 있으나, 패터닝공정을 통해 반도체층(53) 및 오믹콘택층(54)을 먼저 형성한 다음, 그 위에 금속층을 증착하고 패터닝하여 소스/드레인 전극(55b, 55c)을 형성할 수도 있다.

[0064] 한편, 상기 소스/드레인전극(55b, 55c) 및 데이터 배선(55a) 형성 공정시 공통전극(51c)과 서로 교번하는 위치의 게이트 절연막(52) 상에 화소전극(60a)이 형성된다. 게이트라인(51)과 인접한 영역에 형성된 드레인 전극(55b)과 화소영역 내에 형성된 화소 전극(60a)은 드레인전극(55b)이 형성된 영역에서 서로 연결되어 있어, 본 발명의 실시예에서는 드레인전극(55b)을 노출하도록 보호막에 형성되는 콘택홀이 요구되지 않는다.

[0065] 상기 공정에 의해서 게이트전극(51a)과 반도체층(53)과 소오스전극(55b)과 드레인전극(55c)으로 구성된 박막 트랜지스터(TFT)가 형성된다. 박막 트랜지스터(TFT)는 소오스 전극(55b)을 'U'자형으로 형성하고, 드레인 전극(55c)을 상기 'U'자형의 소오스 전극(55b)의 사이에 배열하여 'U'자형의 채널영역을 갖도록 형성할 수 있다.

[0066] 다음으로, 도 5a 및 도 5b에 도시한 바와 같이, 박막 트랜지스터(TFT)를 포함한 하부기판(50) 전면에 PECVD 등의 증착법으로 보호막(57)을 형성한다.

[0067] 이어, 상기 보호막(57) 상에 사진 및 식각공정과 같은 패터닝공정을 수행하여, 공통전극(51c) 및 화소전극(60a)에 의해 돌출된 보호막(57)을 제거하여 제1 및 제2 홀(58a, 58b)을 형성한다.

[0068] 상기 제1 홀(58a)은 공통전극(51c)에 의해 돌출된 보호막(57)을 제거하여 게이트 절연막(52)이 노출되도록 형성되고, 제1 홀의 직경은 공통전극(51c)의 선폭보다 작게 형성되도록 한다.

[0069] 상기 제2 홀(58b)은 화소전극(60a)에 의해 돌출된 보호막(57)을 제거하여 화소전극(60a)이 노출되도록 형성되고, 상기 제2 홀의 직경은 화소전극(60a)의 선폭보다 작게 형성되도록 한다.

[0070] 한편, 제1 및 제2 홀(58a, 58b)이 형성됨으로써, 공통전극(51c)에 대응되는 제1 홀(58a)이 형성된 보호막(57) 및 상기 화소전극(60a)에 대응되는 제2 홀(58b)이 형성된 보호막(57)은 인접한 보호막들과 각각 단차영역(R')을 갖게 된다. 이때, 상기와 같이 제1 및 제2 홀이 각각 공통전극 및 화소전극의 선폭보다 작은 직경을 갖도록 형성되면, 상기 단차영역(R')들은 공통전극의 양측면 또는 화소전극의 양측면에 각각 대응된다. 따라서, 이 영역

(R')에 상기와 같이 액정(59a)의 배열이 흐트러지더라도 소스 드레인용 및 게이트용 금속물질로 각각 형성된 공통전극(51a) 및 화소전극(60a)이 기판 배면의 백라이트광(59b)을 차단시켜 액정의 배열 왜곡으로 인한 빛샘현상을 방지할 수 있게 된다.

[0071] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

[0072] 이상에서 설명한 바와 같은 횡전계방식 액정표시소자 및 그의 제조방법은 공통전극 및 화소전극의 선폭보다 작은 직경을 갖는 제1 및 제2 홀을 형성하고, 공통전극 및 화소전극을 소스 드레인용 및 게이트용 금속물질로 형성함으로써, 상기 공통전극 및 화소전극에 의해 기판 배면의 백라이트광이 차단되어 액정의 배열 왜곡으로 인한 빛샘현상을 방지할 수 있는 효과가 있다.

[0073] 따라서, 상기와 같이 빛샘 현상을 방지하여 전압 비인가시의 블랙상태에서의 휘도를 감소시켜 액정표시장치의 콘트라스트비를 증가시킬 수 있는 효과가 있다.

도면의 간단한 설명

[0001] 도 1 및 도 2는 일반적인 횡전계 액정표시장치의 박막 트랜지스터 어레이기판을 도시한 평면도 및 단면도

[0002] 도 3a 내지 도 5a는 본 발명의 실시예에 따른 횡전계 액정표시장치의 박막 트랜지스터 어레이기판의 제조방법을 도시한 평면도

[0003] 도 3b 내지 도 5b는 도 3a 내지 도 5a의 Ⅰ-Ⅰ' 선상과 Ⅱ-Ⅱ'선상을 도시한 단면도

[0004] <도면의 주요부분에 대한 부호의 설명>

[0005] 50: 기판 51: 게이트 배선

[0006] 51a: 게이트 전극 52: 게이트 절연막

[0007] 53: 반도체층 54: 오믹콘택층

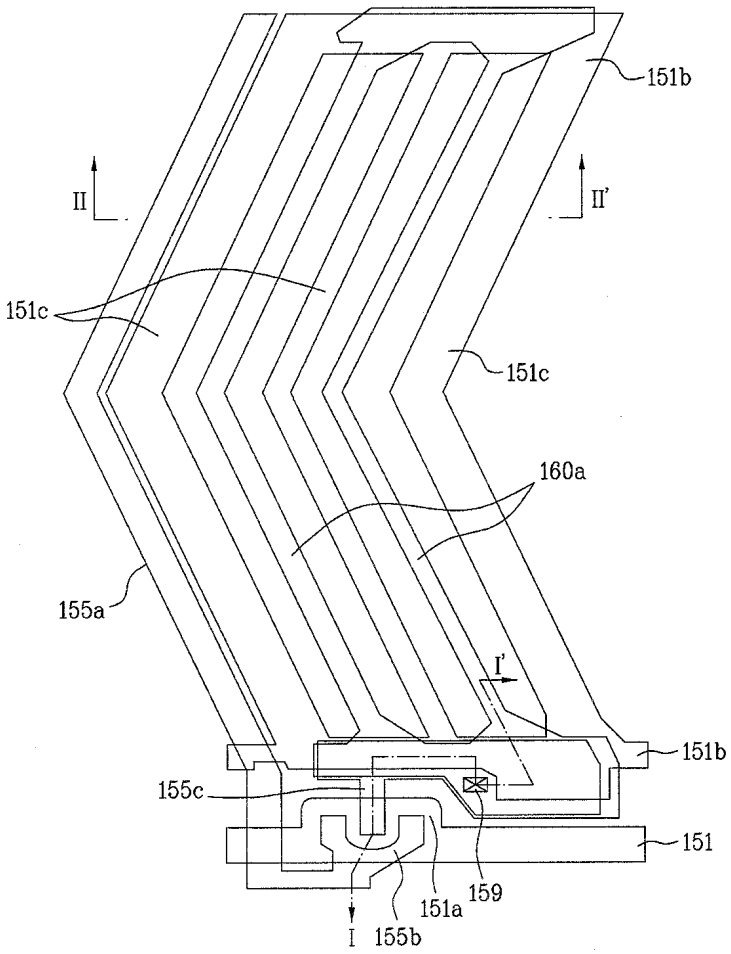
[0008] 55a: 데이터 배선 55b, 55c: 소스 전극 및 드레인전극

[0009] 57: 보호막 58a, 58b: 제1 및 제2 홀

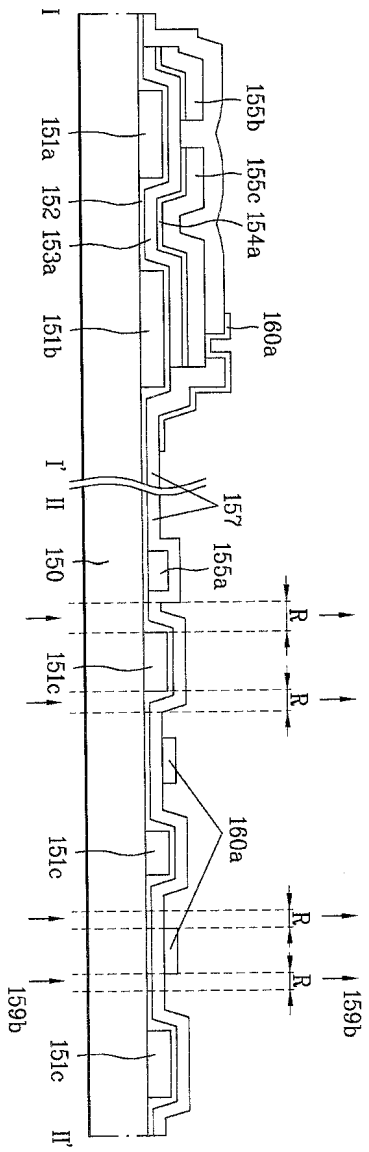
[0010] 60a: 화소전극

도면

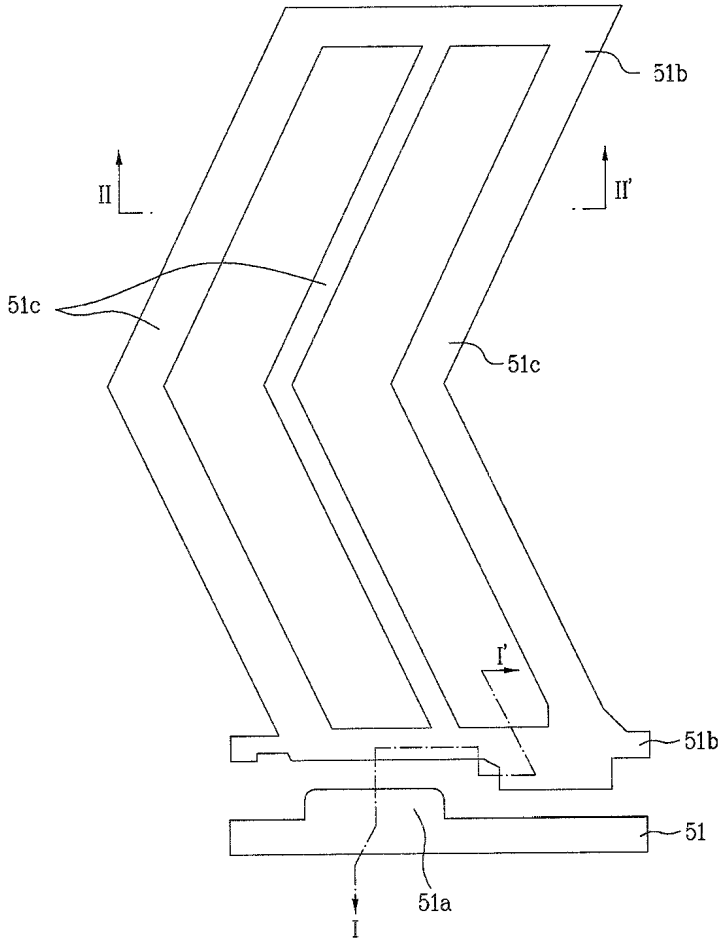
도면1



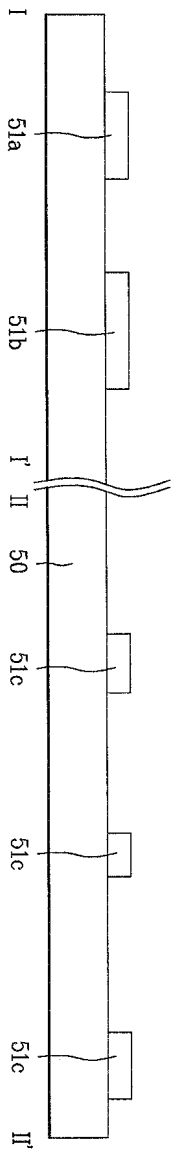
도면2


I
151a
152
153a
151b
I'
II
150
151c
151c
159b
151c
II'
155b
155c
154a
160a
157
155a
R
R
160a
R
R
159b

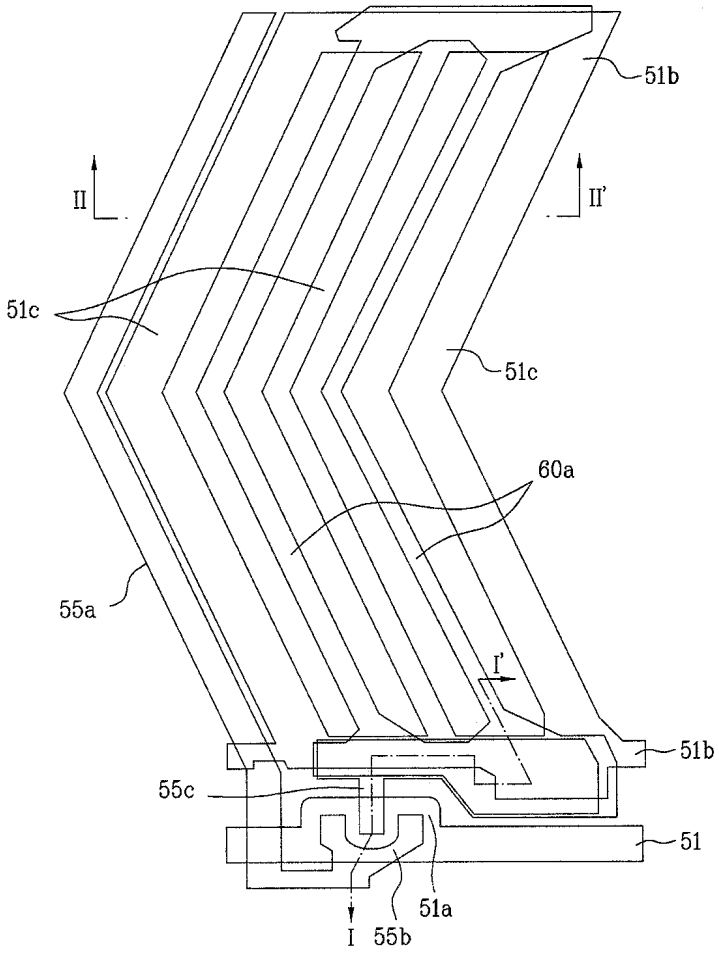
도면3a



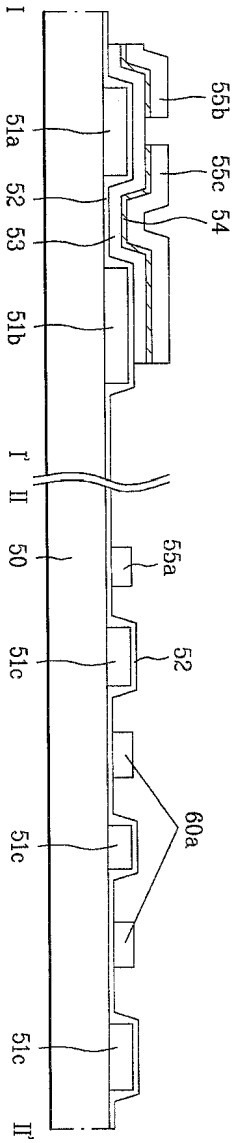
도면3b



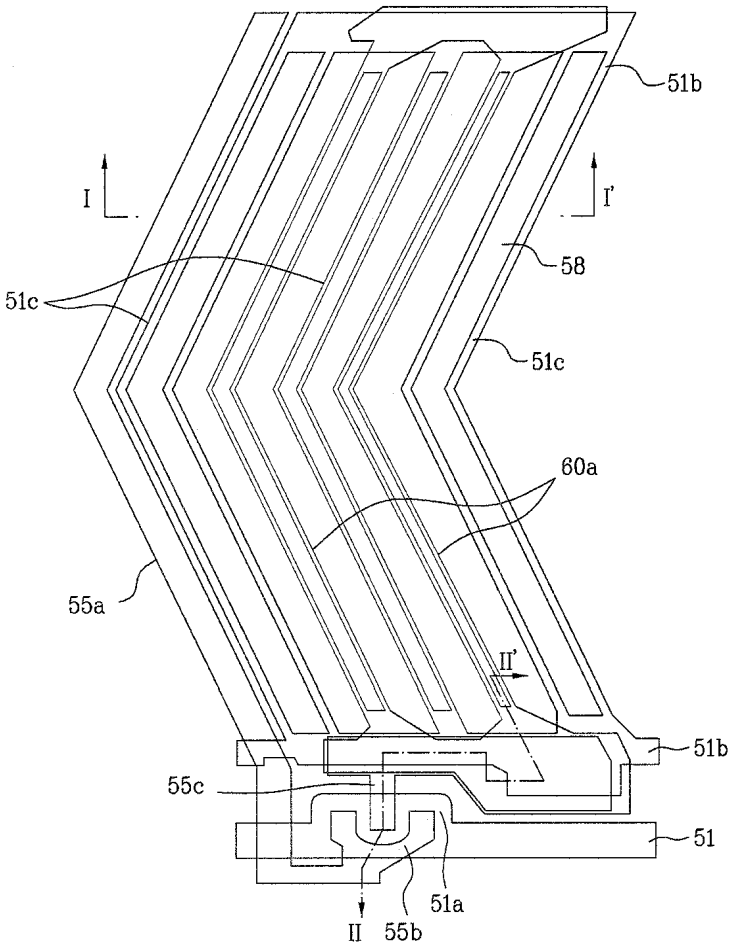
도면4a



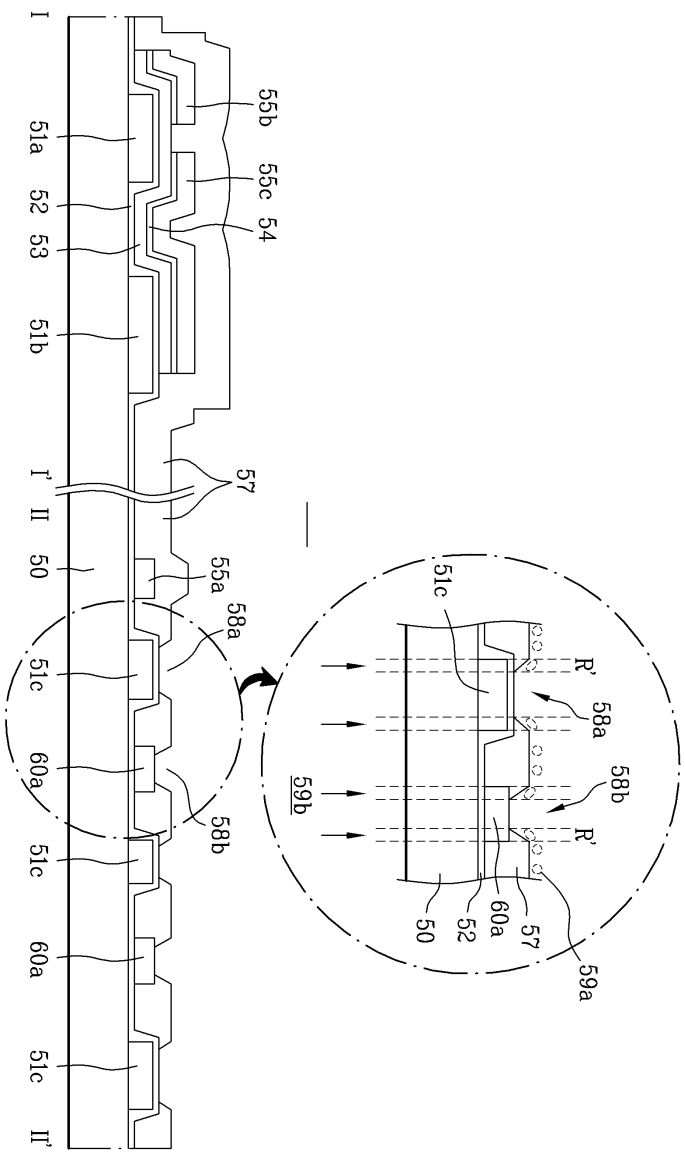
도면4b



도면5a



도면5b


I
51a
52
53
51b
I'
II
50
51c
60a
51c
60a
51c
II'
55b
55c
54
57
55a
58a
58b
59b
R'
R'
50
52
60a
57
59a