

(12) 发明专利申请

(10) 申请公布号 CN 102903323 A

(43) 申请公布日 2013. 01. 30

(21) 申请号 201210383062. 6

(22) 申请日 2012. 10. 10

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
申请人 成都京东方光电科技有限公司

(72) 发明人 董向丹 祁小敬 黄炜贇 吴博

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

G09G 3/20 (2006. 01)

G09G 3/36 (2006. 01)

G11C 19/28 (2006. 01)

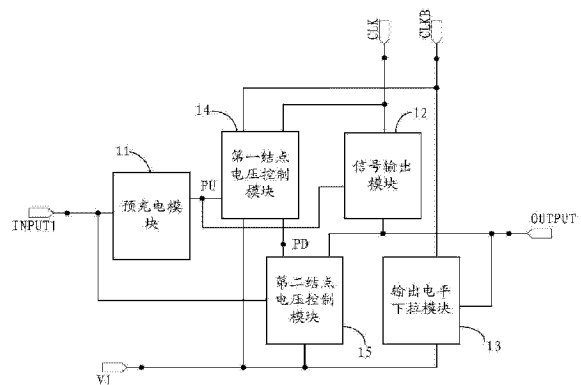
权利要求书 3 页 说明书 11 页 附图 8 页

(54) 发明名称

移位寄存器单元、栅极驱动电路及显示器件

(57) 摘要

本发明提供移位寄存器单元、栅极驱动电路及显示器件, 涉及显示器制造领域, 能够降低移位寄存器单元中集成的信号线和薄膜场效应晶体的数量, 节约空间, 进而降低产品成本。该移位寄存器单元包括: 预充电模块、信号输出模块、输出电平下拉模块、第一结点电压控制模块和第二结点电压控制模块。



1. 一种移位寄存器单元,其特征在于,包括:预充电模块、信号输出模块、输出电平下拉模块、第一结点电压控制模块和第二结点电压控制模块,第一结点为所述预充电模块与信号输出模块的连接点,第二结点为所述第一结点电压控制模块和第二结点电压控制模块的连接点;

其中,所述预充电模块,连接第一信号输入端和第一结点,用于在所述第一信号输入端的控制下对所述信号输出模块预充电;

所述信号输出模块,连接信号输出端、所述第一结点和第一时钟信号,用于在所述第一结点电压的控制下接通所述第一时钟信号和所述信号输出端;

所述输出电平下拉模块,连接所述信号输出端、第二时钟信号和第一电压端,用于在所述第二时钟信号的控制下接通所述信号输出端和所述第一电压端;

所述第一结点电压控制模块,连接第二时钟信号、所述第一电压端、所述第一结点和第二结点,用于在所述第二时钟信号的控制下接通所述第一结点和所述第一电压端;

所述第二结点电压控制模块,连接所述第一信号输入端、所述信号输出端、所述第一电压端和所述第二结点,用于控制接通所述第二结点和所述第一电压端。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,

所述预充电模块包括:

第一晶体管,所述第一晶体管的栅极和源极连接所述第一信号输入端,所述第一晶体管的漏极连接所述第一结点;

所述信号输出模块包括:

第二晶体管,所述第二晶体管的栅极连接所述第一结点,所述第二晶体管的源极连接所述第一时钟信号,所述第二晶体管的漏极连接所述信号输出端;

第一电容,所述第一电容的一极连接所述第二晶体管的栅极,所述第一电容的另一极连接所述第二晶体管的漏极;

所述输出电平下拉模块包括:

第三晶体管,所述第三晶体管的栅极连接所述第二时钟信号,所述第三晶体管的源极连接所述信号输出端,所述第三晶体管的漏极连接所述第一电压端;

所述第一结点电压控制模块包括:

第四晶体管,所述第四晶体管的栅极和源极连接所述第二时钟信号,所述第四晶体管的漏极连接所述第二结点;

第五晶体管,所述第五晶体管的栅极连接所述第二结点,所述第五晶体管的源极连接所述第一结点,所述第五晶体管的漏极连接所述第一电压端;

所述第二结点电压控制模块包括:

第六晶体管,所述第六晶体管的栅极连接所述第一信号输入端,所述第六晶体管的源极连接所述第二结点,所述第六晶体管的漏极连接所述第一电压端;

第七晶体管,所述第七晶体管的栅极连接所述信号输出端,所述第七晶体管的源极连接所述第二结点,所述第七晶体管的漏极连接所述第一电压端。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,

所述预充电模块还连接第二信号输入端、第二电压端和第三电压端,用于在所述第二电压端为高电平第三电压端为低电平时,在所述第一信号输入端的控制下对所述信号输出

模块预充电,在所述第二信号输入端的控制下接通所述第一结点和所述第三电压端;

或者所述第二电压端为低电平第三电压端为高电平时,在所述第二信号输入端的控制下对所述信号输出模块预充电,在所述第一信号输入端的控制下接通所述第一结点和所述第二电压端;

所述输出电平下拉模块还连接第三信号输入端和第四信号输入端,用于在第三信号输入端或第四信号输入端的控制下接通所述信号输出端和所述第一电压端;

所述第二结点电压控制模块还连接所述第二信号输入端,用于在所述第二信号输入端的控制下接通所述第二结点和所述第一电压端。

4. 根据权利要求 3 所述的移位寄存器单元,其特征在于,

所述预充电模块包括:

第一晶体管,所述第一晶体管的栅极连接所述第一信号输入端,所述第一晶体管的源极连接所述第二电压端,所述第一晶体管的漏极连接所述第一结点;

第八晶体管,所述第八晶体管的栅极连接所述第二信号输入端,所述第八晶体管的源极连接所述第一结点,所述第八晶体管的漏极连接所述第三电压端;

所述信号输出模块包括:

第二晶体管,所述第二晶体管的栅极连接所述第一结点,所述第二晶体管的源极连接所述第一时钟信号,所述第二晶体管的漏极连接所述信号输出端;

第一电容,所述第一电容的一极连接所述第二晶体管的栅极,所述第一电容的另一极连接所述第二晶体管的漏极;

输出电平下拉模块包括:

第三晶体管,所述第三晶体管的栅极连接所述第二时钟信号,所述第三晶体管的源极连接所述信号输出端,所述第三晶体管的漏极连接所述第一电压端;

第九晶体管,所述第九晶体管的栅极连接所述第三信号输入端,所述第九晶体管的源极连接所述信号输出端,所述第九晶体管的漏极连接所述第一电压端;

第十晶体管,所述第十晶体管的栅极连接所述第四信号输入端,所述第十晶体管的源极连接所述信号输出端,所述第十晶体管的漏极连接所述第一电压端;

第一结点电压控制模块包括:

第四晶体管,所述第四晶体管的栅极和源极连接所述第二时钟信号,所述第四晶体管的漏极连接所述第二结点;

第五晶体管,所述第五晶体管的栅极连接所述第二结点,所述第五晶体管的源极连接所述第一结点,所述第五晶体管的漏极连接所述第一电压端;

第二结点电压控制模块包括:

第六晶体管,所述第六晶体管的栅极连接所述第一信号输入端,所述第六晶体管的源极连接所述第二结点,所述第六晶体管的漏极连接所述第一电压端;

第七晶体管,所述第七晶体管的栅极连接所述输出信号端,所述第七晶体管的源极连接所述第二结点,所述第七晶体管的漏极连接所述第一电压端。

第十一晶体管,所述第十一晶体管的栅极连接所述第二信号输入端,所述第十一晶体管的源极连接所述第二结点,所述第十一晶体管的漏极连接所述第一电压端。

5. 根据权利要求 1 至 4 任一所述的移位寄存器单元,其特征在于,所述第一电压端为接

地端。

6. 一种栅极驱动电路,其特征在于,包括串联多个如权利要求1或2所述的移位寄存器单元,除第一个移位寄存器单元和最后一个移位寄存器单元外,其余每个移位寄存器单元的信号输出端连接与其相邻的下一个移位寄存器单元的第一信号输入端。

7. 一种栅极驱动电路,其特征在于,包括串联多个如权利要求3或4所述的移位寄存器单元,除第一个移位寄存器单元和最后一个移位寄存器单元外,其余每个移位寄存器单元的信号输出端连接与其相邻的下一个移位寄存器单元的第一信号输入端,每个移位寄存器单元的信号输出端还连接与其相邻的上一个移位寄存器单元的第二信号输入端,除最前两个移位寄存器单元和最后两个移位寄存器单元外,其余每个移位寄存器单元的信号输出端还连接与其上邻的第二个移位寄存器单元的第三信号输入端和与其相邻的下邻的第二个移位寄存器单元的第四信号输入端。

8. 一种显示器件,包括:

显示区域,具有用于显示图像的多个像素;

栅极驱动电路,用于将扫描信号送至所述显示区域;

数据驱动电路,用于将数据信号送至所述显示区域;

其特征在于,所述栅极驱动电路为权利要求6或7所述的任一栅极驱动电路。

移位寄存器单元、栅极驱动电路及显示器件

技术领域

[0001] 本发明涉及液晶显示制造领域,尤其涉及移位寄存器单元、栅极驱动电路及显示器件。

背景技术

[0002] 近些年来显示器的发展呈现出了高集成度,低成本的发展趋势。其中一项非常重要的技术就是阵列基板行驱动 (Gate Driver on Array, 简称GOA) 的技术量产化的实现。利用 GOA 技术将栅极开关电路集成在显示面板的阵列基板上以形成对显示面板的扫描驱动,从而可以省掉栅极驱动集成电路部分,其不仅可以从材料成本和制作工艺两方面降低产品成本,而且显示面板可以做到两边对称和窄边框的美观设计。同时由于可以省去 Gate 方向 Bonding(绑定)的工艺,对产能和良率提升也较有利。这种利用 GOA 技术集成在阵列基板上的栅极开关电路也称为 GOA 电路或移位寄存器电路。

[0003] 移位寄存器电路包括若干个移位寄存器单元,每一个移位寄存器单元都对应一个栅线,且除第一个移位寄存器单元和最后一个移位寄存器单元外,其余每个移位寄存器单元的输出端连接与其相邻的下一个移位寄存器单元的信号输入端;现有的移位寄存器单元结构集成了大量的信号线和薄膜场效应晶体管 (Thin Film Transistor, 简称 TFT),使得电路所占空间大大增加了产品成本。

发明内容

[0004] 本发明的实施例提供一种移位寄存器单元、栅极驱动电路及显示器件,能够降低移位寄存器单元中集成的信号线和薄膜场效应晶体管的数量,节约空间,进而降低产品成本。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 第一方面,本发明实施例提供一种移位寄存器单元,包括:预充电模块、信号输出模块、输出电平下拉模块、第一结点电压控制模块和第二结点电压控制模块,第一结点为所述预充电模块与信号输出模块的连接点,第二结点为所述第一结点电压控制模块和第二结点电压控制模块的连接点;

[0007] 其中,所述预充电模块,连接第一信号输入端和第一结点,用于在所述第一信号输入端的控制下对所述信号输出模块预充电;

[0008] 所述信号输出模块,连接信号输出端、所述第一结点和第一时钟信号,用于在所述第一结点电压的控制下接通所述第一时钟信号和所述信号输出端;

[0009] 所述输出电平下拉模块,连接所述信号输出端、第二时钟信号和第一电压端,用于在所述第二时钟信号的控制下接通所述信号输出端和所述第一电压端;

[0010] 所述第一结点电压控制模块,连接第二时钟信号、所述第一电压端、所述第一结点和第二结点,用于在所述第二时钟信号的控制下接通所述第一结点和所述第一电压端;

[0011] 所述第二结点电压控制模块,连接所述第一信号输入端、所述信号输出端、所述第一电压端和所述第二结点,用于控制接通所述第二结点和所述第一电压端。

- [0012] 在第一种可能的实现方式中,根据第一方面,
- [0013] 所述预充电模块包括:
- [0014] 第一晶体管,所述第一晶体管的栅极和源极连接所述第一信号输入端,所述第一晶体管的漏极连接所述第一结点;
- [0015] 所述信号输出模块包括:
- [0016] 第二晶体管,所述第二晶体管的栅极连接所述第一结点,所述第二晶体管的源极连接所述第一时钟信号,所述第二晶体管的漏极连接所述信号输出端;
- [0017] 第一电容,所述第一电容的一极连接所述第二晶体管的栅极,所述第一电容的另一极连接所述第二晶体管的漏极;
- [0018] 所述输出电平下拉模块包括:
- [0019] 第三晶体管,所述第三晶体管的栅极连接所述第二时钟信号,所述第三晶体管的源极连接所述信号输出端,所述第三晶体管的漏极连接所述第一电压端;
- [0020] 所述第一结点电压控制模块包括:
- [0021] 第四晶体管,所述第四晶体管的栅极和源极连接所述第二时钟信号,所述第四晶体管的漏极连接所述第二结点;
- [0022] 第五晶体管,所述第五晶体管的栅极连接所述第二结点,所述第五晶体管的源极连接所述第一结点,所述第五晶体管的漏极连接所述第一电压端;
- [0023] 第二结点电压控制模块包括:
- [0024] 第六晶体管,所述第六晶体管的栅极连接所述第一信号输入端,所述第六晶体管的源极连接所述第二结点,所述第六晶体管的漏极连接所述第一电压端;
- [0025] 第七晶体管,所述第七晶体管的栅极连接所述信号输出端,所述第七晶体管的源极连接所述第二结点,所述第七晶体管的漏极连接所述第一电压端。
- [0026] 在第二种可能的实现方式中,根据第一方面,
- [0027] 所述预充电模块还连接第二信号输入端、第二电压端和第三电压端,用于在所述第二电压端为高电平第三电压端为低电平时,在所述第一信号输入端的控制下对所述信号输出模块预充电,在所述第二信号输入端的控制下接通所述第一结点和所述第三电压端;
- [0028] 或者所述第二电压端为低电平第三电压端为高电平时,在所述第二信号输入端的控制下对所述信号输出模块预充电,在所述第一信号输入端的控制下接通所述第一结点和所述第二电压端;
- [0029] 所述输出电平下拉模块还连接第三信号输入端和第四信号输入端,用于在第三信号输入端或第四信号输入端的控制下接通所述信号输出端和所述第一电压端;
- [0030] 所述第二结点电压控制模块还连接所述第二信号输入端,用于在所述第二信号输入端的控制下接通所述第二结点和所述第一电压端。
- [0031] 在第三种可能的实现方式中,根据第二种可能的实现方式,
- [0032] 所述预充电模块包括:
- [0033] 第一晶体管,所述第一晶体管的栅极连接所述第一信号输入端,所述第一晶体管的源极连接所述第二电压端,所述第一晶体管的漏极连接所述第一结点;
- [0034] 第八晶体管,所述第八晶体管的栅极连接所述第二信号输入端,所述第八晶体管的源极连接所述第一结点,所述第八晶体管的漏极连接所述第三电压端;

[0035] 所述信号输出模块包括：

[0036] 第二晶体管，所述第二晶体管的栅极连接所述第一结点，所述第二晶体管的源极连接所述第一时钟信号，所述第二晶体管的漏极连接所述信号输出端；

[0037] 第一电容，所述第一电容的一极连接所述第二晶体管的栅极，所述第一电容的另一极连接所述第二晶体管的漏极；

[0038] 输出电平下拉模块包括：

[0039] 第三晶体管，所述第三晶体管的栅极连接所述第二时钟信号，所述第三晶体管的源极连接所述信号输出端，所述第三晶体管的漏极连接所述第一电压端；

[0040] 第九晶体管，所述第九晶体管的栅极连接所述第三信号输入端，所述第九晶体管的源极连接所述信号输出端，所述第九晶体管的漏极连接所述第一电压端；

[0041] 第十晶体管，所述第十晶体管的栅极连接所述第四信号输入端，所述第十晶体管的源极连接所述信号输出端，所述第十晶体管的漏极连接所述第一电压端；

[0042] 第一结点电压控制模块包括：

[0043] 第四晶体管，所述第四晶体管的栅极和源极连接所述第二时钟信号，所述第四晶体管的漏极连接所述第二结点；

[0044] 第五晶体管，所述第五晶体管的栅极连接所述第二结点，所述第五晶体管的源极连接所述第一结点，所述第五晶体管的漏极连接所述第一电压端；

[0045] 第二结点电压控制模块包括：

[0046] 第六晶体管，所述第六晶体管的栅极连接所述第一信号输入端，所述第六晶体管的源极连接所述第二结点，所述第六晶体管的漏极连接所述第一电压端；

[0047] 第七晶体管，所述第七晶体管的栅极连接所述输出信号端，所述第七晶体管的源极连接所述第二结点，所述第七晶体管的漏极连接所述第一电压端。

[0048] 第十一晶体管，所述第十一晶体管的栅极连接所述第二信号输入端，所述第十一晶体管的源极连接所述第二结点，所述第十一晶体管的漏极连接所述第一电压端。

[0049] 其中，上述第一电压端为接地端。

[0050] 第二方面，提供一种栅极驱动电路，包括串联多个如第一方面或第一方面的第一种可能的实现方式所述的移位寄存器单元，除第一个移位寄存器单元和最后一个移位寄存器单元外，其余每个移位寄存器单元的信号输出端连接与其相邻的下一个移位寄存器单元的第一信号输入端。

[0051] 第三方面，提供一种栅极驱动电路，包括串联多个如第一方面的第一种可能的实现方式或第二种可能的实现方式所述的移位寄存器单元，除第一个移位寄存器单元和最后一个移位寄存器单元外，其余每个移位寄存器单元的信号输出端连接与其相邻的下一个移位寄存器单元的第一信号输入端，每个移位寄存器单元的信号输出端还连接与其相邻的上一个移位寄存器单元的第二信号输入端，除最前两个移位寄存器单元和最后两个移位寄存器单元外，其余每个移位寄存器单元的信号输出端还连接与其上邻的第二个移位寄存器单元的第三信号输入端和与其相邻的下邻的第二个移位寄存器单元的第四信号输入端。

[0052] 第四方面，本发明实施例提供一种显示器件，包括：

[0053] 显示区域，具有用于显示图像的多个像素；

[0054] 栅极驱动电路，用于将扫描信号送至所述显示区域；

[0055] 数据驱动电路,用于将数据信号送至所述显示区域;

[0056] 其特征在于,所述栅极驱动电路为上述的任一栅极驱动电路。

[0057] 本发明实施例提供的移位寄存器单元、栅极驱动电路及显示器件,能够降低移位寄存器单元中集成的信号线和薄膜场效应晶体管的数量,节约空间,进而降低产品成本。

附图说明

[0058] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0059] 图 1 为本发明实施例提供的单向扫描移位寄存器单元结构示意图;

[0060] 图 2 为本发明实施例提供的单向扫描移位寄存器单元电路结构示意图;

[0061] 图 3 为本发明实施例提供的双向扫描移位寄存器单元结构示意图;

[0062] 图 4 为本发明实施例提供的双向扫描移位寄存器单元电路结构示意图;

[0063] 图 5 为本发明实施例提供的单向扫描移位寄存器单元第一时钟信号、第二时钟信号、PU 电压结点和信号输出波形示意图;

[0064] 图 6 为本发明实施例提供的双向扫描移位寄存器单元第一时钟信号、第二时钟信号、PU 电压结点和信号输出波形示意图;

[0065] 图 7 为本发明实施例提供的单向扫描的栅极驱动电路结构式示意图;

[0066] 图 8 为本发明实施例提供的双向扫描的栅极驱动电路结构式示意图。

具体实施方式

[0067] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0068] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件,由于这里采用的晶体管的源极、漏极是对称的,所以其源极、漏极是没有区别的。在本发明实施例中,为区分晶体管除栅极之外的两极,将其中一极称为源极,另一极称为漏极。按附图中的形态规定晶体管的上侧端为源极、中间端为栅极、下侧端为漏极。此外,按照晶体管的特性区分可以将晶体管分为 N 型和 P 型,以下实施例均以 N 性晶体管为里进行说明,可以想到的是在采用 P 型晶体管实现时是本领域技术人员可在没有做出创造性劳动前提下轻易想到的,因此也是在本发明的实施例保护范围内的。

[0069] 图 1 为本发明实施例提供的单项扫描移位寄存单元的结构示意图,包括:预充电模块 11、信号输出模块 12、输出电平下拉模块 13、第一结点电压控制模块 14 和第二结点电压控制模块 15,第一结点 PU 为预充电模块 11 与信号输出模块 12 的连接点,第二结点 PD 为第一结点电压控制模块 14 和第二结点电压控制模块 15 的连接点;并且图 1 中的移位寄存器的第一信号输入端为 INPUT1,信号输出端为 OUTPUT,第一时钟信号为 CLK,第二时钟信号为 CLKB,第一结点为 PU 点,第二结点为 PD 点,第一电压端为 V1;

[0070] 下面具体描述其各部件之间的关系：

[0071] 预充电模块 11, 连接第一信号输入端 INPUT1 和第一结点 PU 点, 用于在第一信号输入端 INPUT1 的控制下对信号输出模块 12 预充电；

[0072] 信号输出模块 12, 连接信号输出端 OUTPUT、第一结点 PU 点和第一时钟信号 CLK, 用于在第一结点 PU 的控制下接通第一时钟信号 CLK 和信号输出端 OUTPUT, 当第一时钟信号 CLK 为高电平时输出高电平信号；

[0073] 输出电平下拉模块 13, 连接信号输出端 OUTPUT、第二时钟信号 CLKB 和第一电压端 V1, 用于在第二时钟信号 CLKB 的控制下接通信号输出端 OUTPUT 和第一电压端 V1；

[0074] 第一结点电压控制模块 14, 连接第二时钟信号 CLKB、第一电压端 V1、所述第一结点 PU 点和第二结点 PD 点, 用于在第二时钟信号的控制下接通第一节点 PU 和第一电压端 V1；

[0075] 第二结点电压控制模块 15, 连接第一信号输入端 INPUT1、信号输出端 OUTPUT、第一电压端 V1 和第二结点 PD 点, 用于控制接通第二结点 PD 和第一电压端 V1。

[0076] 本发明实施例提供的移位寄存器单元, 能够降低移位寄存器单元中集成的信号线和薄膜场效应晶体管的数量, 节约空间, 进而降低产品成本。

[0077] 可选的, 图 2 为本发明实施例提供的一种移位寄存器单元的电学结构示意图, 应用于单项扫描, 包括: 预充电模块 11、信号输出模块 12、输出电平下拉模块 13、第一结点电压控制模块 14、第二结点电压控制模块 15、以下实施例均是以 N 型晶体管为例进行说明, 即下述实施例中各个晶体管的特性为在栅极输入高电平时导通, 在栅极输入低电平时截止, 由于 N 型管的特性第一电压端 V1 为采用低电平, 图 2 中第一电压端 V1 直接以连接接地端 VSS 为例进行说明, 具体的各模块中所包含的电学器件的连接关系如下：

[0078] 预充电模块 11 包括: 第一晶体管 T1, 该第一晶体管 T1 的栅极和源极连接第一信号输入端 INPUT1, 该第一晶体管 T1 的漏极连接第一结点 PU 点；

[0079] 第一信号输入端 INPUT1 有高电平输入时, 第一晶体管 T1 为导通状态, 对与第一结点 PU 点连接的信号输出模块预充电进行预充电, 使得第一结点 PU 的电压升高；

[0080] 信号输出模块 12 包括: 第二晶体管 T2, 该第二晶体管 T2 的栅极连接第一结点 PU 点, 该第二晶体管 T2 的源极连接第一时钟信号 CLK, 该第二晶体管 T2 的漏极连接信号输出端 OUTPUT；

[0081] 第一电容 C1, 该第一电容 C1 的一极连接第二晶体管 T2 的栅极, 该第一电容 C1 的另一极连接第二晶体管 T2 的漏极；

[0082] 其中, 在预充电模块 11 之后, 第一时钟信号 CLK 为高电平时, 第一电容 C1 放电导通第二晶体管 T2, 将第一时钟信号 CLK 和信号输出端 OUTPUT 连通, 使得移位寄存器单元的输出信号为高电平；

[0083] 输出电平下拉模块 13 包括: 第三晶体管 T3, 该第三晶体管 T3 的栅极连接第二时钟信号 CLKB, 该第三晶体管 T3 的源极连接信号输出端 OUTPUT, 该第三晶体管 T3 的漏极连接接地端 VSS；

[0084] 其中, 移位寄存器单元输出高电平信号之后, 第一时钟信号 CLK 变为低电平, 第二时钟信号 CLKB 变为高电平, 由第二时钟信号 CLKB 控制 T3 导通, 接通信号输出端 OUTPUT 和接地端 VSS, 下拉本级移位寄存器单元的输出信号；

[0085] 第一结点电压控制模块 14 包括：第四晶体管 T4，该第四晶体管 T4 的栅极和源极连接第二时钟信号 CLKB，该第四晶体管 T4 的漏极连接第二结点 PD 点；

[0086] 第五晶体管 T5，该第五晶体管 T5 的栅极连接第二结点 PD 点，该第五晶体管 T5 的源极连接第一结点 PU 点，该第五晶体管 T5 的漏极连接接地端 VSS；

[0087] 其中，移位寄存器单元输出高电平信号之后，第一时钟信号 CLK 变为低电平，第二时钟信号 CLKB 变为高电平时，由第二时钟信号 CLKB 控制 T4 和 T5 导通，接通第一结点 PU 和接地端 VSS，下拉 PU 电压结点电压；

[0088] 第二结点电压控制模块 15 包括：第六晶体管 T6，该第六晶体管 T6 的栅极连接第一信号输入端 INPUT1，该第六晶体管 T6 的源极连接第二结点 PD 点，该第六晶体管 T6 的漏极连接接地端 VSS；

[0089] 第七晶体管 T7，该第七晶体管 T7 的栅极连接输出信号端 OUTPUT，该第七晶体管 T7 的源极连接第二结点 PD 点，该第七晶体管 T7 的漏极连接接地端 VSS；

[0090] 其中，为了保持 PU 电压结点电压在高电平不被下拉，应当使得 PU 电压结点电压为高电平时 PD 电压结点电压为低电平，而 PU 点的电压在预充电阶段和本级移位寄存器单元的输出阶段必须保持高电平，因此 T6 在第一信号输入端输入高电平时导通，控制接通第二结点 PD 和接地端 VSS，持 PD 电压结点电压为低电平；T7 在本级移位寄存器单元信号输出端输出高电平时导通，控制接通第二结点 PD 和接地端 VSS，保持 PD 电压结点电压为低电平。

[0091] 以上实施例中在附图中是以 N 型晶体管为例进行说明，由于 N 型晶体管的特性为栅极高电平导通，栅极低电平截止，以此需要第一时钟信号 CLK 和第二时钟信号 CLKB 给出对应的电平才能实现上述的电路功能，此外由于 N 型晶体管高电平导通的特性因此第一电压端 V1 为采用低电平，图中直接以连接接地端 VSS 为例，当然才采用 P 型晶体管时需要对应的调整第一时钟信号和第二时钟信号的形状及将第一电压端 V1 连接至一高电平，以保证电路的正常工作，具体原理为本领域人员可以理解的此处不再赘述。

[0092] 本发明实施例提供的移位寄存器单元，能够降低移位寄存器单元中集成的信号线和薄膜场效应晶体管的数量，节约空间，进而降低产品成本。

[0093] 结合图 2 和图 5，其中图 2 提供单项扫描移位寄存器单元的电路图、图 5 提供的单项扫描移位寄存器单元的时序状态图（其中图 5 为 CLK、CLKB、PU 点和 OUTPUT 各信号端信号的时序状态图）本发明实施例提供的单项扫描移位寄存器单元及移位寄存器电路具体实现的功能如下：

[0094] 在 t1 时间段，第一信号输入端 INPUT1 为高电平，第一时钟信号 CLK 为低电平，第二时钟信号 CLKB 为高电平，T1 导通对 C1 充电，并导通 T2 使得 T2 栅极为高电平，T6 导通拉低 PD 点电压从而保持 T5 为截止状态，从而保持在周期 t1 内 PU 点处于高电平；在 t1 后的 t2 时间段，第一时钟信号 CLK 为高电平，第二时钟信号 CLKB 为低电平，C1 放电保持 T2 为导通状态，则信号输出端 OUTPUT 为高电平，T7 导通拉低 PD 点电压从而保持 T5 为截止状态，从而保持在周期 t2 内 PU 点处于高电平；在 t2 后的 t3 时间段，第一时钟信号 CLK 为低电平，第二时钟信号 CLKB 为高电平，导通 T3、T4 及 T5，PD 点为高电位，使得信号输出端 OUTPUT 为低电平，PU 点也为低电平；在移位寄存器非工作时间内，第一时钟信号 CLK 为高电平，第二时钟信号 CLKB 为低电平，无导通晶体管，信号输出端 OUTPUT 为低电平。

[0095] 本发明实施例提供的移位寄存器单元，能够降低移位寄存器单元中集成的信号线和

薄膜场效应晶体管的数量,节约空间,进而降低产品成本。

[0096] 可选的,如图 3 所示为本发明的实施例提供的一种双向扫描移位寄存器单元的结构示意图,包括:预充电模块 31、信号输出模块 32、输出电平下拉模块 33、第一结点电压控制模块 34、第二结点电压控制模块 35 并且图 3 中的移位寄存器的第一信号输入端为 INPUT1,第二信号输入端 INPUT2,第三信号输入端 INPUT3,第四信号输入端 INPUT4,信号输出端为 OUTPUT,第一时钟信号为 CLK,第二时钟信号为 CLKB,第一结点为 PU 点,第二结点为 PD 点,第一电压端为 V1,第二电压端 V2,第三电压端 V3,其中正向扫描时第二电压端 V2 为输入高电平,第三电压端 V3 输入低电平,或者反向扫描时第二电压端 V2 为输入低电平,第三电压端 V3 输入高电平,这里第一电压端 V1 为一低电平,此外对正向扫描或者反向扫描不作具体限制,只是为了区别扫描的方向不同,具体的其各部件间的连接关系为:

[0097] 预充电模块 31,连接第一信号输入端 INPUT1、第一结点 PU 点、第二信号输入端 INPUT2、第二电压端 V2 和第三电压端 V3。其中,正向扫描阶段,第二电压端 V2 为高电平第三电压端 V3 为低电平,预充电模块 31 用于在第一信号输入端 INPUT1 有高电平输入时对第一结点 PU 点预充电,在第二信号输入端 INPUT2 有高电平输入时接通第一结点 PU 和第三电压端 V3,拉低第一结点 PU 点的电压;反向扫描阶段,第二电压端 V2 为低电平第三电压端 V3 为高电平,预充电模块 31 用于在第二信号输入端 INPUT2 有高电平输入时对第一结点 PU 点预充电,在第一信号输入端 INPUT1 有高电平输入时接通第一结点 PU 和第二电压端 V2,拉低第一结点 PU 点电压。

[0098] 信号输出模块 32,连接信号输出端 OUTPUT、第一结点 PU 点和第一时钟信号 CLK。信号输出模块 32 用于在第一结点 PU 的控制下接通第一时钟信号 CLK 和信号输出端 OUTPUT,当第一时钟信号 CLK 为高电平时输出高电平信号。

[0099] 输出电平下拉模块 33,连接信号输出端 OUTPUT、第二时钟信号 CLKB、第一电压端 V1、第三信号输入端 INPUT3 和第四信号输入端 INPUT4,输出电平下拉模块 33 用于在第二时钟信号 CLKB 的控制下接通信号输出端 OUTPUT 和第一电压端 V1,拉低信号输出端 OUTPUT 的电平;此外在正向扫描时输出电平下拉模块 33 用于在第三信号输入端 INPUT3 控制下接通信号输出端 OUTPUT 和第一电压端 V1,即在第三信号输入端 INPUT3 的电压为高电平时拉低信号输出端 OUTPUT 的电平;在反向扫描时用于在第四信号输入端 INPUT4 控制下接通信号输出端 OUTPUT 和第一电压端 V1,即在第三信号输入端 INPUT3,即第四信号输入端 INPUT4 的电压为高电平时拉低信号输出端 OUTPUT 的电平。

[0100] 第一结点电压控制模块 34,连接第二时钟信号 CLKB、接地端 VSS、第一结点 PU 点和第二结点 PD 点。第一结点电压控制模块 34 用于在所述第二时钟信号 CLKB 的控制下接通第一结点 PU 和第一电压端 V1,即移位寄存器单元输出高电平信号之后,第一时钟信号 CLK 变为低电平,第二时钟信号 CLKB 变为高电平时,下拉第一结点 PU 点的电压。

[0101] 第二结点电压控制模块 35,连接第一信号输入端 INPUT1、信号输出端 OUTPUT、第一电压端 V1、第二结点 PD 点和第二信号输入端 INPUT2。第二结点电压控制模块 35 用于在第一信号输入端 INPUT1 控制接通所述所述第二结点 PD 和所述第一电压端 V1,即第一信号输入端 INPUT1 为高电平时拉低第二结点 PD 点的电压,用于在第二信号输入端 INPUT2 控制接通所述所述第二结点 PD 和所述第一电压端 V1,即第二信号输入端 INPUT2 为高电平时拉低第二结点 PD 点的电压。

[0102] 本发明实施例提供的移位寄存器单元,能够降低移位寄存器单元中集成的信号线和薄膜场效应晶体管的数量,节约空间,进而降低产品成本。

[0103] 可选的,如图 4 所示的双向扫描移位寄存器单元的电路结构示意图,包括:预充电模块 31、信号输出模块 32、输出电平下拉模块 33、第一结点电压控制模块 34、第二结点电压控制模块 35、图 4 中的移位寄存器单元的第一信号输入端为 INPUT1,第二信号输入端 INPUT2,第三信号输入端 INPUT3,第四信号输入端 INPUT4,信号输出端为 OUTPUT,第一时钟信号为 CLK,第二时钟信号为 CLKB,第一结点为 PU 点,PU 点为第一晶体管 T1 管漏极与第五晶体管 T5 的源极和第二晶体管 T2 的栅极的结点,第二结点为 PD 点,PD 点为第五晶体管 T5 的栅极和第六晶体管 T6 的源极和第七晶体管 T7 的源极的结点,第二电压端 V2,第三电压端 V3,第一电压端 V1,图中第一电压端 V1 以接地端 VSS 为例,具体的各电学器件的连接关系如下:

[0104] 预充电模块 31 包括:第一晶体管 T1 的栅极连接第一信号输入端 N-1_OUTPUT,该第一晶体管 T1 的源极连接第二电压端 V2,该第一晶体管的漏极连接第一结点 PU 点;

[0105] 第八晶体管 T8,该第八晶体管 T8 的栅极连接第二信号输入端 N+1_OUTPUT,该第八晶体管 T8 的源极连接第一结点 PU 点,该第八晶体管 T8 的漏极连接第三电压端 V3;

[0106] 其中,正向扫描阶段,第二电压端 V2 为高电平第三电压端 V3 为低电平,预充电模块 31 中的第一信号输入端 INPUT1 为高电平时,第一晶体管 T1 为导通状态,并对第一结点 PU 点进行预充电,在第二信号输入端 INPUT2 为高电平时(即下一级移位寄存器单元输出高电平时),第八晶体管 T8 为导通状态,并对第一结点 PU 点电压进行下拉;反向扫描阶段,第二电压端 V2 为低电平第三电压端 V3 为高电平,预充电模块 31 中的第二信号输入端 INPUT2 为高电平时,第八晶体管 T8 为导通状态,并对第一结点 PU 点进行预充电,在第一信号输入端 INPUT1 为高电平时(即上一级移位寄存器单元输出高电平时),第一晶体管 T1 为导通状态,并对第一结点 PU 点电压进行下拉。

[0107] 信号输出模块 32 包括:第二晶体管 T2,该第二晶体管 T2 的栅极连接第一结点 PU 点,该第二晶体管 T2 的源极连接第一时钟信号 CLK,该第二晶体管 T2 的漏极连接信号输出端 OUTPUT;

[0108] 第一电容 C1,该第一电容 C1 的一极连接第二晶体管 T2 的栅极,该第一电容 C1 的另一极连接第二晶体管 T2 的漏极;

[0109] 其中,第一时钟信号 CLK 为高电平时,第二晶体管 T2 为导通状态,使得移位寄存器单元的输出信号为高电平。

[0110] 输出电平下拉模块 33 包括:第三晶体管 T3,该第三晶体管 T3 的栅极连接第二时钟信号 CLKB,该第三晶体管 T3 的源极连接信号输出端 OUTPUT,该第三晶体管 T3 的漏极连接接地端 VSS;

[0111] 第九晶体管 T9,该第九晶体管 T9 的栅极连接第三信号输入端 INPUT3,该第九晶体管 T9 的源极连接信号输出端 OUTPUT,该第九晶体管 T9 的漏极连接接地端 VSS;

[0112] 第十晶体管 T10,该第十晶体管 T10 的栅极连接第四信号输入端 INPUT4,该第十晶体管 T10 的源极连接信号输出端 OUTPUT,该第十晶体管 T10 的漏极连接接地端 VSS;

[0113] 其中,移位寄存器单元输出高电平信号之后,第一时钟信号 CLK 变为低电平,第二时钟信号 CLKB 变为高电平,此时第二时钟信号 CLKB 控制第三晶体管 T3 导通,对本级移位

寄存器单元输出信号起到下拉、复位作用；此外，在正向扫描阶段，在下一级第一时钟信号 CLK 变为高电平，第二时钟信号 CLKB 为低电平时，由第三信号输入端 INPUT3 控制，第九晶体管 T9 对本级移位寄存器单元输出信号起到下拉、复位作用；在反向扫描阶段，第十晶体管 T10 对本级移位寄存器单元输出信号起到下拉、复位作用。

[0114] 第一结点电压控制模块 34 包括：第四晶体管 T4，该第四晶体管 T4 的栅极和源极连接第二时钟信号 CLKB，该第四晶体管 T4 的漏极连接第二结点 PD 点；

[0115] 第五晶体管 T5，该第五晶体管 T5 的栅极连接第二结点 PD 点，该第五晶体管 T5 的源极连接第一结点 PU 点，该第五晶体管 T5 的漏极连接接地端 VSS；

[0116] 其中，移位寄存器单元的输出高电平信号之后，第一时钟信号 CLK 变为低电平，第二时钟信号 CLKB 变为高电平时，由第二时钟信号 CLKB 控制，第四晶体管 T4 和第五晶体管 T5 对 PU 电压结点电压起到下拉、复位作用；

[0117] 第二结点电压控制模块 35 包括：第六晶体管 T6，该第六晶体管 T6 的栅极连接第一信号输入端 INPUT1，该第六晶体管 T6 的源极连接第二结点 PD 点，该第六晶体管 T6 的漏极连接接地端 VSS；

[0118] 第七晶体管 T7，该第七晶体管 T7 的栅极连接输出信号端 OUTPUT，该第七晶体管 T7 的源极连接第二结点 PD 点，该第七晶体管 T7 的漏极连接接地端 VSS。

[0119] 第十一晶体管 T11，该第十一晶体管 T11 的栅极连接第二信号输入端 INPUT2，该第十一晶体管 T11 的源极连接第二结点 PD 点，该第十一晶体管 T11 的漏极连接接地端 VSS。

[0120] 其中，为了保持 PU 电压结点电压为高电平不被下拉，应使在 PU 电压结点电压为高时 PD 电压结点电压为低电平，而 PU 点的电压在预充电阶段和本级移位寄存器单元的输出阶段必须保持高电平，以此在正向扫描阶段，T6 在第一信号输入端 INPUT1 输入高电平时导通，保持 PD 电压结点电压为低电平；T7 在本级移位寄存器单元信号输出端输出高电平时导通，保持 PD 电压结点电压为低电平；反向扫描阶段，T11 在第二信号输入端 INPUT2 输入高电平时导通，保持 PD 电压结点电压为低电平；T7 在本级移位寄存器单元信号输出端输出高电平时导通，保持 PD 电压结点电压为低电平。

[0121] 本发明实施例提供的移位寄存器单元，能够降低移位寄存器单元中集成的信号线和薄膜场效应晶体管的数量，节约空间，进而降低产品成本。

[0122] 结合图 4 和图 6，其中图 4 提供双向扫描移位寄存器电路的电路图和图 6 提供的双向扫描移位寄存器单元的时序状态图（其中图 6 为双向扫描时 CLK、CLKB、PU 点和 OUTPUT 各信号端信号的时序状态图）本发明实施例提供的双向扫描移位寄存器单元及移位寄存器电路具体实现的功能如下：

[0123] 正向扫描时，在 t_1' 时间段，第二电压端 V2 输入高电平，第三电压端 V3 输入低电平，由第一信号输入端 INPUT1 输入高电平，导通 T1 对 C1 进行预充电，T6 导通保持 PD 点处于低电平从而使得 T5 保持截止进而使得 PU 点保持高电平；在 t_1' 后的 t_2' 时间段，第一时钟信号 CLK 为高电平，第二时钟信号 CLKB 为低电平，则 C1 导通 T2 使得信号输出端 OUTPUT 信号为高电平，此时 T7 导通保持 PD 点处于低电平从而使得 T5 保持截止进而使得 PU 点保持高电平；在 t_2' 后的 t_3' 时间段，第一时钟信号 CLK 为低电平，第二时钟信号 CLKB 为高电平，导通 T3、T4 及 T5，PD 点为高电平，使得信号输出端 OUTPUT 为低电平，PU 点也为低电平，且在时间段 t_3' ，由第三信号输入端 INPUT3 输入高电平，通过导通 T9 拉低信号输出端

OUTPUT 信号;在移位寄存器单元非工作时间内,第一时钟信号 CLK 为高电平,第二时钟信号 CLKB 为低电平,无导通晶体管,信号输出端 OUTPUT 为低电平。

[0124] 反向扫描时,第二电压端 V2 和第三电压端 V3 的输入电压互换,在 t_1' 时间段由第三电压端 V3 输入高电平,第二电压端 V2 输入低电平,由第二信号输入端 INPUT2 输入高电平,导通 T8 对 C1 进行预充电,T11 导通保持 PD 点处于低电平从而使得 T5 保持截止进而使得 PU 点保持高电平;在 t_1' 后的 t_2' 时间段,第一时钟信号 CLK 为高电平,第二时钟信号 CLKB 为低电平,则 C1 导通 T2 使得信号输出端 OUTPUT 信号为高电平,此时 T7 导通保持 PD 点处于低电平从而使得 T5 保持截止进而使得 PU 点保持高电平;在 t_2' 后的 t_3' 时间段,第一时钟信号 CLK 为低电平,第二时钟信号 CLKB 为高电平,导通 T3 拉低信号输出端 OUTPUT 的信号,使得信号输出端 OUTPUT 信号为低电平,导通 T4 和 T5 拉低 PU 电压结点电压,且在时间段 t_3' ,由第四信号输入端 INPUT4 输入高电平,通过导通 T10 拉低信号输出端 OUTPUT 信号;在移位寄存器非工作时间内,第一时钟信号 CLK 为高电平,第二时钟信号 CLKB 为低电平,无导通晶体管,信号输出端 OUTPUT 为低电平。其中未给出反向扫描时的时序状态图具体可参照正向扫描的时序状态图。

[0125] 本发明实施例提供的移位寄存器单元,能够降低移位寄存器单元中集成的信号线和薄膜场效应晶体管的数量,节约空间,进而降低产品成本。

[0126] 本发明提供一种栅极驱动电路,包括串联多个如图 1 或图 2 所示的移位寄存器单元,除第一个移位寄存器单元和最后一个移位寄存器单元外,其余每个移位寄存器单元的信号输出端连接与其相邻的下一个移位寄存器单元的第一信号输入端。

[0127] 具体的,如图 7 所示的单项扫描栅极驱动电路,包括若干个移位寄存器单元,其中移位寄存器单元 SR0 的输出端 OUTPUT 连接移位寄存器单元 SR1 的第一信号输入端 INPUT1 并连接一条栅线 GL0;移位寄存器单元 SR1 的输出端 OUTPUT 连接移位寄存器单元 SR2 的第一信号输入端 INPUT1 并连接一条栅线 GL1;移位寄存器单元 SR2 的输出端 OUTPUT 连接移位寄存器单元 SR3 的第一信号输入端 INPUT1 并连接一条栅线 GL2,除第一个移位寄存器单元和最后一个移位寄存器单元外,其他的移位寄存器单元依照此方法链接。第一个移位寄存器单元的第一信号输入端 INPUT1 在起始时刻输入一个帧起始信号 STV,每个移位寄存器单元都有一个第一时钟信号端 CLK 输入和一个第二时钟信号端 CLKB 输入;第二时钟信号端 CLKB 与第一时钟信号端 CLK 的时钟信号具有 180 度相位差,并且第一时钟信号端 CLK 和第二时钟信号端 CLKB 的时钟信号均在各自的工作周期内一半时间输出高电平,另一半时间输出低电平;此外相邻的两个移位寄存器单元的第一时钟信号端 CLK 的时钟信号具有 180 度相位差,相邻的两个移位寄存器单元的第二时钟信号端 CLKB 的时钟信号具有 180 度相位差。

[0128] 本发明实施例提供的栅极驱动电路,能够降低移位寄存器单元中集成的信号线和薄膜场效应晶体管的数量,节约空间,进而降低产品成本。

[0129] 本发明提供的另一种栅极驱动电路,包括串联的多个如图 3 或图 4 所述的移位寄存器单元除第一个移位寄存器单元和最后一个移位寄存器单元外,其余每个移位寄存器单元信号输出端还连接与其相邻的上一个移位寄存器单元的第二信号输入端,每个移位寄存器单元的信号输出端还连接与其相邻的上一个移位寄存器单元的第二信号输入端,除最前两个移位寄存器单元和最后两个移位寄存器单元外,其余每个移位寄存器单元的信号输出

端还连接与其上邻的第二个移位寄存器单元的第三信号输入端和与其相邻的下邻的第二个移位寄存器单元的第四信号输入端。

[0130] 具体的,如图 8 所示双向扫描栅极驱动电路,包括若干个移位寄存器单元,其中,移位寄存器单元 SR0_1 的信号输出端 OUTPUT 连接下一个移位寄存器单元 SR0_2 的第一信号输入端 INPUT1 和下二个移位寄存器单元的第四信号输入端 INPUT4 及一条栅线 G0_1;移位寄存器单元 SR0_2 的信号输出端 OUTPUT 连接下一个移位寄存器单元 SR1 的第一信号输入端 INPUT1、上一个移位寄存器单元的第二信号输入端 INPUT2 以及下二个移位寄存器单元的第四信号输入端 INPUT4 及一条栅线 G0_2;移位寄存器单元 SR1 的信号输出端 OUTPUT 连接下一个移位寄存器单元的第一信号输入端 INPUT1、上一个移位寄存器单元 SR0_2 的第二信号输入端 INPUT2 以及下二个移位寄存器单元的第四信号输入端 INPUT4、上二个移位寄存器单元 SR0_1 的第三信号输入端 INPUT3 及一条栅线 G1;除前两个移位寄存器单元和最后两个移位寄存器单元外,其他的移位寄存器单元依照移位寄存器单元 SR1 连接,在正向扫描时第一个移位寄存器单元的信号输入端在起始时刻输入一个帧起始信号 STV,在反向扫描时最后一个移位寄存器单元的信号输入端在起始时刻输入一个帧起始信号 STV';每个移位寄存器单元都有一个第一时钟信号端 CLK 输入和一个第二时钟信号端 CLKB 输入;第二时钟信号端 CLKB 与第一时钟信号端 CLK 的时钟信号具有 180 度相位差,并且第一时钟信号端 CLK 和第二时钟信号端 CLKB 的时钟信号均在各自的工作周期内一半时间输出高电平,另一半时间输出低电平;此外相邻的两个移位寄存器单元的第一时钟信号端 CLK 的时钟信号具有 180 度相位差,相邻的两个移位寄存器单元的第二时钟信号端 CLKB 的时钟信号具有 180 度相位差。

[0131] 本发明实施例提供的栅极驱动电路,能够降低移位寄存器单元中集成的信号线和薄膜场效应晶体管的数量,节约空间,进而降低产品成本。

[0132] 本发明实施例还提供了一种显示器件,比如可以为显示面板,包括:

[0133] 显示区域,具有用于显示图像的多个像素;栅极驱动电路,用于将扫描信号送至显示区域;以及,数据驱动电路,用于将数据信号送至显示区域。其中栅极驱动电路为上述的栅极驱动电路。另外,显示器件还可以为电子纸、手机、电视、数码相框等等显示设备。

[0134] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

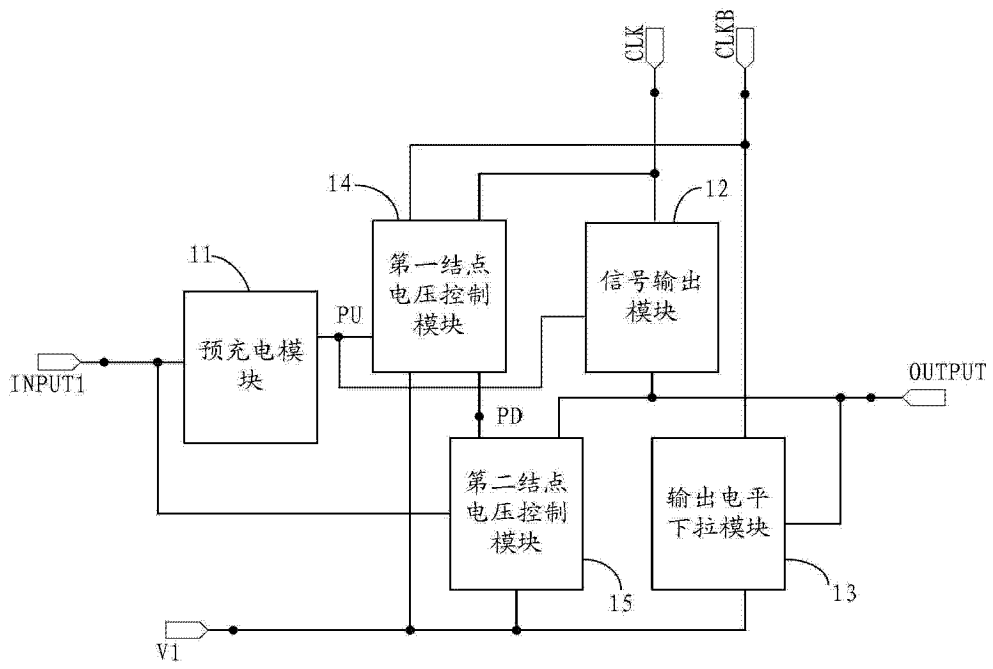


图 1

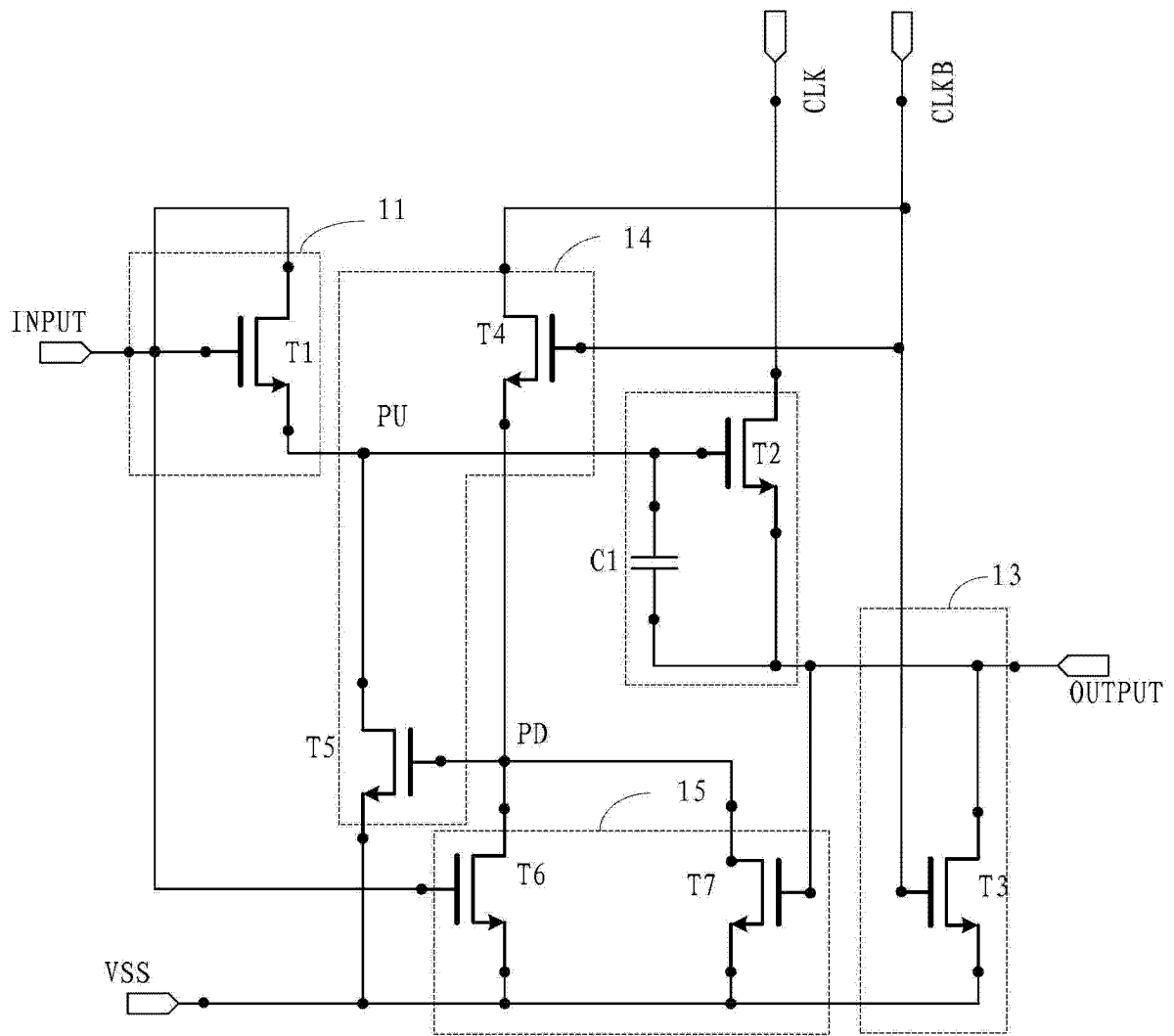


图 2

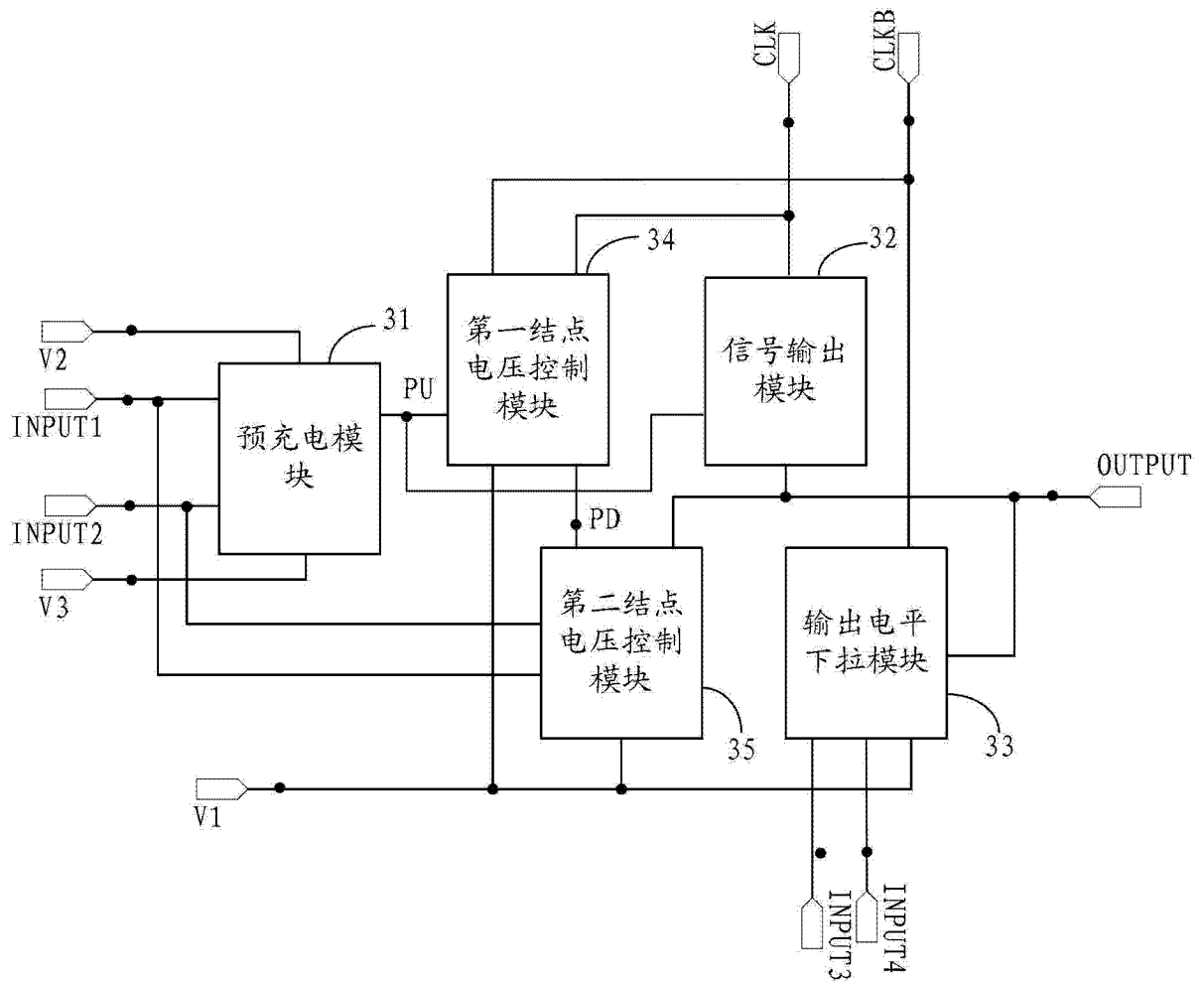


图 3

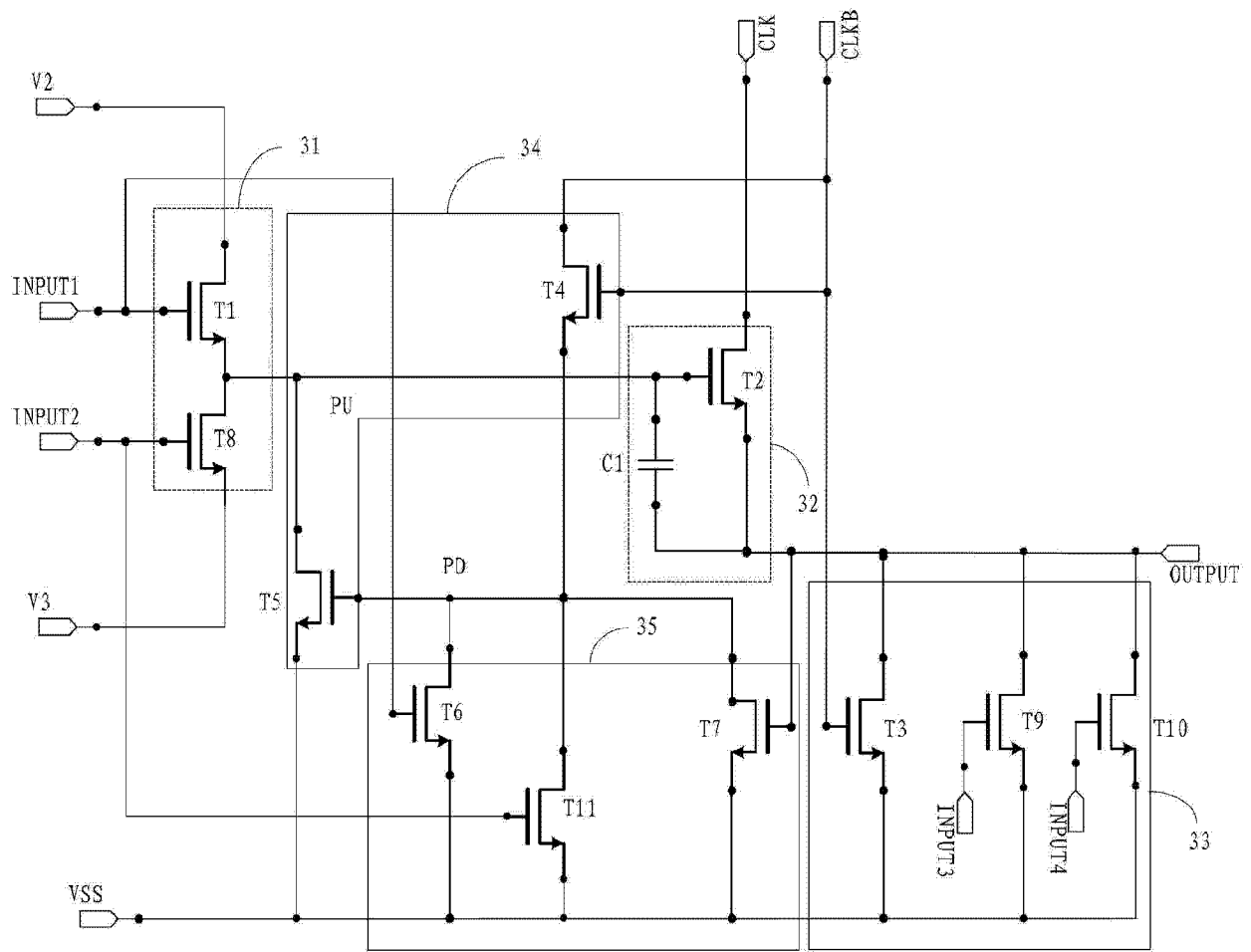


图 4

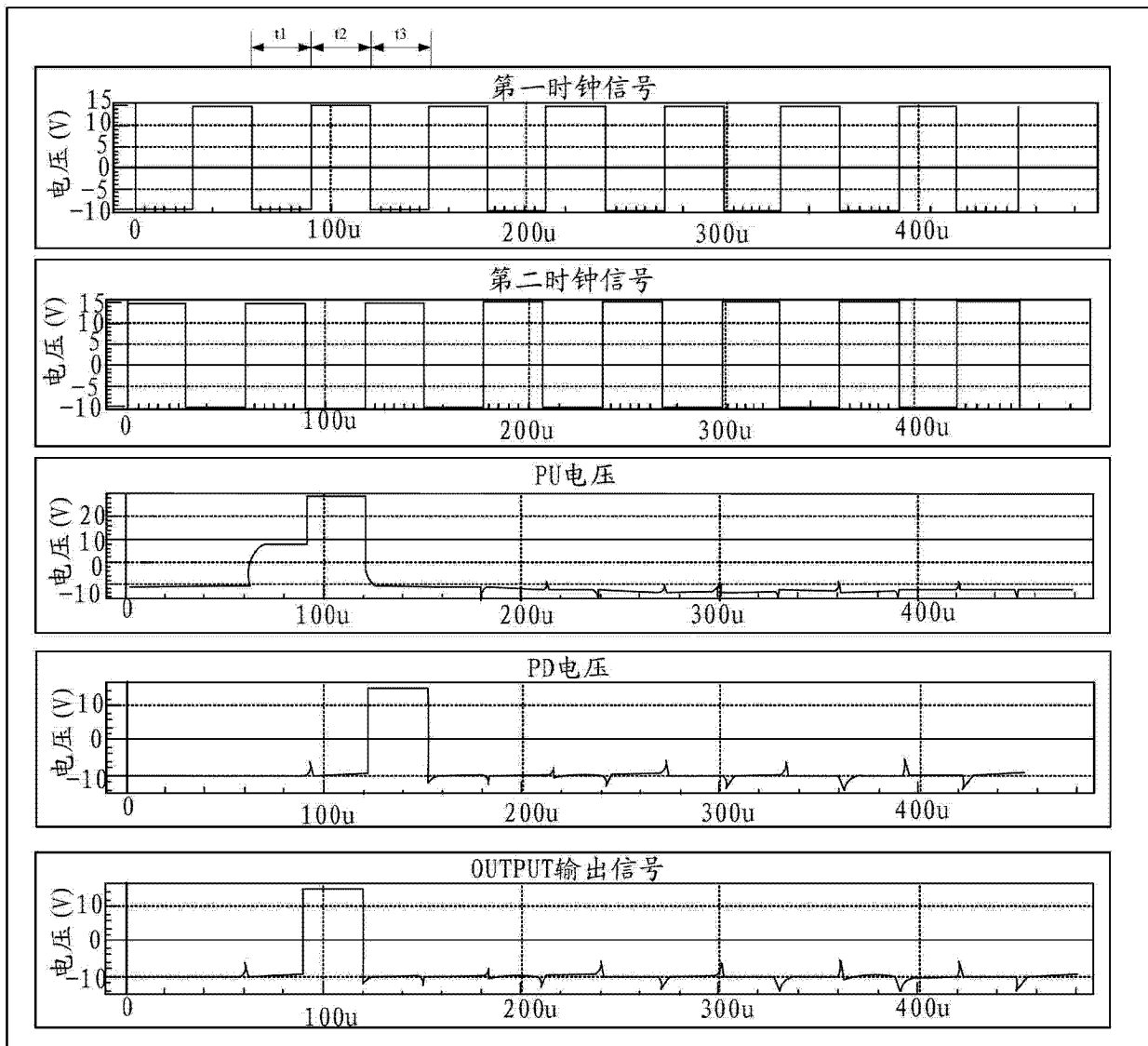


图 5

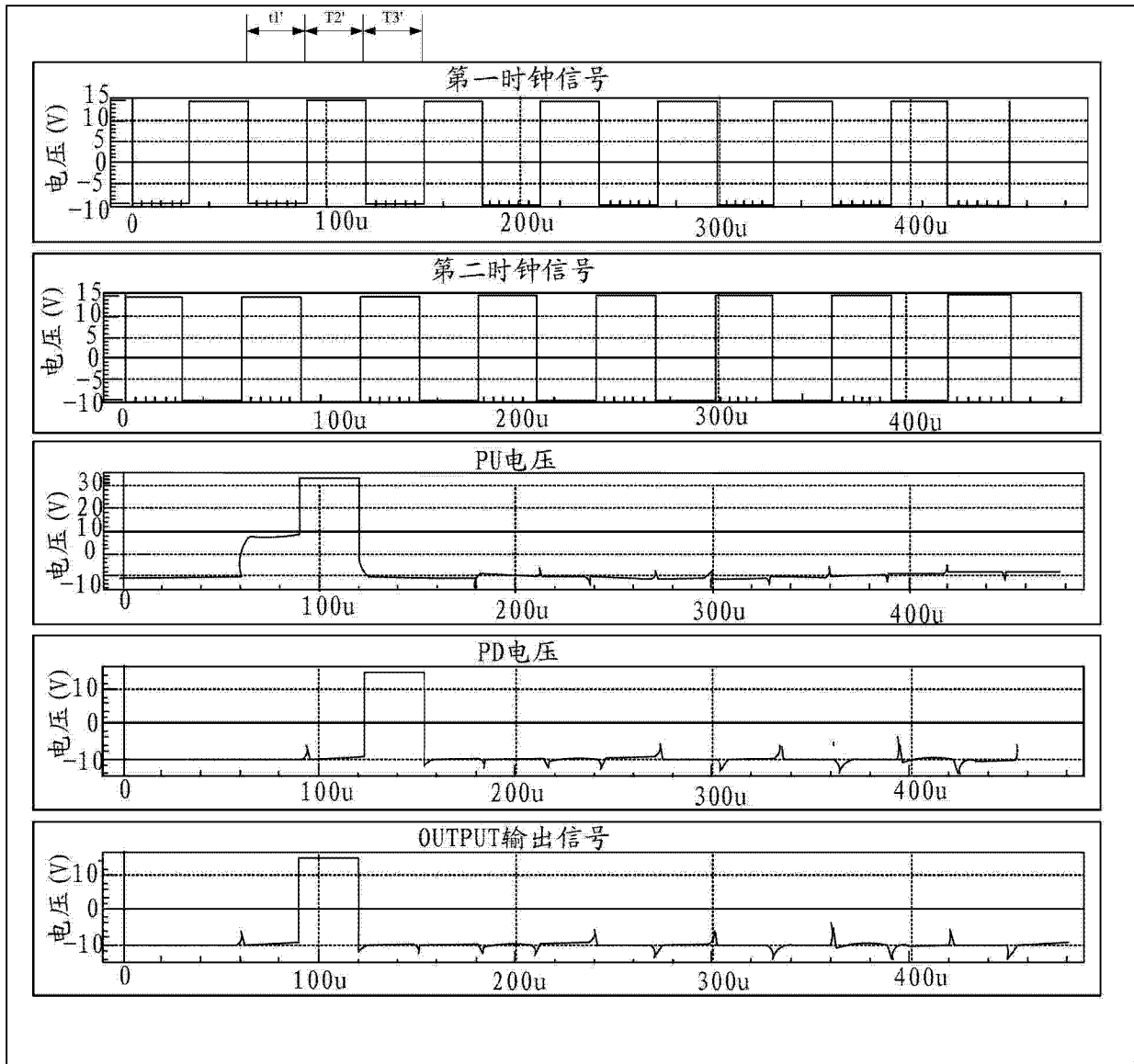


图 6

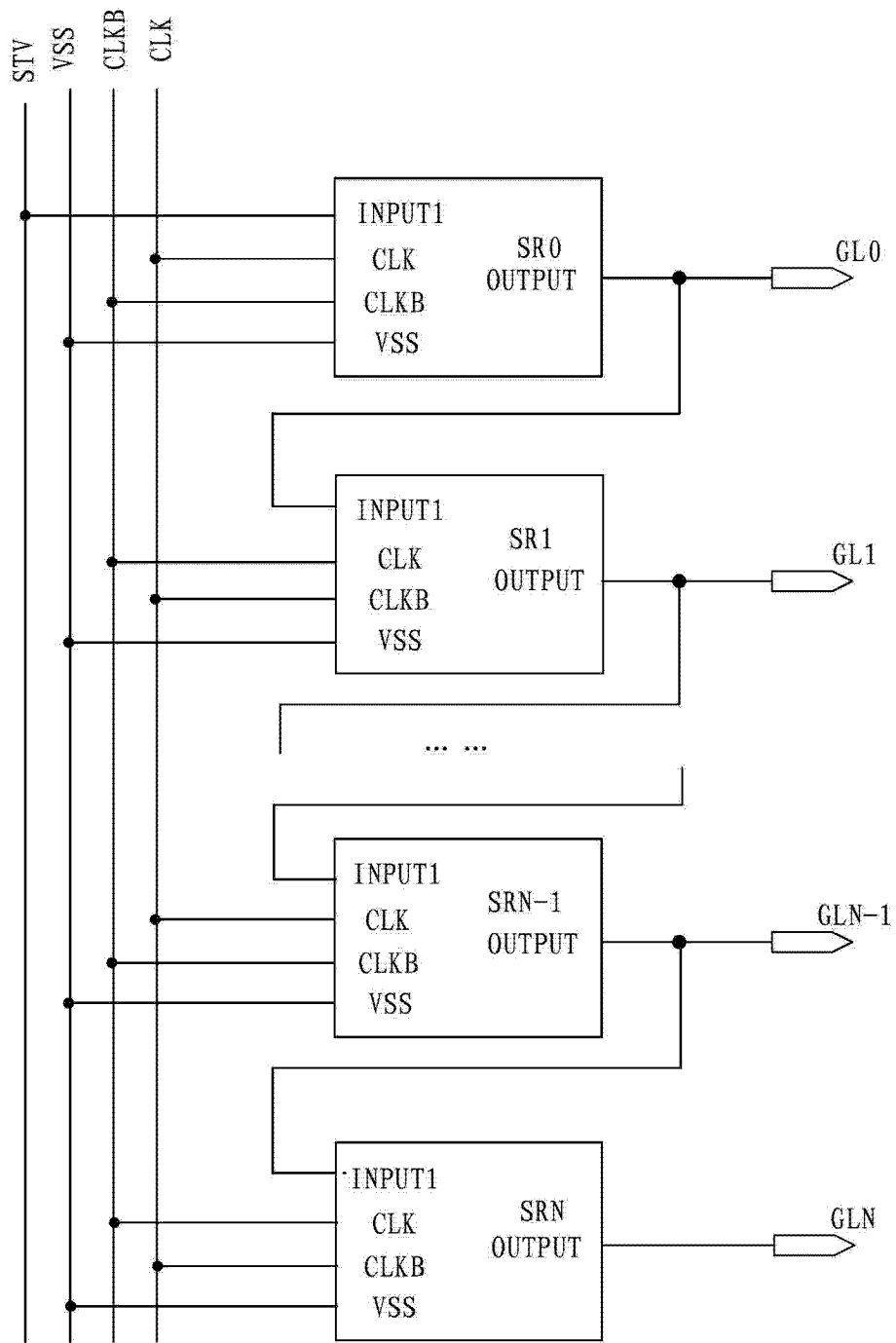


图 7

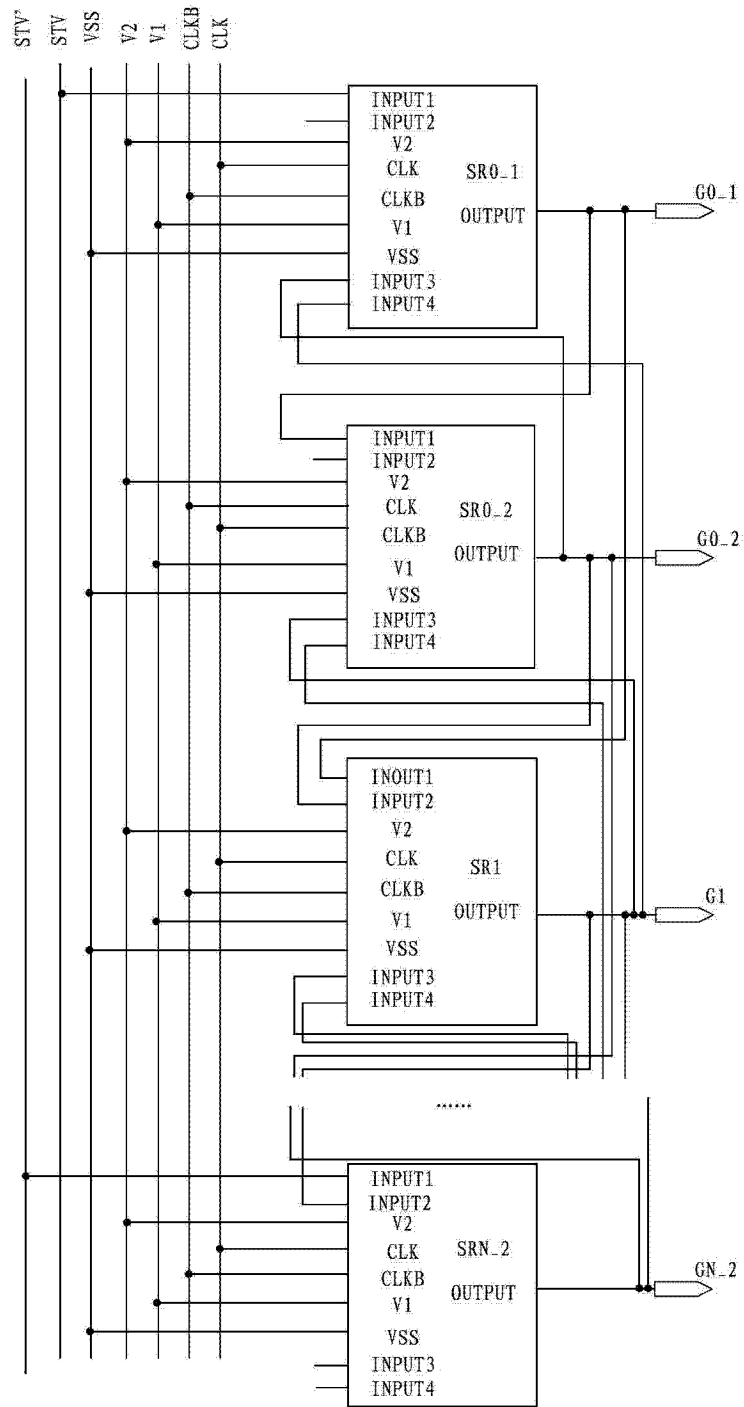


图 8