

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-33995
(P2008-33995A)

(43) 公開日 平成20年2月14日(2008.2.14)

(51) Int.Cl.
G11C 29/04 (2006.01)

F I
G11C 29/00 603B

テーマコード(参考)
5L106

審査請求 未請求 請求項の数 12 O L (全 12 頁)

(21) 出願番号 特願2006-203856 (P2006-203856)
(22) 出願日 平成18年7月26日(2006.7.26)

(71) 出願人 00005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100077931
弁理士 前田 弘
(74) 代理人 100110939
弁理士 竹内 宏
(74) 代理人 100110940
弁理士 嶋田 高久
(74) 代理人 100113262
弁理士 竹内 祐二
(74) 代理人 100115059
弁理士 今江 克実
(74) 代理人 100115691
弁理士 藤田 篤史

最終頁に続く

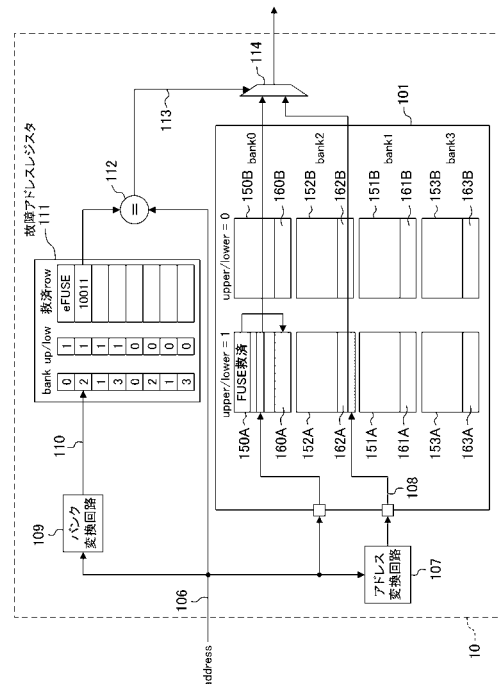
(54) 【発明の名称】 メモリシステム

(57) 【要約】

【課題】 アクセス速度の低下をできるだけ抑えながら、メモリの故障を確実に救済する。

【解決手段】 メモリシステムであって、故障を救済するための冗長領域をそれぞれ有する複数のメモリバンクを有するメモリを備え、同一のメモリバンクで複数の故障が発生した場合には、少なくとも1つの故障を、そのメモリバンクが有する冗長領域を用いて救済し、その他の少なくとも1つの故障を、他のメモリバンクが有する冗長領域を用いて救済する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

故障を救済するための冗長領域をそれぞれ有する複数のメモリバンクを有するメモリを備え、

同一のメモリバンクで複数の故障が発生した場合には、少なくとも1つの故障を、そのメモリバンクが有する冗長領域を用いて救済し、その他の少なくとも1つの故障を、他のメモリバンクが有する冗長領域を用いて救済することを特徴とするメモリシステム。

【請求項 2】

請求項 1 記載のメモリシステムにおいて、

前記少なくとも1つの故障は、前記故障が発生したメモリバンクが有する冗長領域を用いて、ヒューズ方式により救済されるものであることを特徴とするメモリシステム。

10

【請求項 3】

請求項 1 記載のメモリシステムにおいて、

前記その他の少なくとも1つの故障は、アクセス先のアドレスを前記他のメモリバンクが有する冗長領域のアドレスに変換することにより、救済されるものであることを特徴とするメモリシステム。

【請求項 4】

請求項 3 記載のメモリシステムにおいて、

前記複数のメモリバンクのそれぞれと、そのメモリバンクで発生した故障を救済するそのメモリバンク以外のメモリバンクとは、あらかじめ対応付けられており、前記アクセス先のアドレスの変換の際には、そのアドレスのうち、前記複数の故障が発生したメモリバンクに対応するメモリバンクを特定するために必要なビットだけを変換することを特徴とするメモリシステム。

20

【請求項 5】

請求項 1 記載のメモリシステムにおいて、

前記複数のメモリバンクのそれぞれと、そのメモリバンクで発生した故障を救済することが可能であるそのメモリバンク以外のメモリバンクとは、あらかじめ対応付けられており、前記複数の故障が発生したメモリバンクに対応するメモリバンクを活性化させることを特徴とするメモリシステム。

30

【請求項 6】

請求項 1 記載のメモリシステムにおいて、

当該メモリシステムへのアクセスが示す第 1 のアドレスを、前記アクセスが読み出そうとする領域に故障があった場合にそれを救済する、前記他のメモリバンクが有する冗長領域を示す第 2 のアドレスに変換するアドレス変換回路と、

前記他のメモリバンクが有する冗長領域によって救済されている領域を示すアドレスを保持し、入力されたバンク選択アドレスが示すメモリバンクに対応するアドレスを出力する故障アドレスレジスタと、

前記故障アドレスレジスタから出力されたアドレスと前記第 1 のアドレスの所定の部分が一致した場合に、ヒット信号を有効にして出力するヒット信号生成回路と、

40

前記ヒット信号が有効である場合には、前記第 2 のアドレスによって前記メモリから読み出されるデータを選択して出力し、前記ヒット信号が無効である場合には、前記第 1 のアドレスによって前記メモリから読み出されるデータを選択して出力するセクタとを更に備える

ことを特徴とするメモリシステム。

【請求項 7】

請求項 6 記載のメモリシステムにおいて、

前記アクセスが読み出そうとする領域を有するメモリバンクと、その領域に故障があった場合にそれを救済する前記他のメモリバンクとは、あらかじめ対応付けられているもの

50

であり、

前記第 1 のアドレスを、あらかじめ対応付けられた前記他のメモリバンクを示すように、前記バンク選択アドレスに変換して、前記故障アドレスレジスタに出力するバンク変換回路を更に備えることを特徴とするメモリシステム。

【請求項 8】

請求項 6 記載のメモリシステムにおいて、故障を救済する単位によって、前記故障アドレスレジスタのエントリ数が決定されることを特徴とするメモリシステム。

【請求項 9】

請求項 6 記載のメモリシステムにおいて、前記メモリは、
a 個 (a は自然数) のメモリバンクを備えるものであり、
前記 a 個のメモリバンクは、
エントリ数が b (b は自然数) である冗長領域をそれぞれ有するものであり、
前記故障アドレスレジスタは、
前記メモリの c 個 (c は自然数) のエントリを単位として故障を救済する場合には、
 $a \times b / c$ 個のエントリを有するものであることを特徴とするメモリシステム。

【請求項 10】

請求項 6 記載のメモリシステムにおいて、前記故障アドレスレジスタ及び前記ヒット信号生成回路は、前記メモリからデータを読み出す処理とは、独立して処理を行うものであることを特徴とするメモリシステム。

【請求項 11】

請求項 6 記載のメモリシステムにおいて、前記メモリは、
前記第 1 のアドレスに基づいてデータを読み出す処理と、前記第 2 のアドレスに基づいてデータを読み出す処理とを、それぞれ独立して行うものであることを特徴とするメモリシステム。

【請求項 12】

請求項 6 記載のメモリシステムにおいて、前記アドレス変換回路は、
前記第 1 のアドレスを変換して、前記第 2 のアドレスを複数生成するものであり、
前記メモリは、
前記第 1 のアドレスに基づいてデータを読み出す処理と、前記複数の第 2 のアドレスに基づいてそれぞれデータを読み出す処理とを、それぞれ独立して行うものであることを特徴とするメモリシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリの故障を救済するメモリシステムに関する。

【背景技術】

【0002】

製造された半導体メモリを選別する検査によって故障と判定された領域を救済する方法としては、メモリへのアクセスにおいて、入力されたアドレスがメモリの故障領域を示すか否かを判定し、故障領域を示す場合は、入力されたアドレスをメモリの冗長的な領域を指し示すように変換するものがある。メモリの冗長救済を効率よく行うために、カラムや ROW 単位ではなくアドレス単位で救済を行うメモリの冗長救済装置が、例えば、下記特許文献 1 に開示されている。

10

20

30

40

50

【0003】

図5は、従来のメモリの冗長救済装置の構成を示すブロック図である。図5のメモリの冗長救済装置は、冗長アドレス生成手段502と、セレクトア503と、メモリ504と、冗長メモリ505とを備える。

【0004】

冗長アドレス生成手段502は、メモリの故障箇所を示す故障アドレスと、それに対応した冗長メモリの冗長アドレスとを保持する。冗長アドレス生成手段502は、受け取った入力アドレス501が、保持するどの故障アドレスとも一致しない場合は、入力アドレス501を選択してメモリ504に供給するように指示する制御信号506を、セレクトア503に出力する。また、冗長アドレス生成手段502は、受け取った入力アドレス501が、保持する故障アドレスと一致する場合は、故障アドレスに対応する冗長アドレス507と、冗長アドレス507を選択して冗長メモリ505に供給するように指示する制御信号506とを、セレクトア503に出力する。

10

【0005】

このような構成を取ることによって、メモリの故障をアドレス単位で救済し、冗長メモリの容量を削減して、効率の良い冗長救済を行うことができる。

【特許文献1】特開2005-196843号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、図5の冗長救済装置においては、例えば、ヒューズ方式を用いてメモリアクセスの速度を低下させずに救済することができる故障についても、全てアドレス変換によって救済することにより、メモリのアクセス速度が低下するという問題があった。

20

【0007】

また、全てのアクセスについて、それぞれのアクセスが示すアドレスがアドレス生成手段が保持する故障箇所のアドレスと一致するか否かの判定を行ってから、メモリアクセスを行うことによっても、メモリのアクセス速度が低下するという問題があった。

【0008】

さらに、故障した箇所の数だけ故障アドレスと冗長アドレスとを保持する必要があり、故障アドレスの数が増えるほど、それを保持する冗長アドレス生成手段の回路の面積が増大するという問題があった。

30

【0009】

本発明は、冗長領域によって故障を救済するメモリシステムにおいて、アクセス速度の低下をできるだけ抑えながら、メモリの故障を確実に救済することを目的とする。さらに、故障箇所を記憶するレジスタの数を削減することを目的とする。

【課題を解決するための手段】

【0010】

前記課題を解決するため、請求項1の発明が講じた手段は、メモリシステムであって、故障を救済するための冗長領域をそれぞれ有する複数のメモリバンクを有するメモリを備え、同一のメモリバンクで複数の故障が発生した場合には、少なくとも1つの故障を、そのメモリバンクが有する冗長領域を用いて救済し、その他の少なくとも1つの故障を、他のメモリバンクが有する冗長領域を用いて救済するものである。

40

【0011】

請求項1の発明によると、同一のメモリバンクで発生した複数の故障を、メモリのアクセス速度をできるだけ低下させずに救済することができる。

【0012】

請求項2の発明は、請求項1記載のメモリシステムにおいて、前記少なくとも1つの故障は、前記故障が発生したメモリバンクが有する冗長領域を用いて、ヒューズ方式により救済されるものである。

【0013】

50

請求項 3 の発明は、請求項 1 記載のメモリシステムにおいて、前記その他の少なくとも 1 つの故障は、アクセス先のアドレスを前記他のメモリバンクが有する冗長領域のアドレスに変換することにより、救済されるものである。

【 0 0 1 4 】

請求項 4 の発明は、請求項 3 記載のメモリシステムにおいて、前記複数のメモリバンクのそれぞれと、そのメモリバンクで発生した故障を救済するそのメモリバンク以外のメモリバンクとは、あらかじめ対応付けられており、前記アクセス先のアドレスの変換の際には、そのアドレスのうち、前記複数の故障が発生したメモリバンクに対応するメモリバンクを特定するために必要なビットだけを変換するものである。

【 0 0 1 5 】

請求項 4 の発明によると、複数の故障が発生した場合に、少なくともその 1 つを救済する他のメモリバンクをあらかじめ決定しておくことにより、アドレス変換において変換するビットの数を削減することができる。

【 0 0 1 6 】

請求項 5 の発明は、請求項 1 記載のメモリシステムにおいて、前記複数のメモリバンクのそれぞれと、そのメモリバンクで発生した故障を救済することが可能であるそのメモリバンク以外のメモリバンクとは、あらかじめ対応付けられており、前記複数の故障が発生したメモリバンクに対応するメモリバンクを活性化させるものである。

【 0 0 1 7 】

請求項 5 の発明によると、複数の故障が発生した場合に、少なくともその 1 つを救済することが可能である他のメモリバンクをあらかじめ決定しておくことにより、活性化するバンクの数を削減することができる。

【 0 0 1 8 】

請求項 6 の発明は、請求項 1 記載のメモリシステムにおいて、当該メモリシステムへのアクセスが示す第 1 のアドレスを、前記アクセスが読み出そうとする領域に故障があった場合にそれを救済する、前記他のメモリバンクが有する冗長領域を示す第 2 のアドレスに変換するアドレス変換回路と、前記他のメモリバンクが有する冗長領域によって救済されている領域を示すアドレスを保持し、入力されたバンク選択アドレスが示すメモリバンクに対応するアドレスを出力する故障アドレスレジスタと、前記故障アドレスレジスタから出力されたアドレスと前記第 1 のアドレスの所定の部分とが一致した場合に、ヒット信号を有効にして出力するヒット信号生成回路と、前記ヒット信号が有効である場合には、前記第 2 のアドレスによって前記メモリから読み出されるデータを選択して出力し、前記ヒット信号が無効である場合には、前記第 1 のアドレスによって前記メモリから読み出されるデータを選択して出力するセクタとを更に備えるものである。

【 0 0 1 9 】

請求項 7 の発明は、請求項 6 記載のメモリシステムにおいて、前記アクセスが読み出そうとする領域を有するメモリバンクと、その領域に故障があった場合にそれを救済する前記他のメモリバンクとは、あらかじめ対応付けられているものであり、前記第 1 のアドレスを、あらかじめ対応付けられた前記他のメモリバンクを示すように、前記バンク選択アドレスに変換して、前記故障アドレスレジスタに出力するバンク変換回路を更に備えるものである。

【 0 0 2 0 】

請求項 8 の発明は、請求項 6 記載のメモリシステムにおいて、故障を救済する単位によって、前記故障アドレスレジスタのエントリ数が決定されるものである。

【 0 0 2 1 】

請求項 8 の発明によると、故障を救済する単位を決定することにより、故障アドレスレジスタのエントリ数を決定することができる。このため、故障アドレスレジスタの回路規模を調整することができる。

【 0 0 2 2 】

請求項 9 の発明は、請求項 6 記載のメモリシステムにおいて、前記メモリは、 a 個 (a

10

20

30

40

50

は自然数)のメモリバンクを備えるものであり、前記 a 個のメモリバンクは、エントリ数が b (b は自然数) である冗長領域をそれぞれ有するものであり、前記故障アドレスレジスタは、前記メモリの c 個 (c は自然数) のエントリを単位として故障を救済する場合には、 $a \times b / c$ 個のエントリを有するものである。

【 0 0 2 3 】

請求項 1 0 の発明は、請求項 6 記載のメモリシステムにおいて、前記故障アドレスレジスタ及び前記ヒット信号生成回路は、前記メモリからデータを読み出す処理とは、独立して処理を行うものである。

【 0 0 2 4 】

請求項 1 0 の発明によると、メモリシステムへのアクセスが示すアドレスが故障領域に該当するか否かの判定と、メモリバンクからデータを読み出す処理とをそれぞれ独立して行うことができる。このため、メモリのアクセス速度を向上させることができる。

10

【 0 0 2 5 】

請求項 1 1 の発明は、請求項 6 記載のメモリシステムにおいて、前記メモリは、前記第 1 のアドレスに基づいてデータを読み出す処理と、前記第 2 のアドレスに基づいてデータを読み出す処理とを、それぞれ独立して行うものである。

【 0 0 2 6 】

請求項 1 2 の発明は、請求項 6 記載のメモリシステムにおいて、前記アドレス変換回路は、前記第 1 のアドレスを変換して、前記第 2 のアドレスを複数生成するものであり、前記メモリは、前記第 1 のアドレスに基づいてデータを読み出す処理と、前記複数の第 2 のアドレスに基づいてそれぞれデータを読み出す処理とを、それぞれ独立して行うものである。

20

【発明の効果】

【 0 0 2 7 】

本発明によれば、同一メモリバンク内に複数の故障が発生した場合であっても、故障を救済することができ、メモリのアクセス速度の低下を抑えることができる。また、故障を救済するための回路の規模を抑えることができる。

【発明を実施するための最良の形態】

【 0 0 2 8 】

以下、本発明の実施の形態について、図面を参照しながら説明する。

30

【 0 0 2 9 】

図 1 は、本発明の実施形態に係るメモリシステム 1 0 の構成を示すブロック図である。図 1 のメモリシステム 1 0 は、メモリ 1 0 1 と、アドレス変換回路 1 0 7 と、バンク変換回路 1 0 9 と、故障アドレスレジスタ 1 1 1 と、ヒット信号生成回路 1 1 2 と、セレクタ 1 1 4 とを備えている。メモリシステム 1 0 は、メモリシステム 1 0 へのアクセスが示す入力アドレス 1 0 6 を受け取り、メモリ 1 0 1 からデータを読み出して出力する。

【 0 0 3 0 】

メモリ 1 0 1 は、メモリバンク 1 5 0 A , 1 5 0 B , 1 5 1 A , 1 5 1 B , 1 5 2 A , 1 5 2 B , 1 5 3 A , 1 5 3 B を備える。縦方向にはバンク番号 bank 0 , bank 1 , bank 2 , bank 3 、横方向には upper / lower を指定することによって、メモリバンクが選択される。

40

【 0 0 3 1 】

メモリバンク 1 5 0 A , 1 5 0 B , 1 5 1 A , 1 5 1 B , 1 5 2 A , 1 5 2 B , 1 5 3 A , 1 5 3 B は、冗長領域 1 6 0 A , 1 6 0 B , 1 6 1 A , 1 6 1 B , 1 6 2 A , 1 6 2 B , 1 6 3 A , 1 6 3 B をそれぞれ備える。

【 0 0 3 2 】

アドレス変換回路 1 0 7 は、受け取った入力アドレス 1 0 6 を変換して、冗長領域 1 6 0 A ~ 1 6 3 B のいずれかを指定する冗長アドレス 1 0 8 を生成して出力する。メモリ 1 0 1 は、入力アドレス 1 0 6 と冗長アドレス 1 0 8 とによってアクセスされ、それぞれアクセスされたデータを、互いに独立に読み出すことができる。

50

【 0 0 3 3 】

バンク変換回路 1 0 9 は、入力アドレス 1 0 6 を変換し、故障アドレスレジスタ 1 1 1 にアクセスするバンク選択アドレス 1 1 0 を、生成して出力する。故障アドレスレジスタ 1 1 1 は、冗長領域 1 6 0 A ~ 1 6 3 B がそれぞれ救済する故障箇所を示す故障アドレスを、保持する。ヒット信号生成回路 1 1 2 は、故障アドレスレジスタ 1 1 1 から読み出された故障アドレスと、入力アドレス 1 0 6 が示す内容と比較して一致する場合は、有効を示すヒット信号 1 1 3 を出力する。

【 0 0 3 4 】

バンク選択アドレス 1 1 0 の生成から、故障アドレスレジスタ 1 1 1 から故障アドレスが読み出され、ヒット信号 1 1 3 が出力されるまでの処理は、メモリ 1 0 1 からデータが読み出される処理とは、独立して行われる。

10

【 0 0 3 5 】

セクタ 1 1 4 は、入力アドレス 1 0 6 及び冗長アドレス 1 0 8 により読み出されたデータをそれぞれ受け取り、ヒット信号 1 1 3 が有効であれば冗長アドレス 1 0 8 により読み出されたメモリ 1 0 1 のデータを、ヒット信号 1 1 3 が無効であれば入力アドレス 1 0 6 により読み出されたメモリ 1 0 1 のデータを、それぞれ選択して出力する。

【 0 0 3 6 】

メモリシステム 1 0 は、メモリ 1 0 1 において故障が発生した場合は、可能な限りヒューズ (F U S E) 方式で救済する。ヒューズ方式は、ヒューズ回路内部の信号線を物理的に切断し、アドレス信号の接続を故障の発生している領域から冗長領域に変更するので、メモリへのアクセス速度を低下させない。

20

【 0 0 3 7 】

メモリシステム 1 0 は、故障が発生したメモリバンクが備える冗長領域が、既に他の故障領域をヒューズ方式で救済したことによって使用されている場合には、そのメモリバンクとあらかじめ対応付けられた他のメモリバンクの冗長領域を使用して救済する。この場合、あらかじめ対応付けられた他のメモリバンクの冗長領域が、さらに他の故障をヒューズ方式で救済したことによって、使用されていないことを前提とする。

【 0 0 3 8 】

以上のことを踏まえ、以下で各処理の詳細を説明する。

【 0 0 3 9 】

図 2 は、図 1 の入力アドレス 1 0 6 の構成を示す説明図である。入力アドレス 1 0 6 は、フラグビット 2 0 1 と、エン트리選択ビット 2 0 2 と、バンク選択ビット 2 0 3 と、upper / lower 選択ビット 2 0 4 とを備える。

30

【 0 0 4 0 】

フラグビット 2 0 1 は、冗長領域 1 6 0 A ~ 1 6 3 B のいずれかにアクセスするか否かを示す。フラグビット 2 0 1 に 1 が設定されている場合は、冗長領域をアクセスすることを示す。フラグビット 2 0 1 は、プログラムなどのソフトウェアで 1 に設定することはできないものとする。エン트리選択ビット 2 0 2 は、メモリバンクでのエントリを示す。バンク選択ビット 2 0 3 は、データが格納されているメモリバンクのバンクを示す。upper / lower 選択ビット 2 0 4 は、データが格納されているメモリバンクの upper / lower を示す。

40

【 0 0 4 1 】

メモリ 1 0 1 の、各メモリバンクのエントリ数は 1 2 8、各冗長領域のエントリ数は 4 とする。また、本実施形態での救済単位は 4 エントリ毎とする。また、入力アドレス 1 0 6 は、図 2 の「 0 _ 1 0 0 1 1 0 0 _ 0 0 _ 1 」として与えられ、このアドレスでアクセスされる領域は、故障しているものとする。

【 0 0 4 2 】

図 3 は、入力アドレス 1 0 6 が図 2 の値を示す場合の、冗長アドレス 1 0 8 の値を示す説明図である。冗長アドレス 1 0 8 は、フラグビット 3 0 1 と、エン트리選択ビット 3 0 2 と、バンク選択ビット 3 0 3 と、upper / lower 選択ビット 3 0 4 とを備える

50

。

【0043】

アドレス変換回路107は、受け取った入力アドレス106のフラグビット201を1としてフラグビット301に設定する。アドレス変換回路107は、入力アドレス106が示すメモリバンクの冗長領域が既に使用されている場合に、新たな故障を救済するようあらかじめ対応付けられている他のメモリバンクを指定するように、バンク選択ビット203及びupper/lower選択ビット204を変換して、バンク選択ビット303及びupper/lower選択ビット304にそれぞれ設定する。アドレス変換回路107は、入力アドレス106を以上のように変換して、冗長アドレス108を生成する

。

【0044】

本実施形態では、メモリ101でのupper/lowerが同じで、隣り合うバンクの冗長領域を使用して故障を救済するものとする。よって、メモリバンク150Aの冗長領域160Aが既に他の故障領域をヒューズ方式で救済したことによって使用されている場合は、メモリバンク152Aの冗長領域162Aを使用して、故障を救済する。これに従って、アドレス変換回路107は、入力アドレス106が図2で示されるように「0__1001100__00__1」で与えられた場合は、冗長アドレス108を、図3のように「1__1001100__10__1」とする。

【0045】

図4は、入力アドレス106が図2の値を示す場合の、バンク選択アドレス110の値を示す説明図である。バンク選択アドレス110は、バンク選択ビット401と、upper/lower選択ビット402とを備える。

【0046】

バンク変換回路109は、受け取った入力アドレス106のバンク選択ビット203及びupper/lower選択ビット204を変換して、アドレス変換回路107と同様に、入力アドレス106が示すメモリバンクの冗長領域が既に使用されている場合に、新たな故障を救済するようあらかじめ対応付けられている他のメモリバンクを指定するように、バンク選択ビット401及びupper/lower選択ビット402をそれぞれ設定する。入力アドレス106が図2で示されるように「0__1001100__00__1」で与えられた場合は、バンク変換回路109は、バンク選択アドレス110を、図4のように「10__1」とする。バンク変換回路109は、入力アドレス106を以上のように変換して、バンク選択アドレス110を生成する。

【0047】

本実施形態では、各冗長領域のエントリ数は4であり、救済単位は4エントリ毎であるので、故障アドレスレジスタ111は、故障が発生したメモリバンクの冗長領域が既に使用されていて、各冗長領域がそれぞれ救済している故障箇所を示す故障アドレスを、バンク及びupper/lowerで示された各メモリバンク毎に1つずつ保持する。

【0048】

例えば、図1によると、故障アドレスレジスタ111が保持するデータは、bank0の、upper/lowerが1であるメモリバンク150Aで故障が発生し、この故障をヒューズ方式で救済したことによって、冗長領域160Aが使用されていることが示されている。さらに、アドレス「10011」で示されるメモリバンク150Aの領域で新たな故障が発生し、冗長領域160Aは既に使用されているため、メモリバンク150Aとあらかじめ対応付けられたbank2の、upper/lowerが1であるメモリバンク152Aが備える、冗長領域162Aで新たな故障を救済していることが示されている。

【0049】

バンク選択アドレス110が図4で示されるように「10__1」である場合は、bank2の、upper/lowerが1であるメモリバンクを示し、図1の通り、「10011」が故障アドレスレジスタ111から読み出される。

10

20

30

40

50

【 0 0 5 0 】

故障アドレスレジスタ 1 1 1 から読み出された故障アドレスが「1 0 0 1 1」である場合は、各メモリバンクのエントリ数は 1 2 8 であるので、「1 0 0 1 1 _ 0 0」～「1 0 0 1 1 _ 1 1」のエントリで示される領域が救済されている。よって、図 1 及び図 2 の通り、入力アドレス 1 0 6 のエントリ選択ビット 2 0 2 が「1 0 0 1 1 _ 0 0」であり、故障アドレスレジスタ 1 1 1 から読み出された故障アドレスが「1 0 0 1 1」である場合は、ヒット信号生成回路 1 1 2 は、有効を示すヒット信号 1 1 3 を出力する。

【 0 0 5 1 】

メモリ 1 0 1 からは、入力アドレス 1 0 6 「0 _ 1 0 0 1 1 0 0 _ 0 0 _ 1」で示されたメモリバンク 1 5 0 A、及び、冗長アドレス 1 0 8 「1 _ 1 0 0 1 1 0 0 _ 1 0 _ 1」で示された冗長領域 1 6 2 A から、それぞれデータが読み出される。ヒット信号 1 1 3 が有効であるので、入力アドレス 1 0 6 が示す領域は、故障が発生して救済されている領域であり、セクタ 1 1 4 は、冗長アドレス 1 0 8 により読み出されたデータを選択して出力する。

10

【 0 0 5 2 】

上記のように、アドレス変換回路 1 0 7 において、変換するビットをあらかじめ決めておくことにより、変換するビット数を低く抑えることができるので、メモリへのアクセス速度の低下を最小限にし、回路規模を削減することが可能である。

【 0 0 5 3 】

また、特定のメモリバンクで故障が発生した場合に、その故障を救済することが可能である冗長領域を持つメモリバンクを決めておき、活性化させるようにする。これにより、同時に活性化するメモリバンクの数を制御することが可能であり、消費電力を削減することができる。

20

【 0 0 5 4 】

本実施形態の場合は、メモリ 1 0 1 は 8 つのメモリバンクを備え、各冗長領域のエントリ数は 4 であり、救済単位は 4 エントリ毎であるため、故障アドレスレジスタ 1 1 1 のエントリ数は 8 となる。よって、メモリバンクを a 個、各冗長領域のエントリ数を b として、メモリの c 個のエントリを単位として故障を救済する場合には、故障アドレスレジスタ 1 0 7 は、 $a * b / c$ 個のエントリを有する。

【 0 0 5 5 】

このように救済単位や、故障が発生した領域を救済する冗長領域を備えるメモリバンクをあらかじめ決めておくことによって、故障アドレスレジスタ 1 1 1 のエントリ数が決定される。従って、故障アドレスレジスタ 1 1 1 のエントリ数を調整することによって、故障アドレスレジスタ 1 1 1 の回路の面積を削減したり、アドレス変換に要する時間を短縮したりすることも可能である。

30

【 0 0 5 6 】

また、バンク選択アドレス 1 1 0 の生成から、故障アドレスレジスタ 1 1 1 から故障アドレスが読み出され、ヒット信号 1 1 3 が出力されるまでの処理と、メモリ 1 0 1 からデータが読み出される処理とは、それぞれの処理が独立して行われることにより、アドレス変換や、入力アドレスと故障アドレスとの比較がメモリアクセスの速度に与える影響を、最小限にすることが可能である。

40

【 0 0 5 7 】

なお、本実施形態では、アドレス変換回路 1 0 7 とバンク変換回路 1 0 9 とをそれぞれ別の回路として構成してあるが、バンク選択アドレス 1 1 0 は、アドレス変換回路 1 0 7 で変換された冗長アドレス 1 0 8 のビットの一部を切り出して使用しても良い。これによって、バンク変換回路 1 0 9 が不要となり、さらに回路規模を削減することが可能である。

【 0 0 5 8 】

なお、入力アドレス 1 0 6 が示すメモリバンクの冗長領域が既に使用されている場合に、新たな故障を救済するようにそのメモリバンクとあらかじめ対応付けられている他のメ

50

メモリバンクが、複数であっても良い。この場合、アドレス変換回路107は、受け取った入力アドレス106を変換して、複数の冗長アドレス108を生成して出力する。メモリ101は、入力アドレス106と複数の冗長アドレス108とによってアクセスされて、それぞれデータが読み出される。また、冗長アドレス108が複数であっても、それぞれアクセスされたデータを、互いに独立に読み出すことができるようにしても良い。

【産業上の利用可能性】

【0059】

以上説明したように、本発明は、故障アドレスを保持する回路の面積を削減し、メモリアクセスの速度低下を最小限に抑えるので、回路規模の縮小や高速なメモリアクセスが要求されるシステム等について有用である。

10

【図面の簡単な説明】

【0060】

【図1】本発明の実施形態に係るメモリシステム10の構成を示すブロック図である。

【図2】図1の入力アドレス106の構成を示す説明図である。

【図3】入力アドレス106が図2の値を示す場合の、冗長アドレス108の値を示す説明図である。

【図4】入力アドレス106が図2の値を示す場合の、バンク選択アドレス110の値を示す説明図である。

【図5】従来のメモリの冗長救済装置の構成を示すブロック図である。

【符号の説明】

20

【0061】

10 メモリシステム

101 メモリ

107 アドレス変換回路

109 バンク変換回路

111 故障アドレスレジスタ

112 ヒット信号生成回路

114 セレクタ

150A, 150B, 151A, 151B, 152A, 152B, 153A, 153B

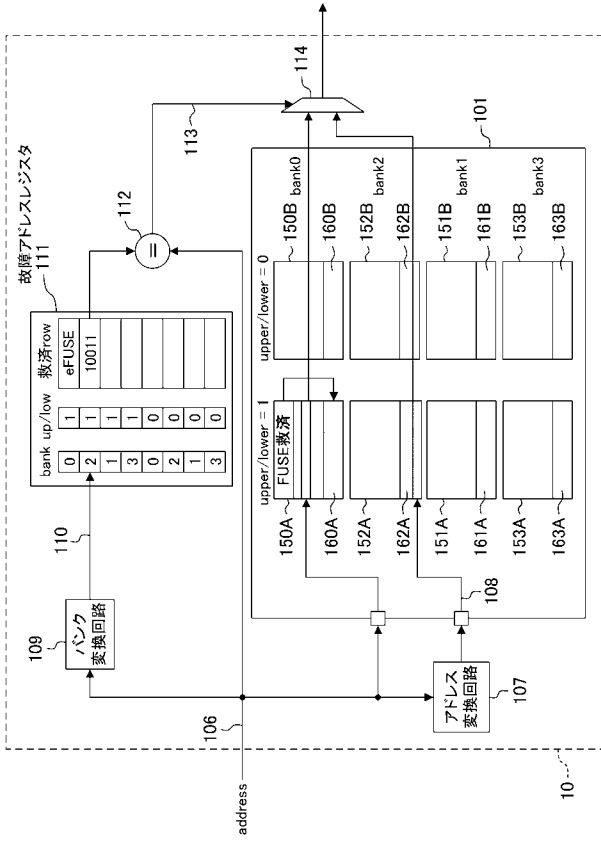
メモリバンク

30

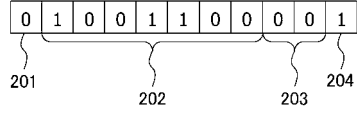
160A, 160B, 161A, 161B, 162A, 162B, 163A, 163B

冗長領域

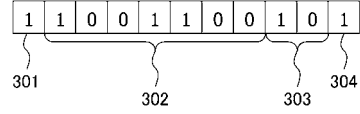
【図1】



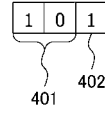
【図2】



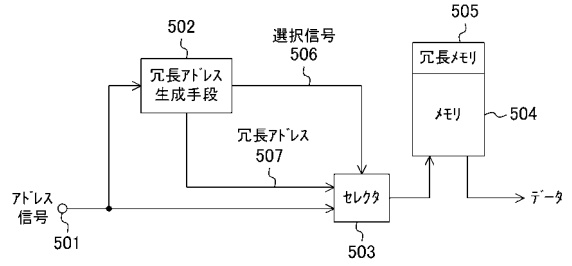
【図3】



【図4】



【図5】



フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 大八木 睦

大阪府門真市大字門真 1 0 0 6 番地 パナソニック半導体システムテクノ株式会社内

(72)発明者 西川 亮太

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5L106 CC01 CC04 CC11 CC21 CC32