



(12) 发明专利

(10) 授权公告号 CN 115221082 B

(45) 授权公告日 2023.04.18

(21) 申请号 202210840912.4

(22) 申请日 2022.07.18

(65) 同一申请的已公布的文献号
申请公布号 CN 115221082 A

(43) 申请公布日 2022.10.21

(73) 专利权人 中国兵器装备集团自动化研究所
有限公司

地址 621000 四川省绵阳市游仙区仙人路
二段7号

(72) 发明人 李彦平 王文俊 吴昌昊 尹得智
邹佳鑫 邵德立 谭晟吉 张雄林
刘杰 柏森洋

(74) 专利代理机构 北京众达德权知识产权代理
有限公司 11570

专利代理师 南海燕

(51) Int. Cl.

G06F 13/20 (2006.01)

G06F 9/50 (2006.01)

(56) 对比文件

CN 101770356 A, 2010.07.07

CN 102929808 A, 2013.02.13

审查员 贾乐

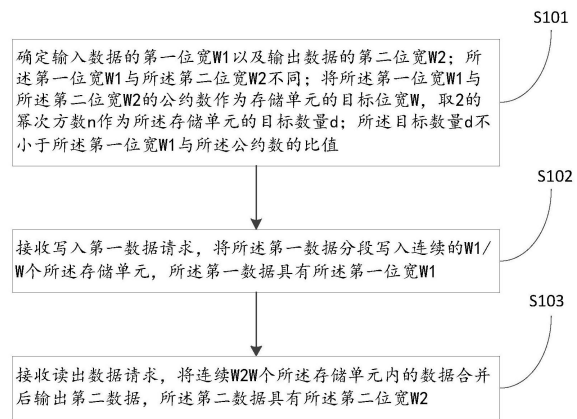
权利要求书2页 说明书7页 附图7页

(54) 发明名称

一种数据缓存方法、装置及存储介质

(57) 摘要

本发明公开了一种数据缓存方法、装置及存储介质,包括确定输入数据的第一位宽W1以及输出数据的第二位宽W2;所述第一位宽W1与所述第二位宽W2不同;将所述第一位宽W1与所述第二位宽W2的公约数作为存储单元的目标位宽W,取2的幂次方数n作为所述存储单元的目标数量d;所述目标数量d不小于所述第一位宽W1与所述公约数的比值。该方法原理上避免了复杂的格雷码转换及同步设计,减小了FPGA的硬件资源开销。输入输出接口位宽定义更自由灵活,使得显存占用空间大大缩减,节省了成本。



1. 一种数据缓存方法,其特征在于,包括:

确定输入数据的第一位宽 $W1$ 以及输出数据的第二位宽 $W2$;所述第一位宽 $W1$ 与所述第二位宽 $W2$ 不同;将所述第一位宽 $W1$ 与所述第二位宽 $W2$ 的公约数作为存储单元的目标位宽 W ,取2的幂次方数 n 作为所述存储单元的目标数量 d ;所述目标数量 d 不小于所述第一位宽 $W1$ 与所述公约数的比值;根据所述幂次方数 n 确定读写指针的位宽 $W3$,所述读写指针的位宽 $W3$ 为 $n+1$;

接收写入第一数据请求,判断是否满足目标写入条件,如果是,则将所述第一数据分段写入连续的 $W1/W$ 个所述存储单元,并将写指针加 $W1/W$;所述第一数据具有所述第一位宽 $W1$;

接收读出数据请求,判断是否满足目标读出条件,如果是,则将连续 $W2/W$ 个所述存储单元内的数据合并后输出第二数据,并将读指针加 $W2/W$;所述第二数据具有所述第二位宽 $W2$;

所述目标写入条件以及所述目标读出条件均包括复位信号,根据确定的复位信号的类型判断是否满足所述目标写入条件及所述目标读出条件;所述复位信号为复位控制器发送。

2. 根据权利要求1所述的数据缓存方法,其特征在于,所述目标写入条件还包括写指针信号以及满标志信号;

所述复位信号置1、写指针指向0地址且满标志信号置0或复位信号置0、写信号置1且满标志信号置0确定满足所述目标写入条件;

所述满标志信号的判别逻辑包括当写发生且有效时,若存储空间计数距离满值不足两倍写入占用存储空间时,满标志信号置1或不足1倍写入空间时,满标志信号置1。

3. 根据权利要求1所述的数据缓存方法,其特征在于,所述目标读出条件还包括读指针信号以及空标志信号;

所述复位信号置1、读指针指向0地址且空标志信号置0或所述复位信号置0、写信号置1且空标志信号置0确定满足所述目标读出条件;

所述空标志信号的判别逻辑包括当读发生且有效时,若存储空间计数距离空值不足两倍写入占用存储空间时,空标志信号置1或不足1倍写入空间时,空标志信号置1。

4. 根据权利要求1所述的数据缓存方法,其特征在于,所述存储单元包括memory型数据存储单元;所述第一位宽 $W1$ 为128,所述第二位宽 $W2$ 为24,所述公约数为8,所述幂次方数 n 为7。

5. 一种数据缓存装置,其特征在于,用于连接至显存与显示装置之间,所述装置包括:

参数设定单元,用于确定输入数据的第一位宽 $W1$ 以及输出数据的第二位宽 $W2$;所述第一位宽 $W1$ 与所述第二位宽 $W2$ 不同;将所述第一位宽 $W1$ 与所述第二位宽 $W2$ 的公约数作为存储单元的目标位宽 W ,取2的幂次方数 n 作为所述存储单元的目标数量 d ;所述目标数量 d 不小于所述第一位宽 $W1$ 与所述公约数的比值;根据所述幂次方数 n 确定读写指针的位宽 $W3$,所述读写指针的位宽 $W3$ 为 $n+1$;

写入单元,用于接收写入第一数据请求,判断是否满足目标写入条件,如果是,则将所述第一数据分段写入连续的 $W1/W$ 个所述存储单元,并将写指针加 $W1/W$;所述第一数据具有所述第一位宽 $W1$;

读出单元,用于接收读出数据请求,判断是否满足目标读出条件,如果是,则将连续 $W2/W$ 个所述存储单元内的数据合并后输出第二数据,并将读指针加 $W2/W$;所述第二数据具有所

述第二位宽W2;

所述目标写入条件以及所述目标读出条件均包括复位信号,根据确定的复位信号的类型判断是否满足所述目标写入条件及所述目标读出条件;所述复位信号为复位控制器发送。

6.一种存储介质,其特征在于,所述存储介质中存储有计算机可执行指令,所述计算机可执行指令被处理器加载并执行时,实现如上权利要求1至4任一项所述的数据缓存方法。

一种数据缓存方法、装置及存储介质

技术领域

[0001] 本发明涉及数据传输技术领域,特别是涉及一种数据缓存方法、装置及存储介质。

背景技术

[0002] 一般来说,当数据输入输出设备间跨时钟域或数据传输速率不同时就需要在两者之间增加数据缓存装置。数字系统中,最常见的缓存装置便是FIFO。FIFO(First In First Out)是一种先进先出的数据缓存器,与普通存储器的区别是没有外部读写地址线,这样使用起来非常简单,但缺点就是只能顺序写入数据,顺序的读出数据,其数据地址由内部读写指针自动加1完成,不能像普通存储器那样可以由地址线决定读取或写入某个指定的地址。

[0003] FIFO一般用于不同时钟域之间的数据传输,或不同宽度的数据接口相连。F根据FIFO读写时钟域是否相同,可以将FIFO分为同步FIFO和异步FIFO。

[0004] FIFO的常见参数:

[0005] 宽度(Width):即FIFO一次读写操作的数据位;

[0006] 深度(depth):指的是FIFO可以存储多少个N位的数据(如果宽度为N)。

[0007] 满标志(full):当FIFO存满数据时,置位;

[0008] 空标志(empty):当FIFO数据全部读出时,置位;

[0009] 读时钟(r_clk):读操作时钟域的参考时钟;

[0010] 写时钟(W_clk):写操作时钟域的参考时钟;

[0011] 读指针(r_addr):总是指向下一个要被读取的单元,复位时,指向第1个单元(编号为0);

[0012] 写指针(W_addr):总是指向当前要被写入的数据,复位时,指向第1个单元(编号为0)。

[0013] 异步FIFO设计要点在于满/空标志生成的设计,通常对于一个深度为 2^n 的FIFO,读写指针位宽为 $(n+1)$ 位。例:对于一个深度为16的FIFO,读写指针为位宽为5,复位时,读写指针同时指向0_0000,此时读写指针完全一致,则说明FIFO已“空”,当写指针最高位与读指针不同,其他位相同时,即写指针=1_0000、读指针=0_0000,则说明FIFO已“满”。由此可知,读写指针低4位0000-1111指向实际数据存储单元地址,最高位类似于“跑圈”的指示位,用于区分读写指针指向同一地址时,是写指针超过读指针一圈(最高位不同)写满数据,还是读指针同一圈追上写指针(最高位相同)读空数据。

[0014] 在实际设计中,读写指针还需要进行从二进制到格雷码的转换再进行满空标志的比较生成。具体如图10所示。这是由于写指针(W_addr)的变化发生在写时钟域(W_clk),读指针(r_addr)的变化发生在读时钟域(r_clk),而跨时钟域的数据比较首先要解决数据的亚稳态问题。

[0015] 格雷码一个最大的特点就是在递增或递减的过程中,每次只变化一位,这是它最大的优点,利用格雷码的这个特点,送入空满标志生成器的比较数据只存在现在状态和上一状态两种可能,不会产生中间过程态,这样可以防止不同时钟域的同步电路采集到错误

的中间态数据。同时它也有自己的局限性,那就是循环计数深度必须是2的n次幂,否则就失去了每次只变化一位的特性。

[0016] 对于输入输出不同的情况,通常要求输入输出位宽间保持2的幂次方的倍数关系,这是由于FIFO存储空间的设计仍然是依靠双口RAM资源实现的,受到双口RAM配置的限制。此外,还有一个原因也限制了输入输出位宽的选择,就是FPGA无法比较格雷码的大小关系,只能比较是否一致,要继续使用格雷码消除亚稳态问题,就必须使得输入输出位宽成2的幂次方的倍数关系。比如:输入位宽为10,深度为16,按照前文所述,写指针需要 $(4+1) = 5$ 位。此时选择输出位宽为5的话,对应深度为32,读指针应 $(5+1) = 6$ 位,然后选择读指针的高5位与写指针进行格雷码的比较,就能如前文所述产生空满信号,而读指针的最低一位可以作为输出时的数据选择器控制信号。

[0017] 异步FIFO的输入输出位宽设计应保持2的幂次方的倍数关系。SDRAM显存在可控状态下仅有16、32、64、128几种输出位宽设置,为达到最高传输速率,因此显存输出(即数据缓存装置的输入)位宽设定为128位。而LCD是RGB显示模式,因此每次输入数据应为24位。由于FIFO输入输出位宽需要成倍数设置,因此FIFO输出位宽只能设定为 $128/4 = 32$ 位,每次FIFO输出的数据只保留低24位作为LCD控制器,高8位舍弃。

[0018] 由于每32位存储空间只存储了24位有效数据,传统缓存方案为了满足FIFO输入输出位宽限制而产生了额外存储资源消耗。然而在全国产化设计背景下,存储空间有限,大容量国产存储芯片价格昂贵。

发明内容

[0019] 鉴于上述问题,本发明提供用于克服上述问题或者至少部分地解决上述问题的一种数据缓存方法、装置及存储介质。

[0020] 本发明提供了如下方案:

[0021] 一种数据缓存方法,包括:

[0022] 确定输入数据的第一位宽 $W1$ 以及输出数据的第二位宽 $W2$;所述第一位宽 $W1$ 与所述第二位宽 $W2$ 不同;将所述第一位宽 $W1$ 与所述第二位宽 $W2$ 的公约数作为存储单元的目标位宽 W ,取2的幂次方数 n 作为所述存储单元的目标数量 d ;所述目标数量 d 不小于所述第一位宽 $W1$ 与所述公约数的比值;

[0023] 接收写入第一数据请求,将所述第一数据分段写入连续的 $W1/W$ 个所述存储单元,所述第一数据具有所述第一位宽 $W1$;

[0024] 接收读出数据请求,将连续 $W2/W$ 个所述存储单元内的数据合并后输出第二数据,所述第二数据具有所述第二位宽 $W2$ 。

[0025] 优选地:将所述第一位宽 $W1$ 与所述第二位宽 $W2$ 的最大公约数作为存储单元的目标位宽 W 。

[0026] 优选地:根据所述幂次方数 n 确定读写指针的位宽 $W3$,所述读写指针的位宽 $W3$ 为 $n+1$;所述将所述第一数据分段写入连续的 $W1/W$ 个所述存储单元,并将写指针加 $W1/W$;将连续 $W2/W$ 个所述存储单元内的数据合并后输出第二数据,并将读指针加 $W2/W$ 。

[0027] 优选地:接收写入第一数据请求,判断是否满足目标写入条件,如果是,则将所述第一数据分段写入连续的 $W1/W$ 个所述存储单元;

[0028] 接收读出数据请求判断是否满足目标读出条件,如果是,则将连续 $W2/W$ 个所述存储单元内的数据合并后输出第二数据。

[0029] 优选地:所述目标写入条件以及所述目标读出条件均包括复位信号,根据确定的复位信号的类型判断是否满足所述目标写入条件及所述目标读出条件;所述复位信号为复位控制器发送。

[0030] 优选地:所述目标写入条件还包括写指针信号以及满标志信号;

[0031] 所述复位信号置1、写指针指向0地址且满标志信号置0或复位信号置0、写信号置1且满标志信号置0确定满足所述目标写入条件;

[0032] 所述满标志信号的判别逻辑包括当写发生且有效时,若存储空间计数距离满值不足两倍写入占用存储空间时,满标志信号置1或不足1倍写入空间时,满标志信号置1。

[0033] 优选地:所述目标读出条件还包括读指针信号以及空标志信号;

[0034] 所述复位信号置1、读指针指向0地址且空标志信号置0或所述复位信号置0、写信号置1且空标志信号置0确定满足所述目标读出条件;

[0035] 所述空标志信号的判别逻辑包括当读发生且有效时,若存储空间计数距离空值不足两倍写入占用存储空间时,空标志信号置1或不足1倍写入空间时,空标志信号置1。

[0036] 优选地:所述存储单元包括memory型数据存储单元;所述第一位宽 $W1$ 为128,所述第二位宽 $W2$ 为24,所述公约数为8,所述幂次方数 n 为7。

[0037] 一种数据缓存装置,其特征在于,用于连接至显存与显示装置之间,该装置包括:

[0038] 参数设定单元,用于确定输入数据的第一位宽 $W1$ 以及输出数据的第二位宽 $W2$;所述第一位宽 $W1$ 与所述第二位宽 $W2$ 不同;将所述第一位宽 $W1$ 与所述第二位宽 $W2$ 的公约数作为存储单元的目标位宽 W ,取2的幂次方数 n 作为所述存储单元的目标数量 d ;所述目标数量 d 不小于所述第一位宽 $W1$ 与所述公约数的比值;

[0039] 写入单元,用于接收写入第一数据请求,将所述第一数据分段写入连续的 $W1/W$ 个所述存储单元,所述第一数据具有所述第一位宽 $W1$;

[0040] 读出单元,用于接收读出数据请求,将连续 $W2/W$ 个所述存储单元内的数据合并后输出第二数据,所述第二数据具有所述第二位宽 $W2$ 。

[0041] 一种存储介质,所述存储介质中存储有计算机可执行指令,所述计算机可执行指令被处理器加载并执行时,实现如上述的数据缓存方法。

[0042] 根据本发明提供的具体实施例,本发明公开了以下技术效果:

[0043] 本申请实施例提供的一种数据缓存方法、装置及存储介质,原理上避免了复杂的格雷码转换及同步设计,减小了FPGA的硬件资源开销。输入输出接口位宽定义更自由灵活,使得显存占用空间大大缩减,节省了成本。

[0044] 当然,实施本发明的任一产品并不一定需要同时达到以上所述的所有优点。

附图说明

[0045] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例中所需要使用的附图作简单地介绍。显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来说,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

- [0046] 图1是本发明实施例提供的一种数据缓存方法的流程图；
- [0047] 图2是本发明实施例提供的一种数据缓存装置的框图；
- [0048] 图3是本发明实施例提供的第一写入流程图；
- [0049] 图4是本发明实施例提供的第二写入流程图；
- [0050] 图5是本发明实施例提供的第一读出流程图；
- [0051] 图6是本发明实施例提供的第二读出流程图；
- [0052] 图7是本发明实施例提供的data_num计算流程图；
- [0053] 图8是本发明实施例提供的一种数据缓存装置的示意图；
- [0054] 图9是本发明实施例提供的一种数据缓存装置应用状态下的示意图；
- [0055] 图10是本发明实施例提供的通用异步FIFO原理图。
- [0056] 图中：写地址计数器1、读地址计数器2、满标志生成器3、空标志生成器4、地址减法器5、复位控制器6、写地址格雷码转换电路7、读地址格雷码转换电路8、D触发器9。

具体实施方式

[0057] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本发明保护的范围。

[0058] 参见图1，为本发明实施例提供的一种数据缓存方法，如图1所示，该方法可以包括：

[0059] S101：确定输入数据的第一位宽 $W1$ 以及输出数据的第二位宽 $W2$ ；所述第一位宽 $W1$ 与所述第二位宽 $W2$ 不同；将所述第一位宽 $W1$ 与所述第二位宽 $W2$ 的公约数作为存储单元的目标位宽 W ，取2的幂次方数 n 作为所述存储单元的目标数量 d ；所述目标数量 d 不小于所述第一位宽 $W1$ 与所述公约数的比值；

[0060] S102：接收写入第一数据请求，将所述第一数据分段写入连续的 $W1/W$ 个所述存储单元，所述第一数据具有所述第一位宽 $W1$ ；

[0061] S103：接收读出数据请求，将连续 $W2/W$ 个所述存储单元内的数据合并后输出第二数据，所述第二数据具有所述第二位宽 $W2$ 。

[0062] 本申请实施例提供的数据缓存方法，可以实现输入具有第一位宽的数据，输出具有第二位宽的数据的显示缓存数据缓存。通过这种输入输出位宽不成2的幂次方倍数的缓存方法，大大节约芯片的存储空间，提高设计的灵活性，降低产品成本。

[0063] 可理解的是，本申请实施例提供的第一位宽通常大于第二位宽，例如，应用于图像显示领域时，第一位宽可以是128位，第二位宽可以是24位。由于每个存储单元的位宽表示了每个存储单元可以存储的数据的位数，为了可以尽量减少存储单元的标记数量，本申请实施例可以提供将所述第一位宽 $W1$ 与所述第二位宽 $W2$ 的最大公约数作为存储单元的目标位宽 W 。取第一位宽与第二位宽的最大公约数，可以保证每个存储单元可以最大化的存储最多的数据位数，同时不会影响最终第二数据的输出。

[0064] 进一步的，根据所述幂次方数 n 确定读写指针的位宽 $W3$ ，所述读写指针的位宽 $W3$ 为 $n+1$ ；所述将所述第一数据分段写入连续的 $W1/W$ 个所述存储单元，并将写指针加 $W1/W$ ；将连

续 $W2/W$ 个所述存储单元内的数据合并后输出第二数据,并将读指针加 $W2/W$ 。

[0065] 在实际应用中,为了防止出现数据丢失,或者缓存占满后无法进行缓存的问题,本申请实施例还可以提供接收写入第一数据请求,判断是否满足目标写入条件,如果是,则将所述第一数据分段写入连续的 $W1/W$ 个所述存储单元;

[0066] 接收读出数据请求判断是否满足目标读出条件,如果是,则将连续 $W2/W$ 个所述存储单元内的数据合并后输出第二数据。

[0067] 所述目标写入条件以及所述目标读出条件均包括复位信号,根据确定的复位信号的类型判断是否满足所述目标写入条件及所述目标读出条件;所述复位信号为复位控制器发送。该复位控制器可以采用外置的形式,复位控制器发送一次复位信号可以将所有存储单元内的数据进行清空,复位控制器发送复位信号可以在不影响正常数据处理的间隙进行。例如,在应用于图片处理场景时,可以在一帧图像处理完成等待处理下一帧图像的间隙进行复位。进行复位可以有效的防止在发生意外情况时,保证缓存可以正常使用,不会发生部分存储单元数据无法清空的问题。

[0068] 所述目标写入条件还包括写指针信号以及满标志信号;

[0069] 所述复位信号置1、写指针指向0地址且满标志信号置0或复位信号置0、写信号置1且满标志信号置0确定满足所述目标写入条件;

[0070] 所述满标志信号的判别逻辑包括当写发生且有效时,若存储空间计数距离满值不足两倍写入占用存储空间时,满标志信号置1或不足1倍写入空间时,满标志信号置1。

[0071] 所述目标读出条件还包括读指针信号以及空标志信号;

[0072] 所述复位信号置1、读指针指向0地址且空标志信号置0或所述复位信号置0、写信号置1且空标志信号置0确定满足所述目标读出条件;

[0073] 所述空标志信号的判别逻辑包括当读发生且有效时,若存储空间计数距离空值不足两倍写入占用存储空间时,空标志信号置1或不足1倍写入空间时,空标志信号置1。

[0074] 在实际应用中,该第一位宽以及第二位宽可以根据该缓存方法应用的领域中规定写入以及输出的数据位宽所确定。例如,在一种实现方式下,本申请实施例可以提供所述存储单元包括memory型数据存储单元;所述第一位宽 $W1$ 为128,所述第二位宽 $W2$ 为24,所述公约数为8,所述幂次方数 n 为7。

[0075] SDRAM显存在可控状态下仅有16、32、64、128几种输出位宽设置,为达到最高传输速率,因此显存输出(即数据缓存装置的写入)位宽设定为128位。而LCD显示装置是RGB显示模式,因此每次输入数据(即数据缓存装置的输出)位宽应为24位。

[0076] 下面以本申请实施例提供的方法应用于SDRAM显存与LCD显示装置之间进行数据缓存为例,对本申请提供的方法进行详细说明。

[0077] 系统原理如图2所示,以memory型数据作为存储单元,并取输入位宽128“第一位宽 $W1$ ”与输出位宽24(第二位宽 $W2$)的最大公约数8作为存储单元的位宽 W ,以大小合适的2的幂次方数 $n=7$ 为深度(目标数量 $d=n=7$)例如 $2^7=128$;此时可以确定读写指针的位宽 $W3$ 为 $(n+1=7+1)=8$ 。

[0078] 写入流程如图3、图4所示,复位信号具有最高优先级,(显示装置一帧画面完成,间隙之间。)当复位信号置1时,写指针指向0地址,同时full信号置0。当复位信号为0时,若写信号 $Wr_en=1$ 且 $full=0$,则将128位输入数据分段写入连续($W1/W=128/8$)16个memory型

存储单元,写指针加16;否则此次写入无效,不进行任何操作。

[0079] 读出流程如图5、图6所示,复位信号具有最高优先级,当复位信号置1时,读指针指向0地址,同时empty信号置1。当复位信号为0时,若写信号rd_en=1且empty=0,则将连续($W2/W=24/8$) 3个memory型存储单元数据合并输出为24位输出数据,读指针加3;否则此次读出无效,不进行任何操作。

[0080] full/empty标志的生成逻辑:与传统FIFO相同full/empty标志生成的关键在于解决亚稳态问题,不同于传统FIFO中使用格雷码完全避免数据亚稳态带来的,本申请采取的策略是接受有限次由亚稳态带来的偶然错误。

[0081] 本申请提供的满空标志判别逻辑可参考图3、图4、图5、图6所示,具体为:

[0082] 当写发生且有效时,若存储空间计数data_num距离满值(127)不足两倍写入占用存储空间(大于96)时,full置1,其他情况不足1倍写入空间(大于112)时,full置1;

[0083] 当读发生且有效时,若存储空间计数data_num距离空值(0)不足两倍写入占用存储空间(小于6)时,empty置1,其他情况不足1倍写入空间(小于3)时,empty置1;

[0084] 其中,data_num=W_addr-r_addr,具体流程如图7所示:

[0085] 首先说明一般使用情景下,由于数据亚稳态导致的错误并不连续发生。数据从一个稳态变化为新的稳态可分为“旧稳态-亚稳态-新稳态”三个阶段,当FPGA完成布线后,由组合逻辑电路到下一级触发器的延迟就固定下来,这使得数据亚稳态的情况总是在触发沿到来之后的固定时段,当触发沿具备很强的周期性时,亚稳态发生时段也将保持相同的周期性。因此,当异步FIFO的读写时钟频率不一致时,某一次的数据亚稳态造成“虚满”或者“虚空”并不会带来持续的影响,错误将在下一读写时钟沿到来时得到纠正。

[0086] 若异步FIFO的读写时钟频率同频/倍频,则通过调整读写时钟相位关系避开亚稳态时段即可。利用FPGA时钟资源进行相位调整这是很容易做到的。

[0087] 若异步FIFO的读写时钟频率同频/倍频,且相位偏移使得读写时钟触发沿总是落在对方亚稳态时段中(无法调整相位)。通过设置较深的存储单元深度并预留一定裕量即可避免。异步FIFO数据写入读出速率必然不一致,当写入速率大于读出速率时,写入过程必然发生间歇性暂停,通过降低full比较值的大小,提前停止写入就可以避免存储空间已满而写入未停止的错误。当写入速率小于读出速率时,分析与前者一致。

[0088] 本申请额外添加保护性复位设计。保护性的复位设计:为杜绝FIFO读写过程中偶然误差导致的错误数据“残留”在FIFO中,使得新的一帧显示画面数据持续性错位,本申请在每一帧画面显示结束的等待时间对缓存FIFO进行复位操作。

[0089] 总之,本申请提供的数据缓存方法,相对于一般显示缓存FIFO设计,输入输出接口位宽定义更自由灵活,使得显存占用空间大大缩减,节省了成本。避免了复杂的格雷码转换及同步设计,减小了FPGA的硬件资源开销。

[0090] 与上述方法实施例相对应的,如图8、图9所示,本申请还可以提供一种数据缓存装置30,用于连接至显存10与显示装置20之间,该数据缓存装置30包括:

[0091] 参数设定单元301,用于确定输入数据的第一位宽W1以及输出数据的第二位宽W2;所述第一位宽W1与所述第二位宽W2不同;将所述第一位宽W1与所述第二位宽W2的公约数作为存储单元的目标位宽W,取2的幂次方数n作为所述存储单元的目标数量d;所述目标数量d不小于所述第一位宽W1与所述公约数的比值;

[0092] 写入单元302,用于接收写入第一数据请求,将所述第一数据分段写入连续的W1/W个所述存储单元,所述第一数据具有所述第一位宽W1;

[0093] 读出单元303,用于接收读出数据请求,将连续W2/W个所述存储单元内的数据合并后输出第二数据,所述第二数据具有所述第二位宽W2。

[0094] 本发明实施例提供了一种存储介质,其上存储有程序,该程序被处理器执行时实现所述数据缓存方法。

[0095] 需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0096] 通过以上的实施方式的描述可知,本领域的技术人员可以清楚地了解到本申请可借助软件加上必需的通用硬件平台的方式来实现。基于这样的理解,本申请的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来,该计算机软件产品可以存储在存储介质中,如ROM/RAM、磁碟、光盘等,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行本申请各个实施例或者实施例的某些部分所述的方法。

[0097] 本说明书中的各个实施例均采用递进的方式描述,各个实施例之间相同相似的部分互相参见即可,每个实施例重点说明的都是与其他实施例的不同之处。尤其,对于系统或系统实施例而言,由于其基本相似于方法实施例,所以描述得比较简单,相关之处参见方法实施例的部分说明即可。以上所描述的系统及系统实施例仅仅是示意性的,其中所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部模块来实现本实施例方案的目的。本领域普通技术人员在不付出创造性劳动的情况下,即可以理解并实施。

[0098] 以上所述仅为本发明的较佳实施例而已,并非用于限定本发明的保护范围。凡在本发明的精神和原则之内所作的任何修改、等同替换、改进等,均包含在本发明的保护范围内。

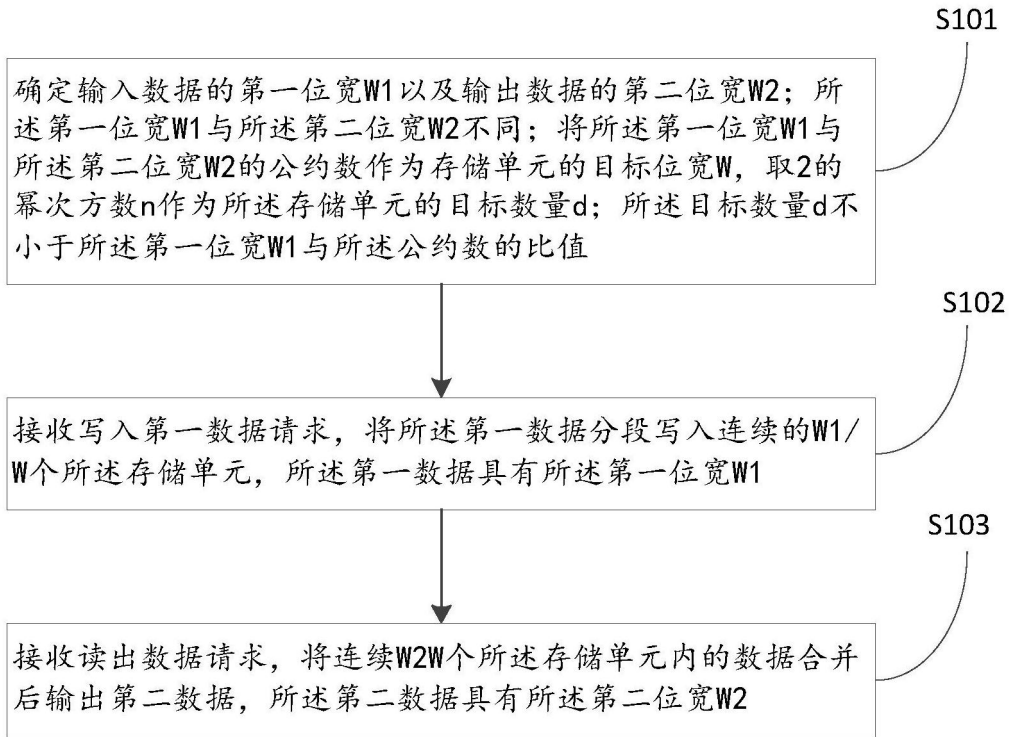


图1

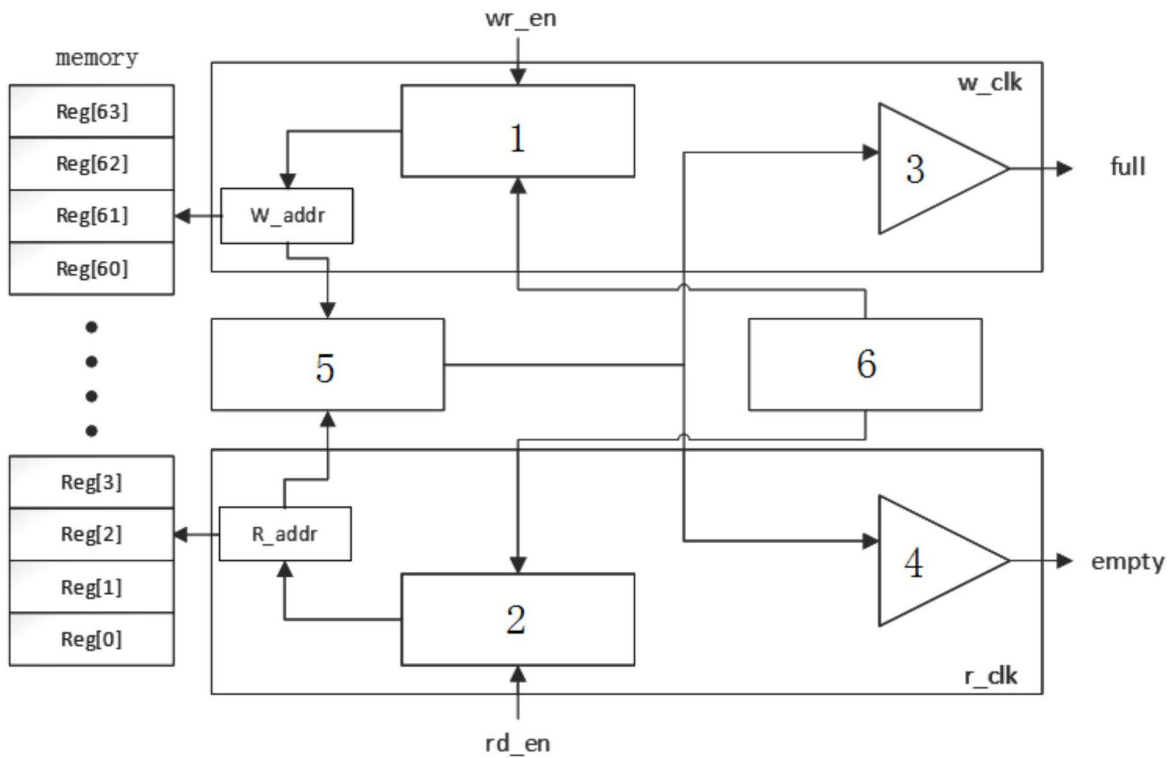


图2

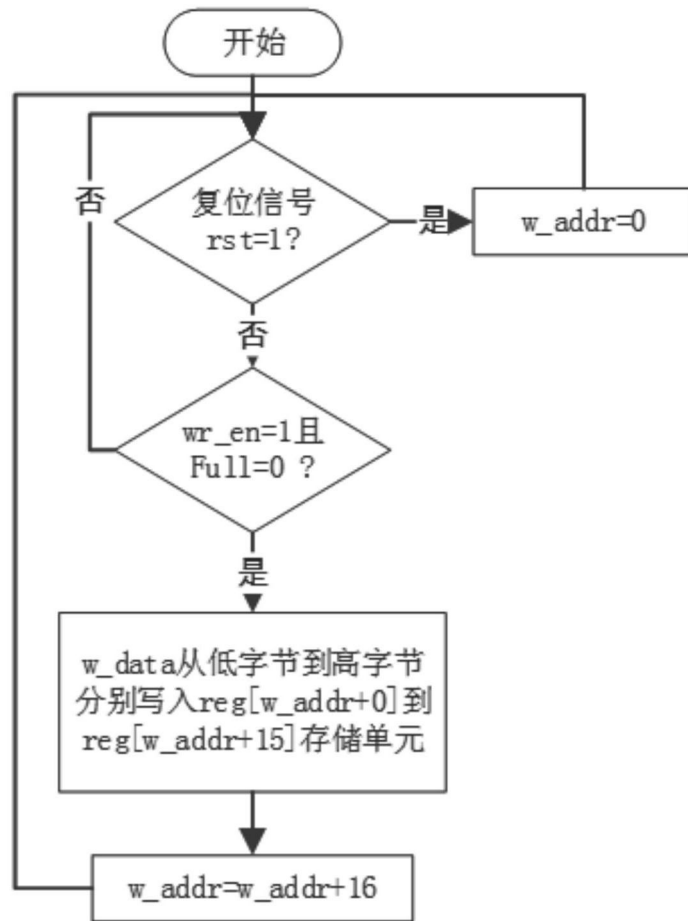


图3

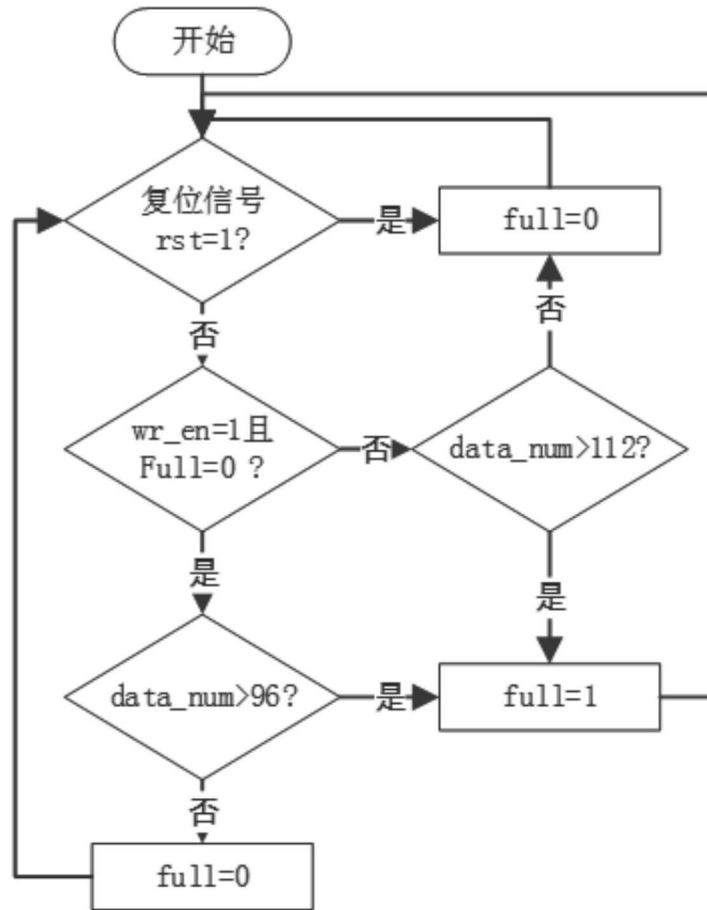


图4

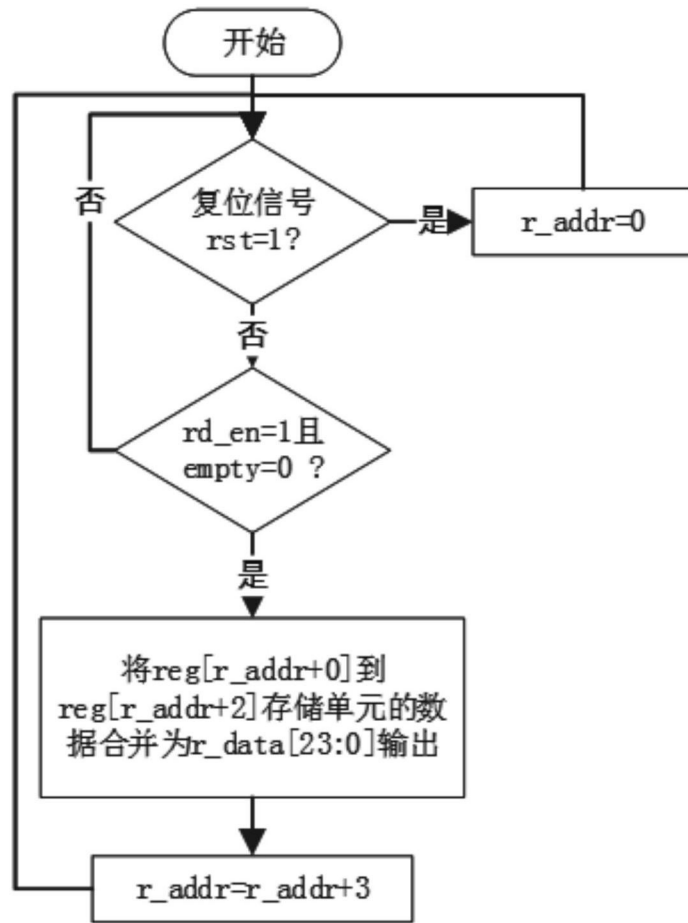


图5

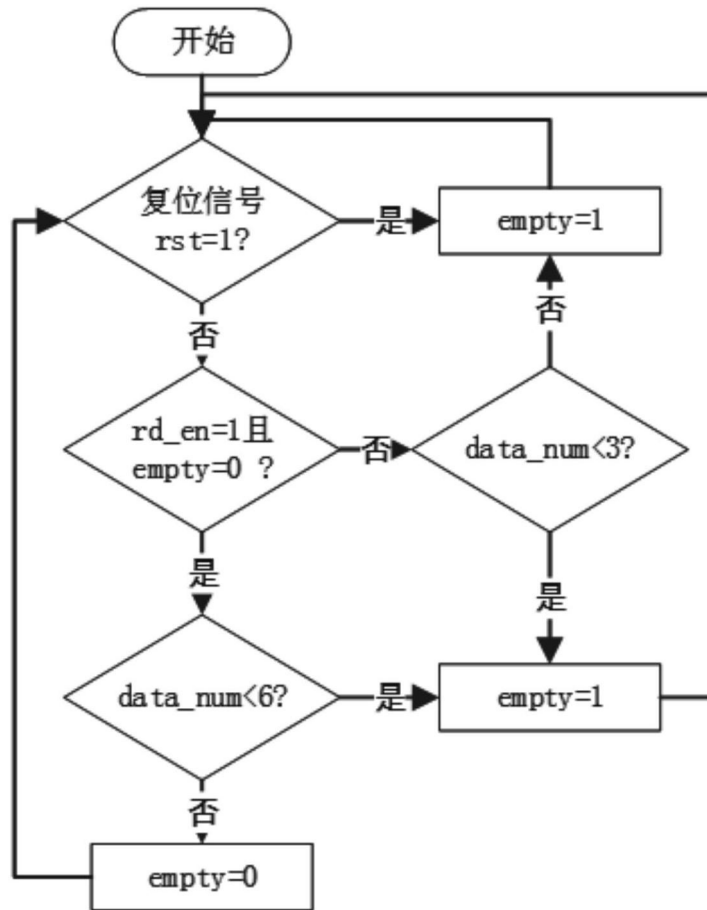


图6

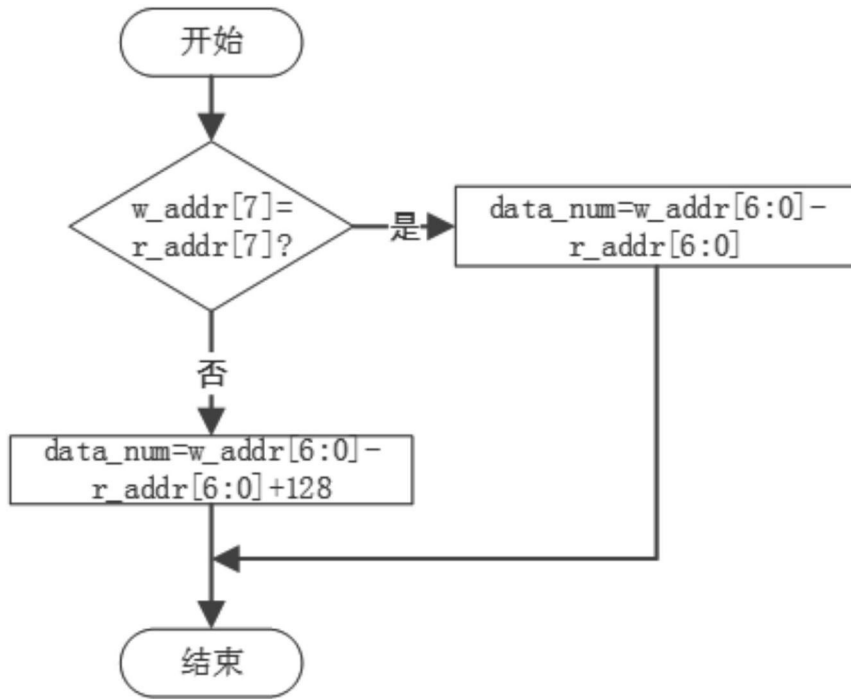


图7

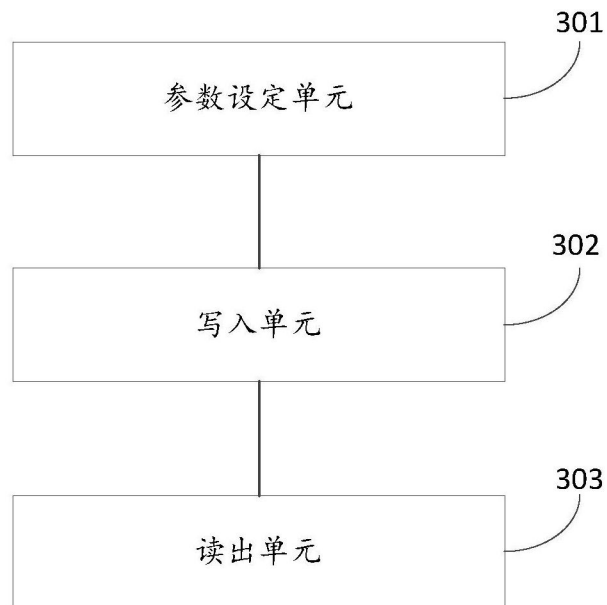


图8

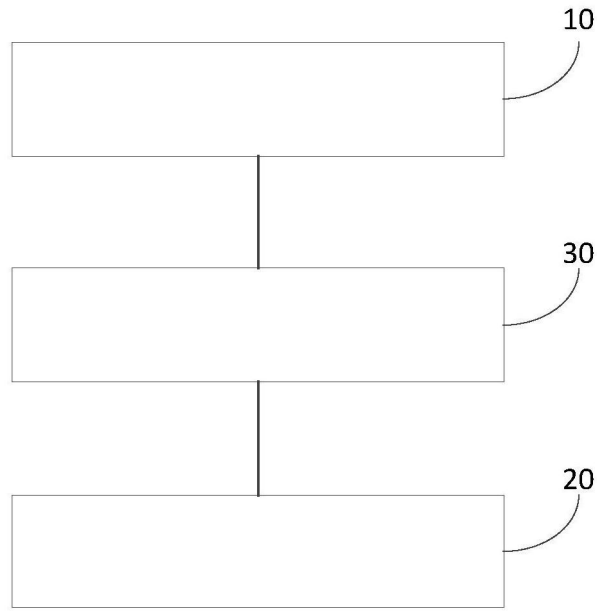


图9

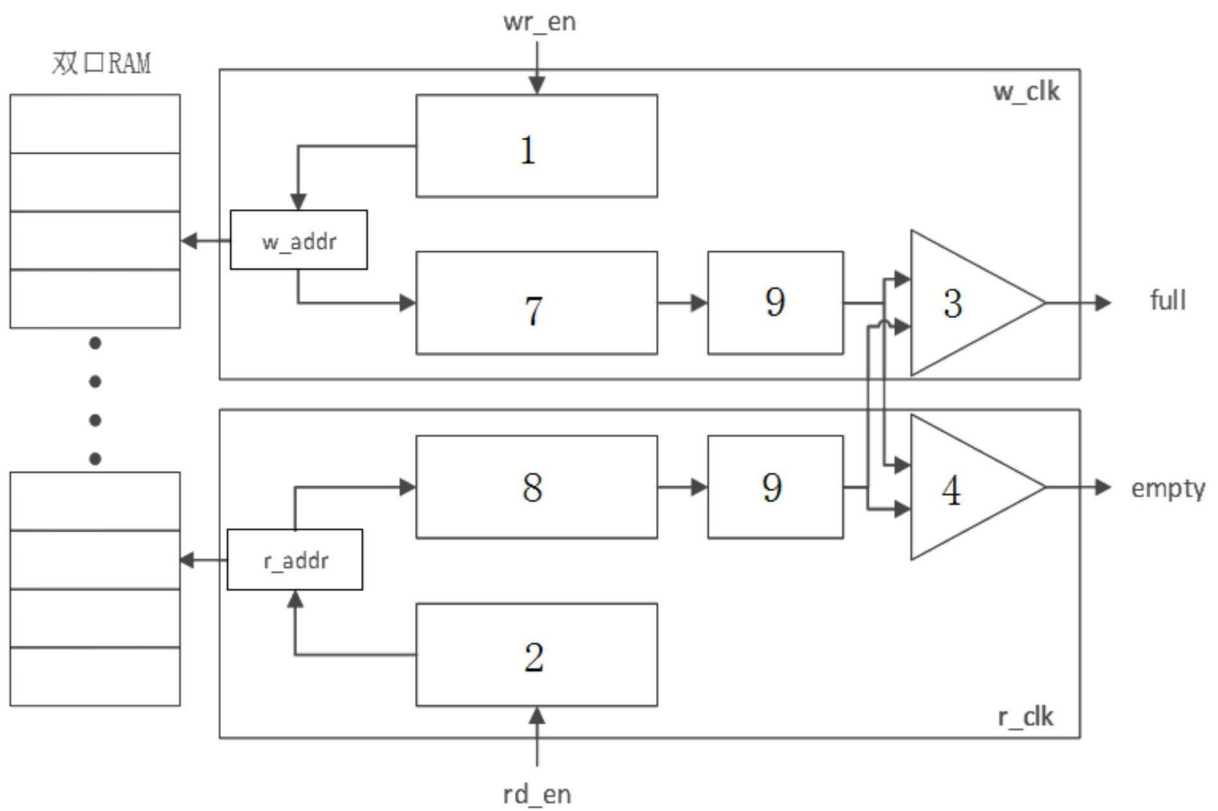


图10