



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년08월06일
 (11) 등록번호 10-0974212
 (24) 등록일자 2010년07월30일

(51) Int. Cl.
H03L 7/00 (2006.01)
 (21) 출원번호 10-2008-0013676
 (22) 출원일자 2008년02월14일
 심사청구일자 2008년02월14일
 (65) 공개번호 10-2009-0088248
 (43) 공개일자 2009년08월19일
 (56) 선행기술조사문헌
 KR100378203 B1*
 KR100505657 B1
 KR1020050102763 A
 KR100321755 B1
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
홍남표
 충남 천안시 청수동 극동2차아파트 205동 1004호
조광준
 서울 성북구 석관1동 두산아파트 102동 604호
 (74) 대리인
김성남

전체 청구항 수 : 총 8 항

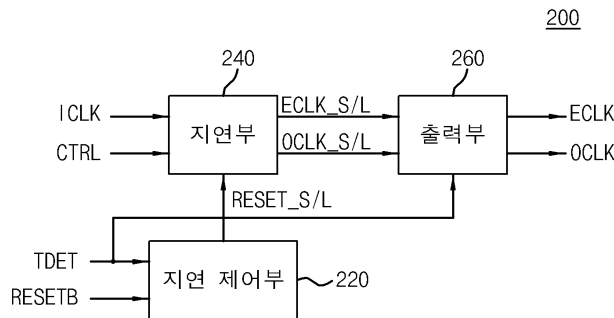
심사관 : 강현일

(54) 주파수에 따라 지연 경로를 달리하는 지연 라인 및 이를 이용한 지연고정루프 회로

(57) 요약

본 발명은 주파수에 따라 서로 다른 지연량을 가진 단위 지연 셀을 통해 내부 클럭을 지연시키는 지연 라인 및 이를 이용한 지연고정루프 회로에 관한 것으로서, 본 발명에 따른 반도체 장치의 지연 라인은 고주파 지연부와 저주파 지연부를 구비하고, 입력되는 내부 클럭의 주파수에 따라 상기 고주파 지연부 또는 상기 저주파 지연부 중 어느 하나를 통해 상기 내부 클럭을 지연하여 출력하는 지연부; 및 상기 고주파 지연부를 통해 지연된 신호 또는 상기 저주파 지연부를 통해 지연된 신호 중 어느 하나를 출력하는 출력부;를 포함하는 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

복수개의 제 1 단위 지연 셀을 포함하는 고주파 지연부와 복수개의 제 2 단위 지연 셀을 포함하는 저주파 지연부를 구비하고, 입력되는 내부 클럭 신호의 주파수에 따라 상기 고주파 지연부 또는 상기 저주파 지연부 중 어느 하나를 통해 상기 내부 클럭을 지연하여 출력하되 지연라인 제어신호에 따라 상기 복수개의 제 1 단위 지연 셀 중 하나 또는 상기 복수개의 제 2 단위 지연 셀 중 하나의 경로로 상기 내부 클럭을 출력하는 지연부; 및 상기 고주파 지연부를 통해 지연된 신호 또는 상기 저주파 지연부를 통해 지연된 신호 중 어느 하나를 출력하는 출력부;를 포함하는 것을 특징으로 하는 반도체 장치의 지연 라인.

청구항 2

제 1항에 있어서,
상기 내부 클럭 신호의 고주파 여부를 나타내는 주파수 검출 신호에 응답하여 상기 고주파 지연부 또는 상기 저주파 지연부를 리셋시키는 리셋 신호를 출력하는 지연 제어부를 더 포함하는 것을 특징으로 하는 반도체 장치의 지연 라인.

청구항 3

제 2항에 있어서,
상기 리셋 신호는 상기 주파수 검출 신호가 디스에이블될 때 인에이블되는 제 1 리셋신호와 상기 주파수 검출신호가 인에이블될 때 인에이블되는 제 2 리셋신호를 포함하는 반도체 장치의 지연 라인.

청구항 4

제 2항에 있어서,
상기 지연부는 상기 주파수 검출신호가 인에이블될 때 상기 고주파 지연부를 통해 상기 지연된 신호를 출력하고, 상기 주파수 검출신호가 디스에이블될 때 상기 저주파 지연부를 통해 상기 지연된 신호를 출력하는 반도체 장치의 지연 라인.

청구항 5

제 3항에 있어서,
상기 고주파 지연부는 상기 복수개의 제 1 단위 지연 셀이 직렬로 연결된 제 1 지연 경로; 및
상기 지연라인 제어신호에 따라 상기 내부 클럭 신호를 상기 복수개의 제 1 단위 지연 셀 중 어느 하나의 경로로 출력하되, 상기 제 1 리셋신호에 의해 리셋되는 제 1 지연경로 선택부;를 포함하는 반도체 장치의 지연 라인.

청구항 6

제 3항에 있어서,
상기 저주파 지연부는 상기 복수개의 제 2 단위 지연 셀이 직렬로 연결된 제 2 지연 경로; 및
상기 지연라인 제어신호에 따라 상기 내부 클럭 신호를 상기 복수개의 제 2 단위 지연 셀 중 어느 하나의 경로로 출력하되, 상기 제 2 리셋신호에 의해 리셋되는 제 2 지연경로 선택부;를 포함하는 반도체 장치의 지연 라인.

청구항 7

제 5항 또는 제 6항에 있어서,
상기 제 2 단위 지연 셀의 지연량이 상기 제 1 단위 지연 셀의 지연량보다 큰 반도체 장치의 지연 라인.

청구항 8

제 2항에 있어서,

상기 출력부는 상기 주파수 검출신호가 인에이블될 때 상기 고주파 지연부를 통해 지연된 신호를 출력하고, 상기 주파수 검출신호가 디스에이블될 때 상기 저주파 지연부를 통해 지연된 신호를 출력하는 반도체 장치의 지연 라인.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 장치에 관한 것으로서, 특히 주파수에 따라 서로 다른 지연량을 가진 단위 지연 셀을 통해 내부 클럭을 지연시키는 지연 라인 및 이를 이용한 지연고정루프 회로에 관한 것이다.

배경기술

[0002] 지연고정루프(delay locked loop)란 반도체 메모리 장치에서 클럭을 사용하는 동기식 메모리의 내부 클럭을 예러 없이 외부 클럭과 일치되도록 내부 클럭을 지연시키는 회로이다. 즉, 외부에서 들어오는 클럭이 내부에서 사

용될 때 외부 클럭과 내부 클럭 또는 외부 클럭과 데이터 간에 스큐(skew)가 발생하는데, 이러한 스큐를 줄이기 위해 지연고정루프가 사용된다.

- [0003] DDR SDRAM(Double Date Rate Synchronous DRAM)과 같은 동기식 반도체 메모리 장치는 메모리 컨트롤러와 같은 외부 장치로부터 입력되는 외부 클럭 신호에 동기되어 고정된 내부 클럭 신호를 이용하여 외부의 장치들과 데이터의 전송을 수행한다. 이는 메모리와 메모리 컨트롤러 간의 안정적인 데이터 전송을 위해서는 기준 클럭 신호와 데이터 간의 시간적 동기가 매우 중요하기 때문이다. 즉, 데이터의 안정적인 전송을 위해서는 데이터를 전송하는 각 구성요소들에서의 클럭으로부터 데이터가 버스에 실리는 시간을 역보상하여 데이터를 클럭의 에지(edge), 혹은 중심(center)에 정확하게 위치시켜야만 하기 때문이다. 이러한 역할을 수행하는 클럭 동기회로는 위상 고정 루프(Phase Locked Loop, PLL)와 지연고정루프(DLL) 회로가 있으며, 외부 클럭 신호의 주파수와 내부 클럭 신호의 주파수가 서로 다른 경우에는 주파수 채배 기능을 사용하여 함으로 위상 고정 루프를 주로 사용하고, 외부 클럭 신호와 내부 클럭 신호의 주파수가 동일한 경우에는 대부분 지연고정루프를 사용한다. 지연고정루프 회로(DLL)는 위상 고정 루프 회로에 비해 잡음이 적고 작은 면적으로 구현할 수 있는 장점이 있어 반도체 메모리 장치에서는 동기 회로로서 일반적으로 사용된다.
- [0004] 도 1은 이러한 종래의 지연고정루프 회로의 블록도이다.
- [0005] 도 1을 참조하면, 지연고정루프 회로는 클럭 버퍼(10), 지연 라인(20), 위상 혼합부(30), 지연 복제 모델부(40), 위상 감지부(50), 지연라인 제어부(60), 및 출력 드라이버(70)를 포함한다.
- [0006] 상기 클럭 버퍼(10)는 외부 클럭 ECLK와 반전 외부 클럭 ECLKB를 버퍼링하여 내부 클럭 ICLK를 출력한다. 상기 내부 클럭은 외부 클럭 ECLK에 동기된 라이징 내부 클럭 ICLKR과 반전 외부 클럭 CLKB에 동기된 폴링 내부 클럭 ICLKF를 모두 포함한다.
- [0007] 상기 지연라인(20)은 상기 지연라인 제어부의 제어신호 CTRL에 의해 상기 내부클럭 ICLK를 소정 시간 지연하여 출력한다. 이때 지연 신호는 이븐(Even) 지연부와 오드(Odd) 지연부를 통해 이븐 클럭과 오드 클럭으로 나누어져 출력되고, 위상 혼합부(30)에서는 상기 지연부에서 출력되는 이븐 클럭과 오드 클럭을 혼합하여 미세 조정(fine delay)을 수행한다.
- [0008] 상기 지연 복제 모델부(40)는 상기 지연라인과 위상 혼합부를 통해 지연된 신호 ICLKD를 입력받아 외부의 클럭이 들어와 나갈 때까지의 지연 요소들을 모델링함으로써 외부 클럭과 실제 내부 클럭 간의 시간 차이를 보상하는 피드백 클럭 FBCLK를 출력한다.
- [0009] 상기 위상 검출부(50)는 상기 피드백 클럭 FBCLK와 상기 클럭 버퍼부(10)에서 출력되는 내부 클럭 신호 ICLK의 위상 차이를 검출하여 위상 검출 신호 PDET를 출력한다. 상기 위상 검출 신호 PDET는 내부 클럭 ICLK와 피드백 클럭 FBCLK의 위상 차에 따라 지연 라인(20)이 페스트(fast), 코코스(course), 및 파인(fine) 모드 중 어느 하나로 동작하도록 제어하는데 이용될 수 있다.
- [0010] 상기 지연라인 제어부(60)는 상기 위상 검출 신호 PDET를 입력 받아서, 위상 검출 신호 PDET로써 내부 클럭 ICLK에 대한 지연량을 조절하기 위한 제어신호 CTRL을 출력한다.
- [0011] 상기 출력 드라이버(70)는 상기 지연된 클럭 ICLKD를 입력받아 이를 버퍼링하여 라이징 클럭 RCKDLL과 폴링 클럭 FCKDLL로 출력한다.
- [0012] 상기와 같은 구성을 갖는 지연 고정 루프 회로에서, 상기 지연라인(20)은 심리스 바운더리 스위칭(seamless boundary switching) 기법이 적용된다.
- [0013] 도 2를 참조하여 간략히 살펴보면, 상기 지연라인(20)은 상기 내부 클럭 신호 ICLK와 지연라인 제어신호 CTRL을 수신하여 지연 정도를 결정하고 상기 내부 클럭 ICLK를 출력하는 지연 경로 선택부(22), 상기 내부 클럭 신호 ICLK를 지연하여 출력하는 이븐(EVEN) 지연부(24) 및 오드(ODD) 지연부(26)을 포함한다.
- [0014] 상기 이븐 지연부(24)는 다수의 단위 지연 셀(UDC)이 직렬로 연결되어 있다. 상기 오드 지연부(26)는 다수의 단위 지연 셀(UDC)과 하프 단위 지연 셀(HUDC)이 직렬로 연결되어 있다.
- [0015] 상기 지연 경로 선택부(22)는 상기 제어 신호 CTRL에 따라 지연경로를 결정하는데, 예를 들어, 지연량이 적을수록 오른쪽의 단위 지연 셀로 내부 클럭 신호를 출력하여 상기 내부 클럭 신호가 적은 수의 단위 지연 셀을 경유하게 한다. 즉, 지연 경로를 선택함으로써 지연량을 조절할 수 있다. 이때 오드 지연부의 경로는 선택된 이븐 경로와 같거나 하나 작은 단위 지연 셀 경로로 입력된다.

- [0016] 도시된 것과 같이, 오드 경로에는 하프 지연 셀(HUDC)이 형성되어 있으므로, 이븐 클럭 ECLK와 오드 클럭 OCLK은 단위 지연 셀에서 지연되는 지연량, 즉 단위 지연량의 절반 만큼의 지연 차이를 가지고 출력된다. 상기 단위 지연 셀은 일반적으로 낸드 게이트의 조합으로 이루어져 있다.
- [0017] 위상 혼합부(30)에서는 이러한 차이를 이용하여 미세 조정(fine tuning)을 하게 된다. 이때 클럭을 조절할 수 있는 정확도는 단위 지연량에 따라 달라진다.
- [0018] 이때 단위 지연량이 적어지면 더 정확하게 지연량을 조절할 수 있다.
- [0019] 그러나 더 정확한 지연량의 조절을 위해 단위 지연량을 적게 하면, 지연량의 정확도는 늘어나지만, 프로브 테스트(probe test)나 단품 테스트에서는 저주파 테스트(low tCK, tCK는 클럭 주기이다.)를 해야 하는데, 이렇게 되면 단위 지연 셀을 많이 사용해야 하기 때문에 무작정 단위 지연량을 적게 할 수는 없다.
- [0020] 예를 들어 단위 지연량이 400ps일 경우 DLL이 보상해야 하는 딜레이 양이 8ns 라면 20단의 단위 지연 셀이 필요하게 된다. 하지만, DLL의 정확도를 높이기 위해 지연량이 200ps인 단위 지연셀을 사용하게 되면 40단의 단위 지연 셀이 필요하게 된다. 따라서 면적이 2배가 늘어나게 되고 파워 소비도 비례해서 늘어나게 되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0021] 본 발명은 내부 클럭의 주파수에 따라 단위 지연 셀을 달리 선택하여 고주파 신호에서 지연량을 더욱 정확하게 조절할 수 있는 지연라인을 제공하는 것을 목적으로 한다.

과제 해결수단

- [0022] 본 발명에 따른 반도체 장치의 지연 라인은 고주파 지연부와 저주파 지연부를 구비하고, 입력되는 내부 클럭의 주파수에 따라 상기 고주파 지연부 또는 상기 저주파 지연부 중 어느 하나를 통해 상기 내부 클럭을 지연하여 출력하는 지연부; 및 상기 고주파 지연부를 통해 지연된 신호 또는 상기 저주파 지연부를 통해 지연된 신호 중 어느 하나를 출력하는 출력부;를 포함하는 것을 특징으로 한다.
- [0023] 상기 지연 라인은 상기 내부 클럭 신호의 고주파 여부를 나타내는 주파수 검출 신호에 응답하여 상기 고주파 지연부 또는 상기 저주파 지연부를 리셋시키는 리셋 신호를 출력하는 지연 제어부를 더 포함하는 것을 특징으로 한다.
- [0024] 여기서, 상기 리셋 신호는 상기 주파수 검출 신호가 디스에이블될 때 인에이블되는 제 1 리셋신호와 상기 주파수 검출신호가 인에이블될 때 인에이블되는 제 2 리셋신호를 포함할 수 있다.
- [0025] 여기서, 상기 지연부는 상기 주파수 검출신호가 인에이블될 때 상기 고주파 지연부를 통해 상기 지연신호를 출력하고, 상기 주파수 검출신호가 디스에이블될 때 상기 저주파 지연부를 통해 상기 지연신호를 출력할 수 있다.
- [0026] 여기서, 상기 고주파 지연부는 다수의 제 1 단위 지연 셀이 직렬로 연결된 제 1 지연 경로; 및 상기 지연라인 제어신호에 따라 상기 내부 클럭 신호를 상기 다수의 제 1 단위 지연 셀 중 어느 하나의 경로로 출력하되, 상기 제 1 리셋신호에 의해 리셋되는 제 1 지연경로 선택부;를 포함하는 것이 바람직하다.
- [0027] 여기서, 상기 저주파 지연부는 다수의 제 2 단위 지연 셀이 직렬로 연결된 제 2 지연 경로; 및 상기 지연라인 제어신호에 따라 상기 내부 클럭 신호를 상기 다수의 제 2 단위 지연 셀 중 어느 하나의 경로로 출력하되, 상기 제 2 리셋신호에 의해 리셋되는 제 2 지연경로 선택부;를 포함하는 것이 바람직하다.
- [0028] 여기서, 상기 제 2 단위 지연 셀의 지연량이 상기 제 1 단위 지연 셀의 지연량보다 큰 것이 바람직하다.
- [0029] 여기서, 상기 출력부는 상기 주파수 검출신호가 인에이블될 때 상기 고주파 지연부를 통해 지연된 신호를 출력하고, 상기 주파수 검출신호가 디스에이블될 때 상기 저주파 지연부를 통해 지연된 신호를 출력할 수 있다.
- [0030] 또한, 본 발명에 따른 지연고정루프 회로는 내부 클럭 신호를 지연하여 출력하고, 상기 지연은 지연라인 제어신호에 응답하여 지연량이 결정되고 주파수 검출 신호에 응답하여 지연경로가 결정되는 지연 라인; 상기 내부 클럭 신호의 클럭 주기를 검출하여 고주파 여부를 나타내는 상기 주파수 검출 신호를 출력하는 주파수 감지부; 상기 지연라인을 통해 지연된 신호를 메모리 내 클럭 신호의 지연 요소들로 모델링하여 외부 클럭과 내부 클럭 간

의 시간 차이를 보상하는 피드백 클럭을 출력하는 지연 복제 모델부; 상기 내부 클럭 신호와 피드백 신호를 입력받아 두 신호의 위상 차이를 검출하는 위상 검출 신호를 출력하는 위상 검출부; 및 상기 위상 검출 신호에 따라 상기 지연라인의 지연 정도를 제어하는 상기 지연라인 제어신호를 출력하는 지연라인 제어부;를 포함하는 것을 특징으로 한다.

- [0031] 여기서, 상기 주파수 감지부는 상기 내부 클럭 신호에 동기된 펄스 신호와 기준 클럭을 비교하여 상기 주파수 검출 신호를 출력한다.
- [0032] 여기서, 상기 주파수 검출 신호는 상기 내부 클럭 신호가 고주파일 때 인에이블되는 것이 바람직하다.
- [0033] 여기서, 상기 지연라인은 고주파 지연부와 저주파 지연부를 구비하고, 상기 내부 클럭의 주파수에 따라 상기 고주파 지연부 또는 상기 저주파 지연부 중 어느 하나를 통해 상기 내부 클럭을 지연하여 출력하는 지연부; 및 상기 고주파 지연부를 통해 지연된 신호 또는 상기 저주파 지연부를 통해 지연된 신호 중 어느 하나를 출력하는 출력부;를 포함할 수 있다.
- [0034] 여기서, 상기 지연라인은 상기 내부 클럭 신호의 고주파 여부를 나타내는 주파수 검출 신호에 응답하여 상기 고주파 지연부 또는 상기 저주파 지연부 리셋시키는 리셋 신호를 출력하는 지연 제어부를 더 포함하는 것이 바람직하다.
- [0035] 여기서, 상기 리셋 신호는 상기 주파수 검출 신호가 디스플레이블될 때 인에이블되는 제 1 리셋신호와 상기 주파수 검출신호가 인에이블될 때 인에이블되는 제 2 리셋신호를 포함할 수 있다.
- [0036] 여기서, 상기 지연부는 상기 주파수 검출신호가 인에이블될 때 상기 고주파 지연부를 통해 상기 지연신호를 출력하고, 상기 주파수 검출신호가 디스에이블될 때 상기 저주파 지연부를 통해 상기 지연신호를 출력하는 것이 바람직하다.
- [0037] 여기서, 상기 고주파 지연부는 다수의 제 1 단위 지연 셀이 직렬로 연결된 제 1 지연 경로; 및 상기 지연라인 제어신호에 따라 상기 내부 클럭 신호를 상기 다수의 제 1 단위 지연 셀 중 어느 하나의 경로로 출력하되, 상기 제 1 리셋신호에 의해 리셋되는 제 1 지연경로 선택부;를 포함할 수 있다.
- [0038] 여기서, 상기 저주파 지연부는 다수의 제 2 단위 지연 셀이 직렬로 연결된 제 2 지연 경로; 및 상기 지연라인 제어신호에 따라 상기 내부 클럭 신호를 상기 다수의 제 2 단위 지연 셀 중 어느 하나의 경로로 출력하되, 상기 제 2 리셋신호에 의해 리셋되는 제 2 지연경로 선택부;를 포함할 수 있다.
- [0039] 상기 제 2 단위 지연 셀의 지연량이 상기 제 1 단위 지연 셀의 지연량보다 큰 것이 바람직하다.
- [0040] 상기 출력부는 상기 주파수 검출신호가 인에이블될 때 상기 고주파 지연부를 통해 지연된 신호를 출력하고, 상기 주파수 검출신호가 디스에이블될 때 상기 저주파 지연부를 통해 지연된 신호를 출력하는 것이 바람직하다.

효 과

- [0041] 본 발명에 의하면, 고주파에서는 단위 지연량이 적은 지연 셀을 통해 지연함으로써 지연량을 보다 정확하게 조절할 수 있다.
- [0042] 또한, 본 발명에 의하면 저주파에서는 단위 지연량이 큰 지연 셀을 통해 지연함으로써 필요한 단위 지연 셀의 개수를 줄여 전체 면적을 줄일 수 있다.
- [0043] 또한, 본 발명에 의하면 고주파에서도 안정적으로 동작하는 반도체 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0044] 본 발명은 클럭 주기에 단위 지연량을 선택하여 지연량을 정확하게 제어할 수 있는 반도체 장치의 지연라인 및 이를 이용한 지연고정루프 회로에 관해 개시한다.
- [0045] 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하도록 한다.
- [0046] 도 3은 본 발명에 따른 지연고정루프 회로의 전체 블록도를 도시한 것이다.
- [0047] 도 3을 참조하면, 상기 지연고정루프 회로는 클럭버퍼(100), 지연라인(200), 위상 혼합부(300), 지연복제 모델부(400), 위상 검출부(500), 지연라인 제어부(600), 주파수 감지부(700), 및 출력 드라이버(800)를 포함한다.

- [0048] 상기 클럭 버퍼(100)는 외부 클럭 ECLK와 반전 외부 클럭 ECLKB를 버퍼링하여 내부 클럭 ICLK를 출력한다.
- [0049] 상기 지연라인(200)은 상기 지연라인 제어부(600)의 지연라인 제어신호 CTRL에 의해 상기 내부클럭 ICLK를 소정 시간 지연하여 출력한다. 이때 지연 신호는 이븐(Even) 지연부와 오드(Odd) 지연부를 통해 이븐 클럭과 오드 클럭으로 나누어져 출력되고, 위상 혼합부(300)에서는 상기 지연 라인(200)의 출력 신호를 입력받아 미세 조정(fine delay)을 수행하여 지연 클럭 ICLKD로 출력한다. 상기 지연라인(200)의 상세 구성은 후술하기로 한다.
- [0050] 상기 지연 복제 모델부(400)는 상기 지연 클럭 ICLKD를 입력받아 외부의 클럭이 들어와 나갈 때까지의 지연 요소들을 모델링함으로써 외부 클럭과 실제 내부 클럭 간의 시간 차이를 보상하는 피드백 클럭 FBCLK를 출력한다.
- [0051] 상기 위상 검출부(500)는 피드백 클럭 FBCLK와 내부 클럭 신호 ICLK의 위상 차이를 검출하여 위상 검출 신호 PDET를 출력한다. 상기 위상 검출 신호 PDET는 내부 클럭 ICLK와 피드백 클럭 FBCLK의 위상 차에 따라 지연 라인(200)이 패스트(fast), 코오스(course), 및 파인(fine) 모드 중 어느 하나로 동작하도록 제어하는데 이용될 수 있다.
- [0052] 상기 지연라인 제어부(600)는 상기 위상 검출 신호 PDET를 입력받아서, 위상 검출 신호 PDET로써 내부 클럭 ICLK에 대한 지연량을 조절하기 위한 지연라인 제어신호 CTRL를 출력한다.
- [0053] 상기 주파수 감지부(700)는 상기 지연 클럭 ICLKD의 클럭 주기가 기준 클럭보다 빠르는지 느린지를 검출하여 입력 클럭이 고주파 인지 여부를 나타내는 주파수 검출 신호 TDET를 출력한다. 상기 주파수 감지부(700)는 상기 지연 클럭 ICLKD를 입력으로 하여 클럭 주기를 판단할 수도 있지만, 내부 클럭 ICLK에 동기된 펄스 신호를 입력으로 하여 클럭 주기를 감지하는 것이 바람직하다. 상기 클럭 주기 감지부(700)는 항상 동작할 필요가 없으므로 클럭 신호 대신 펄스 신호를 이용함으로써 불필요한 전력 소모를 줄일 수 있다.
- [0054] 상기 출력 드라이버(8000)는 상기 지연된 클럭 ICLKD를 입력받아 이를 버퍼링하여 라이징 클럭 RCKDLL과 폴링 클럭 FCKDLL로 출력한다.
- [0055] 도 4는 상기 지연라인(200)의 내부 블럭을 나타낸 것이다.
- [0056] 도 4를 참조하면, 상기 지연라인(200)은 지연 제어부(220), 지연부(240) 및 출력부(260)을 포함한다.
- [0057] 상기 지연 제어부(220)는 상기 주파수 검출 신호 TDET와 외부에서 인가되는 리셋 신호 RESETB를 입력받아 상기 지연부(220)의 단위 지연셀의 선택을 제어하는 리셋신호 RESET_S, RESET_L을 출력한다. 도 5를 참조하면, 상기 지연 제어부(220)는 상기 주파수 검출 신호 TDET와 상기 리셋 신호 RESETB를 입력으로 하여 리셋 신호 RESET_S를 출력하는 낸드 게이트 ND1과 상기 주파수 검출 신호의 반전신호와 상기 리셋 신호 RESETB를 입력으로 하여 리셋 신호 RESET_L을 출력하는 낸드 게이트 ND2를 포함한다. 그리고 상기 주파수 감지 신호의 위상을 반전하는 인버터 INV1를 포함한다. 상기 리셋 신호 RESETB는 주파수 감지신호 TDET와 무관하게 논리 하이 레벨로 고정되는 것이 바람직하다. 따라서 상기 주파수 검출 신호 TDET가 논리 하이 레벨로 인에이블될 때 즉, 고주파에서 동작하는 경우에는 상기 리셋신호 RESET_L이 하이 레벨로 인에이블되고, 리셋신호 RESET_S는 로우 레벨로 디스에이블된다. 반대로 저주파에서 동작하는 경우에는 리셋신호 RESET_L이 디스에이블되고 리셋신호 RESET_S가 인에이블된다. 상기 리셋신호 RESET_L, RESET_S는 후술되는 고주파 지연부(610) 또는 저주파 지연부(650)를 리셋한다. 즉, 리셋 신호 RESET_S가 인에이블되면 고주파 지연부(610)가 리셋되고, 상기 리셋 신호 RESET_L이 인에이블되면 저주파 지연부(650)가 리셋된다.
- [0058] 도 6은 상기 지연부(240)의 상세 구성을 도시한 것이다.
- [0059] 도 6을 참조하면, 상기 지연부(240)는 지연량이 적은 다수의 쇼트 단위 지연 셀(Short Unit Delay Cell, SUDC)을 포함하는 고주파 지연부(610)와 지연량이 큰 다수의 롱 단위 지연 셀(Long Unit Delay Cell, LUDC)을 포함하는 저주파 지연부(650)를 포함한다.
- [0060] 상기 고주파 지연부(610)는 고주파 지연 경로 선택부(620), 이븐 경로(even path) 지연부(630), 및 오드 경로(odd path) 지연부(640)를 포함한다. 이븐 경로 지연부(630)은 다수의 쇼트 단위 지연 셀(631, 632, 633, 634)이 직렬로 연결되어 있고, 오드 경로 지연부(640)는 다수의 쇼트 단위 지연 셀(631, 632, 633, 634)과 하나의 하프 쇼트 단위 지연 셀(631)을 포함한다.
- [0061] 상기 고주파 지연 경로 선택부(620)는 내부 클럭 신호 ICLK를 입력받아 제어신호 CTRL의 제어에 의해 지연 정도에 따라 상기 이븐 경로 지연부(630)와 오드 지연 경로 지연부(640)의 쇼트 단위 지연 셀 중 어느 하나의 단위 지연 셀 각각으로 내부 클럭 신호 ICLK를 출력하여 지연 경로를 선택한다. 이때 오드 경로 지연부(640)로는 선

택된 이븐 경로 지연부(620)와 같거나 하나 작은 지연 경로로 출력된다. 예를 들어, 내부 클럭 신호 ICLK가 이븐 경로 지연부(630)의 쇼트 단위 지연 셀(632)로 입력된다면, 오드 경로 지연부(640)의 경우에는 두 개의 쇼트 단위 지연 셀(631, 632) 중 어느 하나가 선택될 수 있다. 상기 내부 클럭 ICLK는 지연 정도에 따라 상기 다수의 쇼트 단위 지연 셀 중 어느 하나로 입력될 수 있다. 이러한 경로의 선택은 지연라인 제어신호 CTRL에 의해 결정된다.

[0062] 이때 고주파가 입력되어 주파수 검출 신호 TDET가 하이 레벨이 되는 경우에는 상기 리셋 신호 RESET_S가 디스에이블되어 고주파 지연부(610)는 정상적으로 동작하나, 저주파가 입력되어 주파수 검출 신호 TDET가 로우 레벨이 되는 경우에는 상기 리셋 신호 RESET_S가 인에이블되어 고주파 지연부(610)을 리셋 시킨다. 따라서 저주파에서 동작하는 경우에는 상기 쇼트 클럭이 출력되지 않는다.

[0063] 상기 저주파 지연부(650)도 고주파 지연부와 유사하게 저주파 지연 경로 선택부(660), 이븐 경로(even path) 지연부(670), 및 오드 경로(odd path) 지연부(680)를 포함한다. 주파수 검출 신호 TDET가 하이 레벨이 되는 경우에는 상기 리셋 신호 RESET_L이 인에이블되어 저주파 지연부(650)는 디스에이블되고, 주파수 검출 신호 TDET가 로우 레벨이 되는 경우에는 상기 리셋 신호 RESET_L이 디스에이블되어 저주파 지연부(650)가 정상적으로 동작한다.

[0064] 즉, 주파수 감지부(700)가 고주파를 감지하는 경우에는 고주파 지연부(610)를 통해 쇼트 이븐 클럭 ECLK_S와 쇼트 오드 클럭 OCLK_S가 출력되고 저주파를 감지하는 경우에는 저주파 지연부(650)을 통해 롱 이븐 클럭 ECLK_L과 롱 오드 클럭 OCLK_L이 출력된다.

[0065] 상기 지연부(240)에서 출력된 쇼트 클럭들 ECLK_S, OCLK_S과 롱 클럭들 ECLK_L, OCLK_L은 출력부(260)에서 쇼트 클럭들과 롱 클럭들 중 각각 하나씩 선택되어 이븐 클럭 ECLK와 오드 클럭 OCLK로 출력된다.

[0066] 도 7을 참조하면, 상기 출력부(260)는 상기 이븐 클럭들 ECLK_S, ECLK_L을 입력받아 어느 하나를 선택하여 이븐 클럭 ECLK로 출력하는 이븐 클럭 출력부(262), 상기 오드 클럭들 OCLK_S, OCLK_L을 입력받아 어느 하나를 선택하여 오드 클럭 OCLK로 출력하는 오드 클럭 출력부(264), 및 상기 클럭 출력부(262, 264)를 제어하기 위해 주파수 검출 신호 TDET를 입력으로 하는 인버터 INV2를 포함한다.

[0067] 상기 이븐 클럭 출력부(262)는 주파수 검출 신호 TDET가 하이 레벨일 때 상기 쇼트 이븐 클럭 ECLK_S를 출력하는 전달 게이트 TG1과 주파수 검출 신호 TDET가 로우 레벨일 때 상기 롱 이븐 클럭 ECLK_L을 출력하는 전달 게이트 TG2를 포함한다.

[0068] 상기 오드 클럭 출력부(264)는 주파수 검출 신호 TDET가 하이 레벨일 때 상기 쇼트 오드 클럭 OCLK_S를 출력하는 전달 게이트 TG3과 주파수 검출 신호 TDET가 로우 레벨일 때 상기 롱 오드 클럭 OCLK_L을 출력하는 전달 게이트 TG4를 포함한다.

[0069] 상기와 같은 구성에 의해 고주파일 경우에는 고주파 지연부(610)를 통해 지연된 클럭이 출력되고 저주파일 경우에는 저주파 지연부(650)를 통해 지연된 클럭이 출력된다.

[0070] 상기 출력부(260)를 통해 출력된 이븐 클럭 ECLK와 오드 클럭 OCLK는 위상 혼합부(300)에서 미세 조정을 거쳐 지연 클럭 ICLKD으로 출력된다.

[0071] 고주파에서 동작하는 DDR3와 같은 DRAM에 지연량이 다른 단위 지연 셀을 사용하게 되면 일반적인 동작에서는 지연량이 적은 단위 지연 셀을 사용하여 지연량을 조절함으로써 지연량의 정확도를 높일 수 있다. 그리고 프로브 테스트나 단품 테스트와 같이 저주파 테스트를 하는 경우에는 지연량이 큰 단위 지연 셀을 사용함으로써 단위 지연 셀이 불필요하게 많이 사용되는 것을 방지할 수 있다.

도면의 간단한 설명

[0072] 도 1은 종래 기술에 따른 지연고정루프 회로의 블럭도

[0073] 도 2는 도 1의 지연라인(20)의 내부 블럭도

[0074] 도 3은 본 발명에 따른 지연고정루프 회로의 블럭도

[0075] 도 4는 도 3의 지연라인(200)의 내부 블럭도

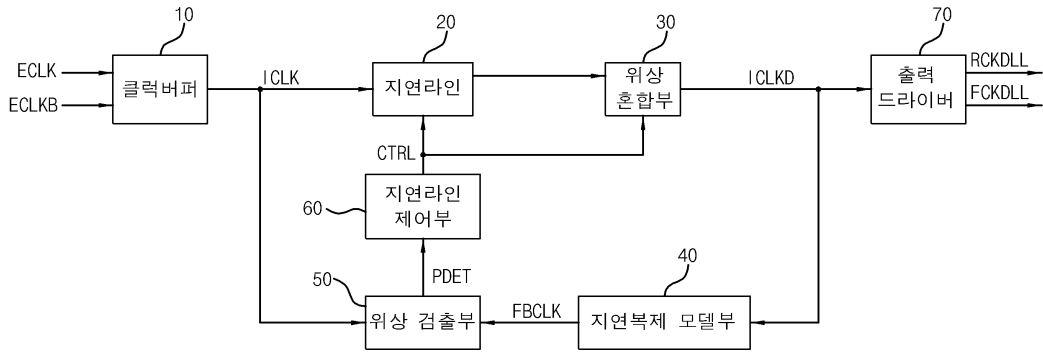
[0076] 도 5는 도 3의 지연제어부(220)의 상세 회로도

[0077] 도 6은 도 3의 지연부(240)의 상세 회로도

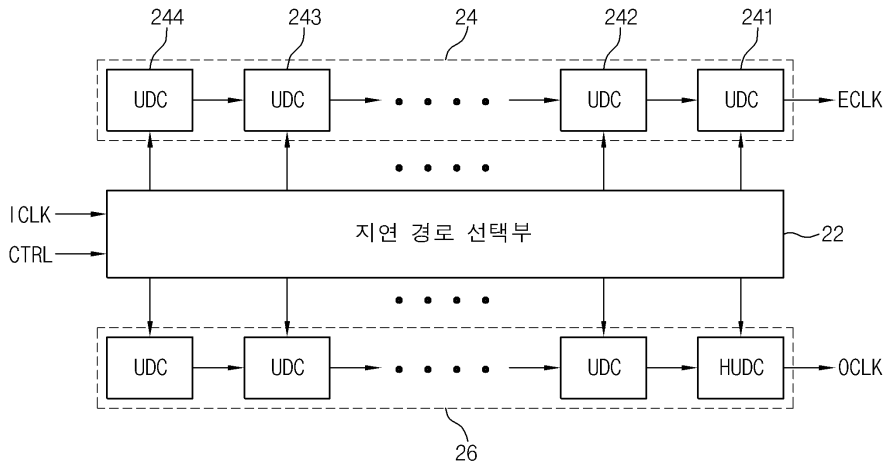
[0078] 도 7은 도 3의 출력부(260)의 상세 회로도

도면

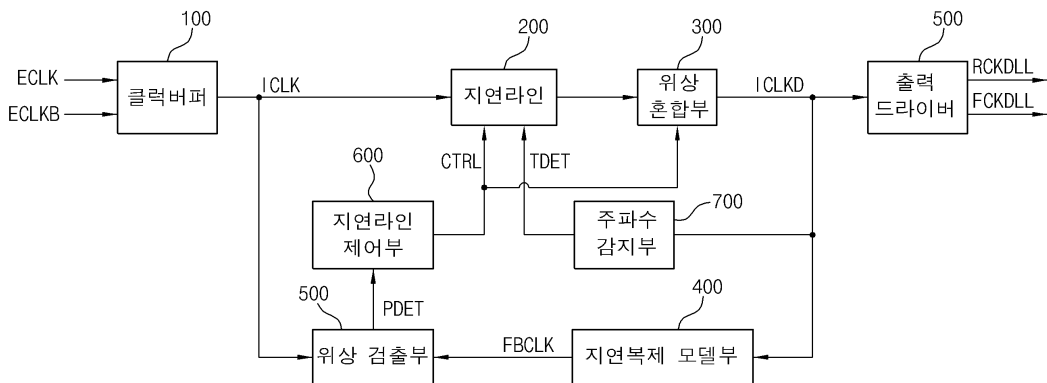
도면1



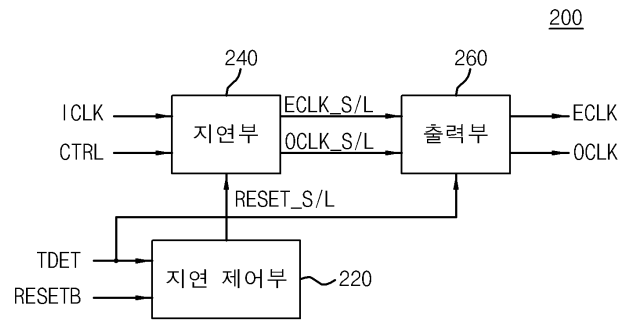
도면2



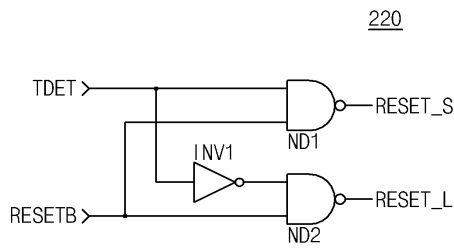
도면3



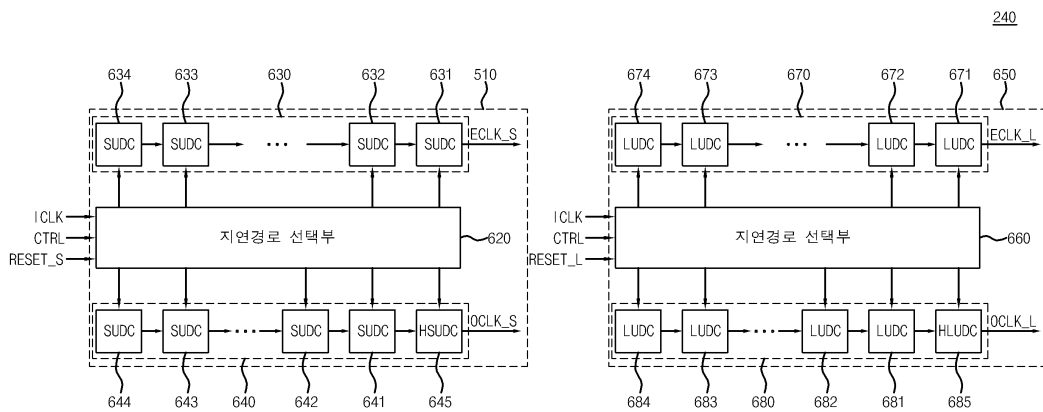
도면4



도면5



도면6



도면7

