

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4761646号
(P4761646)

(45) 発行日 平成23年8月31日(2011.8.31)

(24) 登録日 平成23年6月17日(2011.6.17)

(51) Int. Cl.	F I	
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10	4 3 4
HO 1 L 27/115 (2006.01)	HO 1 L 29/78	3 7 1
HO 1 L 29/788 (2006.01)	GO 9 G 3/20	6 2 1 M
HO 1 L 29/792 (2006.01)	GO 9 G 3/20	6 3 1 K
GO 9 G 3/20 (2006.01)	GO 9 G 3/20	6 8 0 G
請求項の数 5 (全 29 頁) 最終頁に続く		

(21) 出願番号	特願2001-127184 (P2001-127184)	(73) 特許権者	000153878
(22) 出願日	平成13年4月25日(2001.4.25)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2002-43447 (P2002-43447A)		神奈川県厚木市長谷398番地
(43) 公開日	平成14年2月8日(2002.2.8)	(72) 発明者	加藤 清
審査請求日	平成19年1月31日(2007.1.31)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2000-126773 (P2000-126773)		半導体エネルギー研究所内
(32) 優先日	平成12年4月27日(2000.4.27)		
(33) 優先権主張国	日本国(JP)	審査官	池淵 立

最終頁に続く

(54) 【発明の名称】 不揮発性メモリ

(57) 【特許請求の範囲】

【請求項1】

第1のメモリトランジスタと第2のメモリトランジスタを含むメモリセルを複数有し、前記第1のメモリトランジスタの第1のコントロールゲートは、第1の配線に電気的に接続され、

前記第2のメモリトランジスタの第2のコントロールゲートは、第2の配線に電気的に接続され、

前記第1のメモリトランジスタのソース又はドレインの一方は、第3の配線に電気的に接続され、

前記第1のメモリトランジスタのソース又はドレインの他方は、前記第2のメモリトランジスタのソース又はドレインの一方に電気的に接続され、

前記第2のメモリトランジスタのソース又はドレインの他方は、第4の配線に電気的に接続され、

前記第1のメモリトランジスタは、第1のフローティングゲートと前記第1のメモリトランジスタのソース又はドレインの他方が重なる位置に、消去動作において第1のトンネル電流を流すための第1のオーバーラップ領域を有し、

前記第2のメモリトランジスタは、第2のフローティングゲートと前記第2のメモリトランジスタのソース又はドレインの他方が重なる位置に、消去動作において第2のトンネル電流を流すための第2のオーバーラップ領域を有することを特徴とする不揮発性メモリ

。

【請求項 2】

請求項 1 において、

前記第 1 のメモリトランジスタと前記第 2 のメモリトランジスタはそれぞれ、S O I 基板を用いて形成されていることを特徴とする不揮発性メモリ。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 のメモリトランジスタと前記第 2 のメモリトランジスタはそれぞれ、2 ビット以上のデータを記憶することを特徴とする不揮発性メモリ。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 のメモリトランジスタと前記第 2 のメモリトランジスタはそれぞれ、2 つ以上のしきい値電圧を有することを特徴とする不揮発性メモリ。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記メモリセルを駆動する駆動回路を有し、

前記メモリセルと前記駆動回路は一体形成されることを特徴とする不揮発性メモリ。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本願発明は半導体不揮発性メモリに関する。特に、電氣的書き込み及び消去可能な半導体不揮発性メモリ（EEPROMまたはElectrically Erasable and Programmable Read Only Memory）に関する。また、本願発明はS O I（Silicon On Insulator）技術を用いて形成される薄膜トランジスタ（以下TFETという）で構成された半導体装置に関する。特に、半導体不揮発性メモリ、画素部および画素部の駆動回路が、絶縁表面を有する基板上に一体形成された半導体装置に関する。

【0002】

なお、本明細書において、電氣的書き込み及び消去可能な半導体不揮発性メモリ（EEPROM）とは、文字通り、電氣的な書き込みおよび電氣的な消去が可能な半導体不揮発性メモリの全体を指し、例えばフル機能EEPROM、フラッシュメモリをその範疇に含む。また、以下特に断りのない場合、不揮発性メモリおよび半導体不揮発性メモリはEEPROMと同義で用いる。また、本明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、例えば、液晶表示装置およびEL表示装置に代表される電気光学装置、および電気光学装置を搭載した電子機器をその範疇に含む。

【0003】

【従来の技術】

近年、携帯型コンピュータ、携帯電話といった携帯機器に代表される、多機能かつ高機能な小型の半導体装置が急速に普及している。そしてこれに伴い、半導体装置を構成するメモリとして半導体不揮発性メモリが注目されている。半導体不揮発性メモリは磁気ディスクと比べて、記憶容量の大きさに劣るものの、集積密度、耐衝撃性、消費電力、書き込み/読み出し速度、等の点において優れた特徴を有する。最近では、半導体不揮発性メモリの問題点であった書き換え回数やデータ保持時間において十分な性能を有するものが開発されるようになり、半導体不揮発性メモリを磁気ディスクの代替品として用いる動きが高まってきた。

【0004】

半導体不揮発性メモリは、大別するとフル機能EEPROMとフラッシュメモリの2つに分類される。フル機能EEPROMは、1ビット毎の消去が可能な半導体不揮発性メモリであり、書き込み、読みだし及び消去の動作を全て1ビット毎に行うことができる。フラッシュメモリと比して高い機能を有するが、集積度とコストにおいて劣る。一方、フラッシュメモリは、メモリ全体の一括消去またはメモリのブロック単位の消去を行う半導体不揮発性メモリであり、1ビット毎の消去動作を犠牲にして、高い集積密度と低コストを実

10

20

30

40

50

現している。

【0005】

ここでは従来の半導体不揮発性メモリとして、より高い機能を有するフル機能EEPROMを取り上げ、回路図、メモリセルの断面図および駆動方法について説明を行う。

【0006】

図4に従来のフル機能EEPROMの回路図を示す。図4においてフル機能EEPROMは、複数のメモリセル(1, 1) ~ (n, m)が縦m個×横n個のマトリクス状に配置されたメモリセルアレイ405、Xアドレスデコーダ401、Yアドレスデコーダ402、および他の周辺回路403、404によって構成されている。他の周辺回路としては、アドレスバッファ回路、コントロールロジック回路、センスアンプ、昇圧回路等が含まれ、必要に応じて設けられる。

10

【0007】

各メモリセル(代表として、メモリセル(i, j)を考える)(iは1以上n以下の整数、jは1以上m以下の整数)は、nチャンネル型のメモリトランジスタTr1とnチャンネル型の選択トランジスタTr2を有しており、これら2つのトランジスタは直列に接続されている。そして、メモリトランジスタTr1のソース電極とコントロールゲート電極は、ソース線Siとワード線Wjにそれぞれ接続され、選択トランジスタTr2のドレイン電極とゲート電極は、ビット線Biと選択線Vjにそれぞれ接続されている。また、ビット線B1 ~ BnはYアドレスデコーダ402に、ワード線W1 ~ Wmおよび選択線V1 ~ VmはXアドレスデコーダ401にそれぞれ接続され、ソース線S1 ~ Snには所定の電位Vsが全て共通に与えられている。

20

【0008】

各メモリセルが有するメモリトランジスタが1ビットのデータを記録する場合、図4に示すフル機能EEPROMはm×nビットの記憶容量を有する。

【0009】

データの書き込み、読み出しおよび消去は、Xアドレスデコーダ401およびYアドレスデコーダ402によって選択された1つのメモリセルにおいて行われる。メモリセル(1, 1)を例にとり、書き込み、読み出しおよび消去動作についての説明を行う。なお、本明細書において、書き込み動作はメモリトランジスタのフローティングゲート電極に電子を注入する操作を、消去動作はフローティングゲート電極から電子を放出する操作を表す。従って、書き込み動作によってメモリトランジスタのしきい値電圧は増加し、消去動作によってしきい値電圧は減少する。

30

【0010】

まず、メモリトランジスタTr1にデータを書き込む場合は、ソース線S1 ~ SnをGNDに落とし、ビット線B1およびワード線W1に、それぞれ正の高電圧(例えば20V)を印加する。また、選択線V1には選択トランジスタTr2がオンの状態となるような正の電圧(例えば20V)を印加する。このような条件下では、メモリトランジスタTr1のドレイン近傍で高電界が発生し、インパクトイオン化が起こる。さらにゲート方向にも高電界が生じるために、発生したホットエレクトロンはフローティングゲート電極に注入され、その結果、書き込みが行われる。メモリトランジスタTr1のしきい値電圧は、フローティングゲート電極に蓄積された電荷量に依存して変化する。

40

【0011】

メモリトランジスタTr1に記憶されたデータを読み出す場合は、ソース線S1 ~ SnをGNDに落とし、ワード線W1に所定の電圧(後述)を印加する。また、選択線V1には選択トランジスタがオンの状態となるような電圧を印加する(例えば5V)。そして、メモリトランジスタTr1のフローティングゲート電極に電荷が蓄積されている場合と蓄積されていない場合のしきい値電圧に応じて、メモリセルに記憶されているデータをビット線B1から読み出す。

【0012】

なお、所定の電圧は、消去された状態(フローティングゲート電極に電子が蓄積されてい

50

ない状態)におけるしきい値電圧と書き込まれた状態(フローティングゲート電極に電子が蓄積された状態)におけるしきい値電圧の間に設定すればよい。例えば、消去された状態のメモリトランジスタが2V以下のしきい値電圧を有し、書き込まれた状態のメモリトランジスタが、4V以上のしきい値電圧を有する場合には、所定の電圧として例えば3Vを用いることができる。

【0013】

メモリトランジスタTr1に記憶されたデータの消去を行う場合には、ソース線S1およびワード線W1をGNDに落とし、ビット線B1に正の高電圧(例えば20V)を印加する。また、選択線V1に正の高電圧(例えば20V)を印加し、選択トランジスタTr2をオンの状態とする。この時、メモリトランジスタTr1のゲート-ドレイン間に高い電位差が生じるため、フローティングゲート電極に蓄積されている電子がトンネル電流によってドレイン領域へ放出され、消去が行われる。

10

【0014】

なお、書き込み、読み出しおよび消去時において選択されていない信号線B2~Bn、W2~Wmの電位は全て0Vであるとする。また、上述した動作電圧の値は一例であって、その値に限られるわけではない。

【0015】

1ビット毎の動作を行うためには、選択したメモリセル(1,1)への書き込み、読み出しおよび消去時に、非選択のメモリセル(この場合、メモリセル(1,1)以外の全てのメモリセル)に書き込み、読み出しまたは消去が行われてはならない。実際に、1行目以外のメモリセルでは、選択線V2~Vnが0Vであるため選択トランジスタがオフの状態となり、メモリトランジスタへの書き込み、消去は行われず、読み出し時の影響もない。また、1列目以外のメモリセルにおいても、ソース線-ビット線間に電位差は生じないため、メモリセルへの書き込みは行われず、読み出し時の影響もない。ワード線-ビット線間に電位差が生じないため消去も行われない。

20

【0016】

以上のようにして、非選択のメモリセルを誤動作させることなく、選択したメモリセル(1,1)への書き込み、読み出しおよび消去動作が行われる。

【0017】

最後に、従来のフル機能EEPROMを構成するメモリセルの代表的な断面構造を図5に示す。図5において、メモリトランジスタTr1(nチャンネル型)および選択トランジスタTr2(nチャンネル型)が、p型のシリコン基板500上に形成されている。メモリトランジスタTr1は、シリコン基板500の表面付近に形成されたソース/ドレイン領域(高濃度n型不純物領域)501、502とチャンネル形成領域504、および第1のゲート絶縁膜506、フローティングゲート電極508、第2のゲート絶縁膜510、コントロールゲート電極511によって構成されている。選択トランジスタTr2は、シリコン基板500の表面付近に形成されたソース/ドレイン領域(高濃度n型不純物領域)502、503とチャンネル形成領域505、および第1のゲート絶縁膜507、ゲート電極509によって構成されている。また、層間膜512上に、コンタクトホールを通して、ソース配線513及びドレイン配線514が引き出されている。

30

40

【0018】

なお、図5において、メモリトランジスタTr1のドレイン領域502とフローティングゲート電極508は第1のゲート絶縁膜506を介して一部重なっている。この重なった領域は消去動作においてトンネル電流を流すための領域である。

【0019】

【発明が解決しようとする課題】

半導体不揮発性メモリがフル機能EEPROMとフラッシュメモリの2つに分類されることはすでに述べた。フル機能EEPROMは、1ビット毎の動作が可能であり、機能的に優れたメモリである。しかしながらフル機能EEPROMは、1ビットのデータを格納するメモリセルがメモリトランジスタと選択トランジスタの2つのトランジスタによって構

50

成されるため、メモリセル面積が大きく、集積密度が低いという問題がある。そしてこのことは、フル機能EEPROMの小型化と低コスト化の妨げとなっている。

【0020】

フラッシュメモリは、半導体不揮発性メモリにおいて、高い集積密度を実現した形態の一つということができる。フラッシュメモリを構成するメモリセルは1つのメモリトランジスタで構成されており、1ビット毎の消去動作を犠牲にして、高い集積密度を実現している。フラッシュメモリでは、一ビットのデータの書き換えを行うために全てのデータを消去しなければならない。そのため、フル機能EEPROMと比べて消費電力が大きく、また書き換え不要なメモリセルにおいても書き換えを行うために信頼性が低下する。もちろん1ビットの消去動作が必要な用途に対してフラッシュメモリを用いることはできない。

10

【0021】

このように見ても、半導体不揮発性メモリにおける最も重要な課題の1つは、集積密度の高いフル機能EEPROMを実現することである、ということが出来る。そのようなEEPROMは、小型化と低コスト化によって、従来のフル機能EEPROMの置き換えはもちろん、フラッシュメモリの置き換えや、高機能が必要とされる様々な用途に対しても不可欠なメモリとなることが予想される。

【0022】

本願発明は、上記の事情を鑑みてなされたものである。本願発明では、高い集積密度とそれに伴う小型化および低コスト化を可能とするフル機能EEPROMを提供することを課題とする。また、そのような半導体不揮発性メモリを、TFTによって構成される他の半導体装置の部品と絶縁表面を有する基板上に一体形成することにより、多機能あるいは高機能であり、小型の半導体装置を提供することを課題とする。

20

【0023】

【課題を解決するための手段】

従来のフル機能EEPROMは、メモリセルがメモリトランジスタと選択トランジスタの2つのトランジスタによって構成されるため、高い集積密度を実現することが困難である。この場合、集積密度の向上を妨げる原因は明白であり、メモリ機能を果たさない選択トランジスタが1ビットあたりの面積に加えられているためである。

【0024】

フラッシュメモリは、単にこの選択トランジスタを取り除くことで高集積化を実現した。しかし、メモリセルを選択する機能を果たす選択トランジスタを取り除いたために、その代償として1ビット毎の動作が完全ではなくなっている。本願発明の基本となる考え方は、高集積化を実現するために、選択トランジスタにメモリ機能を付加することにある。選択トランジスタとしての機能を残すことにより、1ビット毎の動作が可能な半導体不揮発性メモリを実現する。

30

【0025】

本願発明では、半導体不揮発性メモリを2つのメモリトランジスタからなるメモリセルによって構成する。メモリセルの回路構造は、従来のフル機能EEPROMにおいて、選択トランジスタをメモリトランジスタに置きかえたものである。

【0026】

本願発明の半導体不揮発性メモリは1ビット毎の動作が可能なフル機能EEPROMである。また、メモリセルを構成する2つのトランジスタが共にメモリ機能を有するため、1つのメモリセルは従来のフル機能EEPROMと比して2倍のデータを記憶することができる。従って、本願発明の半導体不揮発性メモリは、従来のフル機能EEPROMと同じメモリセル面積で2倍のメモリ容量を有し、また、1ビットあたりのメモリセル面積は半分となる。その結果、本願発明によって、高い集積密度とそれに伴う小型化および低コスト化を可能とするフル機能EEPROMを提供することが可能となる。

40

【0027】

また、本願発明の半導体不揮発性メモリは、特に新しい工程を必要とせず、マスク枚数も従来のフル機能EEPROMと同じである。従って、従来のフル機能EEPROMから本

50

願発明の不揮発性メモリへの変更は、技術的にもコスト的にも容易である。

【0028】

なお、本願発明では、半導体不揮発性メモリをシリコン基板上に形成しても、SOI基板上に形成しても、また、絶縁表面を有する基板上に形成しても構わない。

【0029】

特に、絶縁表面を有する基板上に形成されるメモリトランジスタ（以下、メモリTFTと呼ぶ）によって構成する場合には、TFTによって構成される任意の回路（代表的には、画素部、画素部の駆動回路）を有する半導体装置において、新たにメモリ部として本願発明の半導体不揮発性メモリを一体形成し、そのシステムに組み込むことにより、多機能または高機能、かつ小型の半導体装置を提供することが可能となる。

10

【0030】

以下に、本願発明の構成を示す。

【0031】

メモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルの駆動回路と、を少なくとも備えた不揮発性メモリであって、前記メモリセルは2つのメモリトランジスタを有することを特徴とする不揮発性メモリが提供される。

【0032】

メモリセルがマトリクス状に配置されたメモリセルアレイと、メモリセルの駆動回路と、複数の第1のワード線と、複数の第2のワード線と、複数のビット線と、複数のソース線と、を少なくとも備えた不揮発性メモリであって、

20

前記メモリセルは第1のメモリトランジスタと第2のメモリトランジスタとを有し、前記第1のメモリトランジスタと前記第2のメモリトランジスタとは直列に接続されており、

前記第1のメモリトランジスタのゲート電極は前記第1のワード線に接続されており、前記第2のメモリトランジスタのゲート電極は前記第2のワード線に接続されており、前記第1のメモリトランジスタのソース電極またはドレイン電極の残る一方は前記ビット線に接続されており、

前記第2のメモリトランジスタのソース電極またはドレイン電極の残る一方は前記ソース線に接続されていることを特徴とする不揮発性メモリが提供される。

30

【0033】

前記不揮発性メモリは1ビット毎の書き込み及び1ビット毎の消去が可能であることが好ましい。

【0034】

前記メモリセルへの書き込み及び消去はトンネル電流によって行われることが好ましい。

【0035】

書き込みを行うメモリセルに接続されるソース線とビット線とは、書き込み時において同電位であってもよい。

【0036】

前記第1及び前期第2のメモリトランジスタはそれぞれ、ソース領域と、ドレイン領域と、チャンネル形成領域と、第1のゲート絶縁膜と、フローティングゲート電極と、第2のゲート絶縁膜と、コントロールゲート電極と、を少なくとも備えており、

40

前記第1及び前期第2のメモリトランジスタにおいてそれぞれ、前記ソース領域または前記ドレイン領域のいずれか一方または両方と前記フローティングゲート電極とは、前記第1のゲート絶縁膜を介して一部重なっていることが好ましい。

【0037】

前記メモリセルを構成する2つのメモリトランジスタはいずれもnチャネル型トランジスタであってもよい。

【0038】

前記メモリセルを構成する2つのメモリトランジスタはいずれもpチャネル型トランジスタ

50

タであってもよい。

【0039】

前記メモリセルアレイと前記メモリセルの駆動回路は絶縁表面を有する基板上に一体形成することができる。

【0040】

絶縁表面を有する基板上に複数の画素がマトリクス状に配置された画素部と、前記複数の画素を駆動するTFTで構成された画素駆動回路と、請求項9に記載の不揮発性メモリと、を少なくとも備えた半導体装置であって、前記画素部と前記画素駆動回路と前記不揮発性メモリとは、前記絶縁表面を有する基板上に一体形成されることを特徴とする半導体装置が提供される。

10

【0041】

前記半導体装置として、液晶表示装置、或いはEL表示装置が提供される。

【0042】

前記半導体装置として、ディスプレイ、ビデオカメラ、DVDプレーヤー、ヘッドマウントディスプレイ、パーソナルコンピュータ、携帯電話、カーオーディオが提供される。

【0043】

【発明の実施の形態】

本願発明の不揮発性メモリの回路図、駆動方法及びメモリセルの断面構造について説明する。

【0044】

図1に本願発明の $m \times n$ ビット不揮発性メモリの回路図を示す(m 、 n はそれぞれ1以上の整数)。本実施の形態の不揮発性メモリは、 $m \times n$ 個のメモリセル(1,1)~(n , m)が縦 m 個×横 n 個のマトリクス状に配置されたメモリセルアレイ105、メモリセルアレイ105の駆動回路であるXアドレスデコーダ101とYアドレスデコーダ102、および他の周辺回路103、104によって構成される。また、各メモリセルは2つのメモリトランジスタ T_{r1} 及び T_{r2} によって構成される。それぞれのメモリトランジスタが1ビットのデータを記憶する場合には、本実施の形態の不揮発性メモリは $m \times n \times 2$ ビットの記憶容量を有する。また、他の周辺回路には、アドレスバッファ回路、コントロールロジック回路、センスアンプ、昇圧回路等が含まれ、必要に応じて設けられる。

20

【0045】

メモリトランジスタ T_{r1} 及び T_{r2} は n チャネル型または p チャネル型のいずれの導電型トランジスタでも良いが、本実施の形態では、 n チャネル型トランジスタとする(p チャネル型トランジスタについては実施例3を参照)。また、本実施の形態では1つのメモリトランジスタが1ビットのデータを記憶する場合を考えるが、多値技術により、1つのメモリトランジスタが2ビット以上のデータを記憶することも可能である。1つのメモリトランジスタが k ビット(k は1以上の整数)のデータを記憶する場合、本実施の形態の不揮発性メモリの記憶容量は、 $m \times n \times 2 \times k$ ビットとなる。

30

【0046】

本願発明の不揮発性メモリを構成するメモリトランジスタは、バルクシリコン基板、SOI基板及び絶縁表面を有する基板のいずれの基板上に形成されても構わない。また、メモリセルの駆動回路(本実施の形態では、Xアドレスデコーダ101とYアドレスデコーダ102)、および他の周辺回路103、104を同じ基板上に形成することにより、小型の不揮発性メモリを実現することができる。

40

【0047】

特に、本願発明の不揮発性メモリを、絶縁表面を有する基板上に形成されるメモリTFTによって構成する場合、TFTによって構成されるいかなる半導体装置の部品とも一体形成することが可能であり、多機能または高機能であり、小型の半導体装置を提供することができる(実施例5、6及び9参照)。

【0048】

図1において、各メモリセル(代表としてメモリセル(i , j))を考える(i は1以上

50

n以下の整数、jは1以上m以下の整数)は、それぞれ2つのメモリトランジスタTr1及びTr2を有しており、これら2つのメモリトランジスタTr1及びTr2は直列に接続されている。メモリトランジスタTr1のソース電極とコントロールゲート電極は、ソース線Siと第1のワード線Wajにそれぞれ接続され、メモリトランジスタTr2のドレイン電極とコントロールゲート電極は、ビット線Biと第2のワード線Wbjにそれぞれ接続されている。また、ビット線B1～Bnおよびソース線S1～SnはYアドレスデコーダ102に、第1のワード線Wa1～Wamおよび第2のワード線Wb1～WbmはXアドレスデコーダ101にそれぞれ接続されている。

【0049】

次に、本願発明の不揮発性メモリを構成するメモリセルの断面構造について説明する。図3に絶縁表面を有する基板上に形成されたメモリセルの断面構造の一例を示す。

【0050】

図3において、メモリセルを構成する2つのメモリTF T316及び317が絶縁表面を有する基板300上に形成されている。メモリTF T316は、ソース・ドレイン領域301、302およびチャネル形成領域304からなる半導体活性層、第1のゲート絶縁膜306、フローティングゲート電極308、第2のゲート絶縁膜310、およびコントロールゲート電極311によって構成されている。メモリTF T317も同様に、ソース・ドレイン領域302、303およびチャネル形成領域305からなる半導体活性層、第1のゲート絶縁膜307、フローティングゲート電極309、第2のゲート絶縁膜310、およびコントロールゲート電極312によって構成されている。また、層間膜313上に、

コンタクトホールを通して、ソース電極314、ドレイン電極315が引き出されている。

【0051】

また、メモリTF T316は、ソース領域301とフローティングゲート電極308が第1のゲート絶縁膜306を介して一部重なる領域を有しており、メモリTF T317は、ドレイン領域303とフローティングゲート電極309が第1のゲート絶縁膜307を介して一部重なる領域を有している。この領域(以下、オーバーラップ領域という)は、フローティングゲート電極・ソース・ドレイン領域間にトンネル電流を流すための領域である。後述するように、オーバーラップ領域の位置は不揮発性メモリの動作方法と関係する。

【0052】

本願発明の不揮発性メモリの特徴は、従来のフル機能EEPROMと比較して、選択トランジスタにメモリ機能を有するメモリトランジスタを用いることにある。その結果、本願発明の不揮発性メモリは、1つのメモリセルについて2ビットのデータを記憶することが可能であると共に、データの書き込み、読み出しおよび消去は完全に1ビット単位で行うことができる。

【0053】

この場合、特に書き込み動作において、従来のフル機能EEPROMとは異なる駆動方法を用いる。具体的には、ホットエレクトロン注入を行う代わりに、トンネル電流による書き込みを行う。その際、ソース線は、共通の電位を与えるのではなく、ビット線と同様にYアドレスでコーダへ接続し、選択的に電位を与えられる構造とすることが望ましい。以下に、メモリセル(1、1)を例にとって、メモリトランジスタTr1及びTr2のそれぞれにおける書き込み、読み出し及び消去の動作方法の説明を行う。

【0054】

まず、メモリトランジスタTr1にデータを書き込む場合は、例えば、ソース線S1及びビット線B1を-10V、第1のワード線Wa1を10V、第2のワード線Wb1を0Vとする。その結果、メモリトランジスタTr1はオンの状態となり、コントロールゲート電極・チャネル領域間に高い電位差が生じる。そして、トンネル電流によってチャネル領域からフローティングゲートへ電子が注入され、書き込みが行われる。また、第2のワード線Wb1は、メモリトランジスタTr2のコントロールゲート電極、ソース電極及びド

10

20

30

40

50

ライン電極の間の電位差（ストレスともいう）を小さく抑え、メモリトランジスタTr2において誤った書き込みが行われない値とすることが必要である。

【0055】

メモリトランジスタTr2への書き込みは、メモリトランジスタTr1への書き込みと同様に行うことができる。例えば、ソース線S1及びビット線B1を-10V、第1のワード線Wa1を0V、第2のワード線Wb1を10Vとすればよい。その結果、メモリトランジスタTr2のコントロールゲート電極-ドレイン電極間に高い電位差が生じ、トンネル電流によるフローティングゲートへの電子の注入（書き込み）が起こる。一方、メモリトランジスタTr1には、高々10V程度のストレスが加わるだけであり、書き込みは行われない。

10

【0056】

また、メモリセル(1,1)以外のメモリセル(非選択のメモリセルともいう)におけるストレスについても、高々10V程度であり、書き込みは行われない。

【0057】

次に、読み出し動作について述べる。メモリトランジスタTr1に記憶されたデータを読み出す場合には、例えば、ソース線S1に0V、第1のワード線Wa1に所定の電圧（後述）、第2のワード線Wb1にはメモリトランジスタTr2がオンの状態（例えば8V）となるような電圧を印加する。その結果、メモリトランジスタTr1の状態（オンまたはオフ）がしきい値電圧に応じて決まり、ソース線S1-ビット線B1間の導通状態（導通または非導通）が決まるため、メモリトランジスタTr1に記憶されているデータをビット線B1から読み出すことができる。

20

【0058】

なお、所定の電圧は、消去された状態（フローティングゲート電極に電子が蓄積されていない状態）におけるしきい値電圧と書き込まれた状態（フローティングゲート電極に電子が蓄積された状態）におけるしきい値電圧の間に設定すればよい。例えば、消去された状態のメモリトランジスタが-1V以上2V以下のしきい値電圧を有し、書き込まれた状態のメモリトランジスタが、4V以上7V以下のしきい値電圧を有する場合には、所定の電圧として例えば3Vを用いることができる。

【0059】

メモリトランジスタTr2に記憶されたデータを読み出す場合も同様である。例えば、ソース線S1を0V、第1のワード線Wa1にメモリトランジスタTr2がオンの状態（例えば8V）となるような電圧、第2のワード線Wb1には上述した所定の電圧（例えば3V）を印加するとよい。

30

【0060】

なお、選択するメモリセル(1,1)と同列の非選択のメモリセル(1,2)~(1,m)は、全て非導通状態であることが必要である。言い換えると、メモリセル(1,2)~(1,m)において、メモリトランジスタTr1またはTr2はオフの状態であることが必要である。特に、しきい値の分布が0V以下まで広がる場合には、上述した動作電圧によって誤動作を引き起こす可能性がある。この問題は幾つかの方法によって取り除くことができる。例えば、消去状態のメモリトランジスタのしきい値電圧の分布が-5V以上である場合には、読み出すメモリトランジスタをTr1として、ソース線S1を5V、第1のワード線Wa1に8V、第2のワード線Wb1に13Vとすることで、非選択のメモリトランジスタは全てオフの状態となり、誤動作は起こらない。この他、周辺回路としてペリファイ回路を設けることによって消去状態のしきい値電圧の分布を0V以上に制御する、メモリ素子をスプリットゲート構造とする、等の方法によっても読み出し時の誤動作を無くすことができる。

40

【0061】

最後にデータ消去について述べる。消去動作は、書き込み動作とは逆方向のトンネル電流を用いる。メモリトランジスタTr1において消去を行う場合、例えば、ソース線S1およびビット線B1を10V、第1のワード線Wa1を-10V、第2のワード線Wb1を

50

0 Vとする。この時、メモリトランジスタ $T r 1$ はオフの状態となり、コントロールゲート電極 - ソース電極間に高い電位差が生じる。その結果、コントロールゲート電極とソース電極間のオーバーラップ領域にトンネル電流が流れ、フローティングゲートからソース領域へ電子が放出される。つまり消去が行われる。

【0062】

メモリトランジスタ $T r 2$ において消去を行う場合も同様である。例えば、ソース線 $S 1$ 及びビット線 $B 1$ を 10 V、第1のワード線 $W a 1$ を 0 V、第2のワード線 $W b 1$ を -10 Vとすればよい。

【0063】

また、非選択のメモリセルにおいて、ストレスは高々10 V程度であり、誤った消去は行われ
10

【0064】

なお、上述した動作方法において、書き込み時および読み出し時において選択されていないビット線 $B 2 \sim B n$ 、ソース線 $S 2 \sim S n$ 、第1のワード線 $W a 2 \sim W a m$ 及び第2のワード線 $W b 2 \sim W b m$ の電位は全て0 Vであるとする。

【0065】

このように、本願発明の不揮発性メモリは1つのメモリセルについて2ビットのデータを記憶することが可能であると共に、データの書き込み、読み出しおよび消去は完全に1ビット単位で行うことができる。本願発明の不揮発性メモリは、フル機能EEPROMである。そして、1つのメモリトランジスタと1つの選択トランジスタとからなるメモリセル
20

【0066】

勿論、上述した動作電圧の値は、一例であって、その値に限られるわけではない。実際に、メモリトランジスタに印加される電圧は、メモリトランジスタの第1のゲート絶縁膜、第2のゲート絶縁膜、コントロールゲート電極とフローティングゲート電極との間の容量、オーバーラップ領域の大きさ、等に依存する。そしてメモリトランジスタの動作電圧もそれによって変化する。

【0067】

動作電圧の値は、選択するメモリセルにおいて書き込み、読みだし及び消去動作を行うのに必要な電位差を保ちつつ、非選択のメモリセルにおいて、誤動作を引き起こさない範囲
30

【0068】

なお、本実施の形態の動作方法では、ソース線に共通の電位を与えるのではなく、ソース線を駆動回路（本実施の形態では、Yアドレスデコーダ）に接続することで、ビット線と同様、選択的に電位を与えられる回路構造としている。このような回路構造とすることにより、周辺回路面積が多少増加する欠点はあるが、動作のマージンを広く確保することが可能となる。また、従来のフル機能EEPROMでは、消去時にソース・ドレイン間に大きな電位差が生じるために、消費電力が増加したり、回路への負荷が増大するといった問題があった。本実施の形態の駆動方法によると、消去時にソース線とビット線が同電位であるため、ソース・ドレイン間の電位差に起因する電流は流れることはなく、このような
40

【0069】

本願発明の不揮発性メモリは、複数のメモリトランジスタの消去及び書き込みを同時に行うこともできる。特に、1つのメモリセル（2つのメモリトランジスタ）、縦1列、横1行、縦複数列、横複数行、全メモリセル、等の単位で、消去及び書き込みを同時に行うことができる。例えば、1つのメモリセル（1、1）において、2つのメモリトランジスタ $T r 1$ 及び $T r 2$ への書き込みを同時に行う場合は、ソース線 $S 1$ 及びビット線 $B 1$ を -10 V、第1のワード線 $W a 1$ 及び第2のワード線 $W b 1$ を 10 Vとすればよい。また、消去を同時に行う場合は、ソース線 $S 1$ およびビット線 $B 1$ を 10 V、第1のワード線 $W a 1$ 及び第2のワード線 $W b 1$ を -10 Vとすればよい。
50

【0070】

(実施例1)

本実施例では、本願発明の不揮発性メモリの例として、pチャネル型メモリトランジスタによって構成される、2048ビットの不揮発性メモリを取り上げ、回路図及び駆動方法について説明を行う。

【0071】

図6に本実施例の不揮発性メモリの回路図を示す。図6に示した不揮発性メモリは、1024個のメモリセル(1,1)~(32,32)が縦32個×横32個のマトリクス状に配置されたメモリセルアレイ605、Xアドレスデコーダ601、Yアドレスデコーダ602、および他の周辺回路603、604によって構成される。各メモリセルは2つのpチャネル型メモリトランジスタTr1及びTr2によって構成される。各メモリトランジスタが1ビットのデータを記憶する場合、本実施例の不揮発性メモリは2048ビットの記憶容量を有する。また、他の周辺回路には、アドレスバッファ回路、コントロールロジック回路、センスアンプ、昇圧回路等が含まれ、必要に応じて設けられる。

【0072】

各メモリセル(代表としてメモリセル(i,j)を考える)(i,jは1以上32以下の整数)は、それぞれ2つのメモリトランジスタTr1及びTr2を有しており、これら2つのメモリトランジスタTr1及びTr2は直列に接続されている。メモリトランジスタTr1のソース電極とコントロールゲート電極は、ソース線Siと第1のワード線Wajにそれぞれ接続され、メモリトランジスタTr2のドレイン電極とコントロールゲート電極は、ビット線Biと第2のワード線Wbjにそれぞれ接続されている。また、ビット線B1~B32およびソース線S1~S32はYアドレスデコーダ602に、第1のワード線Wa1~Wa32および第2のワード線Wb1~Wb32はXアドレスデコーダ601にそれぞれ接続されている。

【0073】

本実施例の不揮発性メモリは、1つのメモリセルについて2ビットのデータを記憶することが可能であると共に、データの書き込み、読み出しおよび消去は完全に1ビット単位で行うことができる。その動作方法は、実施の形態で述べたnチャネル型不揮発性メモリの動作方法と同様、トンネル電流による書き込み及び消去を行う。以下に、pチャネル型不揮発性メモリの動作方法について簡単に述べる。

【0074】

書き込み動作及び消去動作は、実施の形態と同じ動作電圧を用いることができる。例えば、メモリセル(1,1)におけるメモリトランジスタTr1についての消去を行う場合、ソース線S1およびビット線B1を10V、第1のワード線Wa1を-10V、第2のワード線Wb1を0Vとするとよい。また、メモリセル(1,1)におけるメモリトランジスタTr1についての書き込みを行う場合、ソース線S1及びビット線B1を-10V、第1のワード線Wa1を10V、第2のワード線Wb1を0Vとするとよい。メモリトランジスタTr2について書き込みおよび消去を行う場合は、第1のワード線の電位と第2のワード線の電位を入れ換えるとよい。また、非選択のメモリセルにおけるストレスは、書き込み及び消去時において高々10V程度であり、誤った書き込み及び消去は行われ

【0075】

ない。書き込みおよび消去時において、pチャネル型メモリトランジスタは、nチャネル型メモリトランジスタとは逆の状態(オンまたはオフ)となる。つまり、pチャネル型では書き込みを行うメモリトランジスタはオフの状態となり、消去を行うメモリトランジスタはオンの状態となる。その結果、消去動作はチャネル領域を流れるトンネル電流によって行われ、書き込み動作はコントロールゲート電極とソース・ドレイン電極とのオーバーラップ領域を流れるトンネル電流によって行われる。上述した動作電圧を用いる場合、書き込み時のトンネル電流は、メモリトランジスタTr1のフローティングゲート電極-ソース領域間またはメモリトランジスタTr2のフローティングゲート電極-ドレイン領域間を流

れる。従って、オーバーラップ領域はメモリトランジスタTr1のフローティングゲート電極 - ソース領域間、およびメモリトランジスタTr2のフローティングゲート電極 - ドレイン領域間に形成することが必要である。

【0076】

次に、読み出し動作について、メモリセル(1, 1)を例にとって説明する。メモリトランジスタTr1に記憶されたデータを読み出す場合には、例えば、ソース線S1に0V、第1のワード線Wa1に所定の電圧(後述)、第2のワード線Wb1にはメモリトランジスタTr2がオンの状態(例えば-5V)となるような電圧を印加する。その結果、メモリトランジスタTr1のしきい値電圧に応じてメモリトランジスタTr1の状態(オンまたはオフ)が決まり、ソース線S1 - ビット線B1間の導通状態(導通または非導通)が決まるため、メモリトランジスタTr1に記憶されているデータをビット線B1から読み出すことができる。

10

【0077】

なお、所定の電圧は、消去された状態(フローティングゲート電極に電子が蓄積されていない状態)におけるしきい値電圧と書き込まれた状態(フローティングゲート電極に電子が蓄積された状態)におけるしきい値電圧の間に設定すればよい。例えば、消去された状態のメモリトランジスタが-4V以上-1V以下のしきい値電圧を有し、書き込まれた状態のメモリトランジスタが、1V以上4V以下のしきい値電圧を有する場合には、所定の電圧として例えば0Vを用いることができる。

【0078】

メモリトランジスタTr2に記憶されたデータを読み出す場合も同様である。例えば、ソース線S1を0V、第1のワード線Wa1にメモリトランジスタTr2がオンの状態(例えば-5V)となるような電圧、第2のワード線Wb1には上述した所定の電圧(例えば0V)を印加するとよい。

20

【0079】

なお、選択するメモリセル(1, 1)と同列の非選択のメモリセル(1, 2)~(1, 32)は、全て非導通状態であることが必要である。上述したしきい値電圧の分布を仮定すると、書き込まれた状態のメモリトランジスタのしきい値電圧は0V以上であるため、書き込まれた状態のメモリトランジスタを有するメモリセルは導通状態となり、誤動作の原因となる。このような誤動作を抑える方法としては、読み出すメモリトランジスタをTr1とした場合に、例えば、ソース線S1を-5V、第1のワード線Wa1を-5V、第2のワード線Wb1を-10Vとするとよい。この場合、メモリトランジスタTr1またはTr2のしきい値電圧が5V以下であれば誤動作は起こらない。その他、周辺回路としてベリファイ回路を設けたり、メモリ素子をスプリットゲート構造とする、等の方法によっても読み出し時の誤動作を抑えることができる。

30

【0080】

なお、上述した動作方法において選択されていないビット線B2~B32、ソース線S2~Sn、第1のワード線Wa2~Wa32及び第2のワード線Wb2~Wb32の電位は全て0Vであるとする。

【0081】

勿論、上述した動作電圧の値は、一例であって、その値に限られるわけではない。動作電圧の値は、選択するメモリセルにおいて書き込み、読みだし及び消去動作を行うのに必要な電位差を保ちつつ、非選択のメモリセルにおいて、誤動作を引き起こさない範囲であれば、どのような値であっても構わない。

40

【0082】

また、本実施例の不揮発性メモリは、複数のメモリトランジスタの消去または書き込みを同時に行うこともできる。例えば、1つのメモリセル(2つのメモリトランジスタを有する)、縦1列、横1行、縦複数列、横複数行、全メモリセル、等の単位で、消去または書き込みを同時に行うことができる。例えば、1つのメモリセル(1, 1)において、2つのメモリトランジスタTr1及びTr2への書き込みを同時に行う場合は、ソース線S1

50

及びビット線 B 1 を - 1 0 V、第 1 のワード線 W a 1 及び第 2 のワード線 W b 1 を 1 0 V とすればよい。また、消去を同時に行う場合は、ソース線 S 1 およびビット線 B 1 を 1 0 V、第 1 のワード線 W a 1 及び第 2 のワード線 W b 1 を - 1 0 V とすればよい。

【 0 0 8 3 】

(実施例 2)

本実施例では、本願発明の不揮発性メモリとして、実施の形態及び実施例 1 とは異なるメモリセル回路図と駆動方法の例を説明する。

【 0 0 8 4 】

図 7 は、本願発明の不揮発性メモリを構成するメモリセルの回路図である。図 7 において、フローティングゲート電極の窪みはオーバーラップ領域を表す。例えば、図 7 (A) において、メモリトランジスタ T r 1 のオーバーラップ領域はフローティングゲート電極 - ソース領域間に、メモリトランジスタ T r 2 のオーバーラップ領域はフローティングゲート電極 - ドレイン領域間に設けられている。また、図 7 (B) では、メモリトランジスタ T r 1 のオーバーラップ領域はフローティングゲート電極 - ドレイン領域間に、メモリトランジスタ T r 2 のオーバーラップ領域はフローティングゲート電極 - ソース領域間に設けられている。同様に、図 7 (C) では、メモリトランジスタ T r 1 のオーバーラップ領域もメモリトランジスタ T r 2 のオーバーラップ領域もフローティングゲート電極 - ドレイン領域間に設けられている。なお、実施の形態及び実施例 1 で説明した不揮発性メモリを構成するメモリセルは、図 7 (A) の構造を有する。

【 0 0 8 5 】

本実施例では、図 7 (B) 及び (C) のメモリセル構造を有する不揮発性メモリとその駆動方法についての説明を行う。図 7 に示した 3 つのメモリセルの違いはオーバーラップ領域の位置だけであるから、読み出し動作、n チャンネル型不揮発性メモリの書き込み動作、p チャンネル型不揮発性メモリの消去動作は、実施の形態及び実施例 1 と同じ動作方法を用いることができる。n チャンネル型不揮発性メモリの消去動作、p チャンネル型不揮発性メモリの書き込み動作については、オーバーラップ領域の位置に応じて、例えば以下に述べる動作電圧を用いることができる。

【 0 0 8 6 】

まず、図 7 (B) に示したメモリセルの回路図について述べる。n チャンネル型不揮発性メモリにおける、メモリトランジスタ T r 2 の消去動作としては、例えば、ソース線 S を 5 V、ビット線 B を 0 V、第 1 のワード線 W a を 1 3 V、第 2 のワード線 W b を - 1 5 V とするとよい。その結果、メモリトランジスタ T r 2 のオーバーラップ領域にトンネル電流が流れ、フローティングゲート電極に蓄積された電子がソース領域へ放出される。また、メモリトランジスタ T r 1 の消去を行う場合は、ソース線 S を 0 V、ビット線 B を 5 V、第 1 のワード線 W a を - 1 5 V、第 2 のワード線 W b を 1 3 V とすればよい。

【 0 0 8 7 】

この時、選択したメモリセルと同列の非選択メモリセルは、ソース線 - ビット線間に電位差が生じているため、非導通状態であることが必要である。上述した動作電圧を用いる場合には、メモリトランジスタ T r 1 または T r 2 のしきい値電圧が 0 V 以上であることが必要となる。非選択のメモリセルの導通を抑えるためには、メモリトランジスタ T r 2 の書き込みを行うとして、例えば、ソース線 S を 7 V、ビット線 B を 2 V、第 1 のワード線 W a を 1 5 V、第 2 のワード線 W b を - 1 3 V とすればよい。この場合、メモリトランジスタ T r 1 または T r 2 のしきい値電圧が - 2 V 以上であれば、非選択のメモリセルが導通することはない。なお、周辺回路としてペリファイ回路を設ける、メモリ素子をスプリットゲート構造とする、等の方法によっても、非選択メモリセルの導通を抑えることができる。

【 0 0 8 8 】

p チャンネル型不揮発性メモリにおける、メモリトランジスタ T r 2 の書き込み動作としては、例えば、ソース線 S を - 5 V、ビット線 B を 0 V、第 1 のワード線 W a を - 1 0 V、第 2 のワード線 W b を 1 5 V とするとよい。その結果、メモリトランジスタ T r 2 のオー

10

20

30

40

50

オーバーラップ領域にトンネル電流が流れ、ソース領域からフローティングゲート電極へ電子が注入される。また、メモリトランジスタTr1の書き込みを行う場合は、ソース線Sを0V、ビット線Bを-5V、第1のワード線Waを15V、第2のワード線Wbを-10Vとすればよい。

【0089】

なお、選択したメモリセルと同列の非選択メモリセルは、ソース線 - ビット線間に電位差が生じているため、非導通状態であることが必要であり、上述した動作電圧を用いる場合には、メモリトランジスタTr1またはTr2のしきい値電圧が0V以下であることが必要となる。非選択のメモリセルの導通を抑えるためには、メモリトランジスタTr2の書き込みを行うとして、例えば、ソース線Sを-10V、ビット線Bを-5V、第1のワード線Waを-15V、第2のワード線Wbを10Vとすればよい。この場合、メモリトランジスタTr1またはTr2のしきい値電圧が5V以下であれば、非選択のメモリセルが導通することはない。なお、周辺回路としてペリファイ回路を設ける、メモリ素子をスプリットゲート構造とする、等の方法によっても、非選択メモリセルの導通を抑えることができる。

10

【0090】

次に、図7(C)のメモリセルの回路図について述べる。図7(C)のメモリセルの回路図は、メモリトランジスタTr1及びTr2の両方において、オーバーラップ領域がフローティングゲート電極 - ドレイン領域間に設けられている。

20

【0091】

図7(C)のメモリセルの回路図を有する不揮発性メモリの書き込み及び消去動作は、図7(A)のメモリセルにおけるメモリトランジスタTr2の動作方法と、図7(B)のメモリセルにおけるメモリトランジスタTr1の動作方法を組み合わせればよい。つまり、nチャネル型不揮発性メモリにおいて、メモリトランジスタTr1の消去を行う場合は、図7(B)と同様に、ソース線Sを0V、ビット線Bを5V、第1のワード線Waを-15V、第2のワード線Wbを13Vとし、また、メモリトランジスタTr2の消去を行う場合は、図7(A)と同様に、ソース線S及びビット線Bを10V、第1のワード線Waを0V、第2のワード線Wbを-10Vとするとよい。また、pチャネル型不揮発性メモリにおいて、メモリトランジスタTr1の書き込みを行う場合は、図7(B)と同様に、ソース線Sを0V、ビット線Bを-5V、第1のワード線Waを15V、第2のワード線Wbを-10Vとし、また、メモリトランジスタTr2の書き込みを行う場合は、図7(A)と同様に、ソース線S及びビット線Bを-10V、第1のワード線Waを0V、第2のワード線Wbを10Vとするとよい。

30

【0092】

図7(C)のようなメモリセルの回路構成とすることによって、アライメントずれによるオーバーラップ領域の大きさのバラツキを抑えることができる。図7(A)や(B)のメモリセルの回路構成では、オーバーラップ領域の製造工程においてアライメントずれが生じると、メモリトランジスタTr1のオーバーラップ領域とメモリトランジスタTr2のオーバーラップ領域が異なった大きさになってしまう。その結果、書き込み速度と消去速度にばらつきが生じるといった問題が生じる。図7(C)のようなメモリセルの回路構成では、そのような問題は起こらない。

40

【0093】

なお、図示していないが、メモリトランジスタTr1およびTr2の両方において、オーバーラップ領域がフローティングゲート電極 - ソース領域間に設けられているメモリセルについても、図7(A)と(B)のメモリセルの動作方法を組み合わせることによって、書き込み及び消去動作を行うことができる。

【0094】

また、オーバーラップ領域は、ソース領域側及びドレイン領域側の両側に設けられていても構わない。この場合、図7(A)及び(B)の動作方法を自由に組み合わせることができる。オーバーラップ領域を両側に設けることによって、一つのオーバーラップ領域に流

50

れるトンネル電流を低減し、トンネル電流によるメモリトランジスタの劣化を抑えることができる。

【0095】

また、オーバーラップ領域は、特に設けなくてもよい。この場合、オーバーラップ領域にトンネル電流を流す場合と比較して、より高電圧の書き込み動作と消去動作が必要となる。

【0096】

勿論、上述した動作電圧の値は、一例であって、その値に限られるわけではない。動作電圧の値は、選択するメモリセルにおいて書き込み、読みだし及び消去動作を行うのに必要な電位差を保ちつつ、非選択のメモリセルにおいて、誤動作を引き起こさない範囲であれば、どのような値であっても構わない。

10

【0097】

(実施例3)

本実施例では、本願発明の不揮発性メモリを構成するメモリセルの上面構造について説明する。図2は4つのメモリセルの上面図の一例であり、例えば、実施の形態や実施例1及び2で説明した不揮発性メモリを構成するメモリセルアレイの一部分を図示したものと考えることができる。

【0098】

説明は左上のメモリセルについてのみ行う。まず、領域201は半導体活性領域である。半導体活性領域とは、シリコン基板上に形成される半導体活性領域、および絶縁表面を有する基板上またはSOI基板上に形成される半導体活性層を指す。領域204及び205はフローティングゲート電極であり、配線206と207はそれぞれソース線とビット線である。図中において、黒く塗りつぶされている部分は、その下部の配線あるいは半導体層とコンタクトをとっていることを示している。また、第1のワード線202と第2のワード線203は、それぞれフローティングゲート電極204及び205を覆うように配線されており、コントロールゲート電極を兼ねている。

20

【0099】

なお、図2では、ソース線206及びビット線207を半導体活性領域と重ならないように設けているが、ソース線206及びビット線207と半導体活性領域を重ねても構わない。そうすることによって、ソース線及びビット線の間隔をさらに小さくし、メモリセル面積を縮小することが可能である。

30

【0100】

勿論、本願発明の不揮発性メモリを構成するメモリセルの上面構造は図2に限られるわけではない。実施の形態、実施例1および2に示した回路図であれば、他のどのような上面図であっても構わない。

【0101】

なお、実施の形態に示した断面構造(図3)は、例えば、図2に示したメモリセルの上面図の線分ABに関する断面構造と考えることができる。

【0102】

【実施例】

40

(実施例4)

本実施例では、本願発明の不揮発性メモリを絶縁表面を有する基板上に作製する方法について、図8～図10を用いて説明する。不揮発性メモリを構成するTFETとして、メモリセルを構成する2つのメモリTFET(nチャネル型TFET)、ならびにメモリセルの駆動回路やその他の周辺回路として代表的なCMOS回路を構成する2つのTFET(pチャネル型TFETおよびnチャネル型TFET)を例にとって説明する。

【0103】

以下に示す作製方法によると、本願発明の不揮発性メモリは、薄膜技術を用いて作製され得るいかなる半導体装置の部品とも、一体形成され得ることが理解される。

【0104】

50

また、本願発明の不揮発性メモリおよび不揮発性メモリを具備する半導体装置は、結晶性の優れた半導体活性層を備えたTFTによって構成されることが望ましく、非晶質の半導体活性膜を備えたTFTでは不十分である場合が多い。これは、不揮発性メモリの信頼性の点から良好なゲート絶縁膜が必要となること、良好なゲート絶縁膜は結晶性の優れた半導体活性層上に形成されること、また、周辺回路および他の半導体部品を構成するTFTには、移動度、しきい値電圧等において好特性が要求されること、等の理由による。本実施例の作製方法によって得られるTFTは、結晶性の優れた半導体活性層を有し、本願発明の不揮発性メモリおよび半導体装置を構成するのに十分な性能を備えている。

【0105】

まず、絶縁表面を有する基板として石英基板801を準備する(図8(A))。石英基板の代わりに絶縁膜として窒化珪素膜を形成した石英基板、熱酸化膜を形成したシリコン基板、セラミックス基板等を用いても良い。

10

【0106】

次に、厚さ55nmの非晶質珪素膜802を公知の成膜法で形成する(図8(A))。なお、非晶質珪素膜に限定する必要はなく、非晶質半導体膜(微結晶半導体膜、および非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜を含む)であれば良い。

【0107】

次に、非晶質珪素膜802の結晶化工程を行う。ここから図8(C)までの工程は本出願人による特開平10-247735号公報を引用することができる。同公報ではNi等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

20

【0108】

まず、開口部815、816を有する保護膜811~813(本実施例では150nm厚の酸化珪素膜)を形成する。そして、保護膜811~813の上にスピンコート法によりニッケル(Ni)を含有する層(Ni含有層という)814を形成する。なお、レジスタマスクを利用したイオン注入法、プラズマドーピング法またはスパッタ法を用いてもよい。

【0109】

また、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、白金(Pt)、銅(Cu)、金(Au)、ゲルマニウム(Ge)、鉛(Pb)、インジウム(In)等を用いることができる。

【0110】

次に、図8(C)に示すように、不活性雰囲気中で570、14時間の加熱処理を加え、非晶質珪素膜802の結晶化を行う。この際、結晶化はNiが接した領域(Ni添加領域という)821、822を起点として、基板と概略平行に進行する。このようにして形成された結晶性珪素膜823は、個々の結晶が比較的揃った状態で集合しているため、全体的な結晶性に優れるという利点がある。なお、加熱処理温度は、好ましくは500~700(代表的には550~650)とし、処理時間は、好ましくは4~24時間とすればよい。

30

【0111】

次に、図8(D)に示すように、保護膜811~813をそのままマスクとして15族に属する元素(好ましくはリン)をNi添加領域821、822に添加する。こうして高濃度にリンが添加された領域(リン添加領域という)831、832が形成される。

40

【0112】

そして図8(D)に示すように、不活性雰囲気中で600、12時間の加熱処理を加える。この熱処理は、リンによる金属元素(本実施例ではNi)のゲッターリング工程であり、最終的には殆ど全てのNiは矢印が示すようにリン添加領域831、832に捕獲されてしまう。この工程により結晶性珪素膜833中に残るNiの濃度はSIMS(質量二次イオン分析)による測定値で少なくとも 2×10^{17} atoms/cm³にまで低減される。

【0113】

こうして触媒を用いて結晶化され、且つ、その触媒がTFTの動作に支障を与えないレベルにまで低減された結晶性珪素膜833が得られる。その後、保護膜811~813を除

50

去し、リン添加領域 8 3 1、8 3 2 を含まない、結晶性珪素膜 8 3 3 のみを用いた島状半導体層（以下、半導体活性層という）9 0 1 ~ 9 0 3 をパターンニング工程により形成する（図 9（A））。

【0114】

次に、図 9（B）に示すように、半導体活性層 9 0 1 のうち、後にメモリ T F T のオーバーラップ領域となる領域と、ソース・ドレイン領域となる領域の一部と、を除く領域をレジストマスク 9 1 1 ~ 9 1 3 で覆い、n 型を付与する不純物元素（n 型不純物元素ともいう）の添加を行う（図 9（B））。この工程により形成される n 型不純物領域 9 1 4、9 1 5 には、n 型不純物元素が $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$ ）の濃度で含まれるようにドーズ量を調節する。n 型不純物元素としては、リン（P）や砒素（As）を用いればよく、本実施例ではリン（P）を用いる。

10

【0115】

その後、レジストマスク 9 1 1 ~ 9 1 3 を除去し、珪素を含む絶縁膜でなる第 1 のゲート絶縁膜 9 2 1 を形成する（図 9（C））。第 1 のゲート絶縁膜 9 2 1 の膜厚は後の熱酸化工程による増加分も考慮して 10 ~ 250 nm の範囲で調節すれば良い。なお、メモリ T F T を構成する第 1 のゲート絶縁膜の厚さを 10 ~ 50 nm とし、その他の素子を形成する第 1 のゲート絶縁膜の厚さを 50 ~ 250 nm としてもよい。また、成膜方法は公知の気相法（プラズマ C V D 法、スパッタ法等）を用いれば良い。本実施例では、40 nm 厚の窒化酸化シリコン膜をプラズマ C V D 法により形成する。

20

【0116】

次に、酸化雰囲気中で 9 5 0、1 時間の加熱処理を加え、熱酸化工程を行う。この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、半導体活性層の膜厚は、最終的に 40 nm となる。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体 / 絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良（エッジシニング）を防ぐ効果もある。

【0117】

次に、200 ~ 400 nm の導電膜を形成し、パターンニングを行いゲート電極 9 2 2 ~ 9 2 5 を形成する（図 9（C））。この時、メモリ T F T のゲート電極 9 2 2、9 2 3（後にフローティングゲート電極となる）は、n 型不純物領域 9 1 4、9 1 5 とゲート絶縁膜 9 2 1 を介して一部重なるように形成する。この重なった領域は、メモリ T F T のオーバーラップ領域となる。

30

【0118】

なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物でなる膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的には Mo - W 合金、Mo - Ta 合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。

40

【0119】

本実施例では、50 nm 厚の窒化タングステン（WN）膜と、350 nm 厚のタングステン（W）膜とでなる積層膜をスパッタ法により形成する。なお、スパッタガスとしてキセノン（Xe）、ネオン（Ne）等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0120】

次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としては n 型ならばリン（P）または砒素（As）、p 型ならばボロン（B）、ガリウム（Ga）またはイン

50

ジウム (In) 等を用いれば良い。

【0121】

まず、図9(D)に示すように、ゲート電極922~925をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加し、低濃度不純物領域(n-領域)931~935を形成する。この低濃度不純物領域は、リンの濃度が 1×10^{17} atoms/cm³~ 1×10^{19} atoms/cm³となるように調節する。

【0122】

次に、図10(A)に示すように、pチャネル型TFTの全体、およびnチャネル型TFTの一部を覆う形でレジストマスク1005、1006を形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域1007~1011を形成する。この時、n型不純物元素の濃度は 1×10^{20} ~ 1×10^{21} atoms/cm³(代表的には 2×10^{20} ~ 5×10^{20} atoms/cm³)となるように調節する。

10

【0123】

この工程によってメモリTFTのソース・ドレイン領域1007、1009、CMOSを構成するnチャネル型TFTのソース・ドレイン領域1010、1011および、LDD領域1012が形成される。

【0124】

次に、図10(B)に示すように、レジストマスク1005、1006を除去し、新たにレジストマスク1013、1014を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域1015、1016を形成する。ここではジボラン(B₂H₆)を用いたイオンドープ法により 1×10^{20} ~ 1×10^{21} atoms/cm³(代表的には 2×10^{20} ~ 5×10^{20} atoms/cm³)の濃度となるようにボロンを添加する。こうしてpチャネル型TFTのソース・ドレイン領域1015、1016が形成される(図10(B))。

20

【0125】

次に、レジストマスク1013、1014を除去し、ゲート電極922~924をマスクとしてゲート絶縁膜921をドライエッチング法によりエッチングした後に、珪素を含む絶縁膜1021を形成する(図10(C))。絶縁膜1021は、メモリTFTにおいて、フローティングゲート電極とコントロールゲート電極の間の第2のゲート絶縁膜となる。絶縁膜1021の膜厚は10~250nmとすれば良い。また、成膜方法は公知の気相法(プラズマCVD法、スパッタ法等)を用いれば良い。なお、本実施例では、70nm厚の窒化酸化珪素膜をプラズマCVD法により形成する。

30

【0126】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール、レーザーアニール、ランプアニール、またはこれらを組み合わせた方法を用いるとよい。本実施例では電熱炉において窒素雰囲気中、550、4時間の熱処理を行う。またこの時、添加工程で受けた活性層の損傷も修復される。

【0127】

次に、200~400nmの導電膜を形成し、パターンングを行いコントロールゲート電極1022、1023を形成する(図10(C))。コントロールゲート電極1022、1023は、絶縁膜1021を介してフローティングゲート電極の一部または全体と重なるように形成する。

40

【0128】

なお、コントロールゲート電極1022、1023は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。本実施例では、50nm厚の窒化タングステン(WN)膜と、350nm厚のタングステン(W)膜とでなる積層膜をスパッタ法で形成する。スパッタガスとしてキセノン(Xe)、ネオン(Ne)等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0129】

50

次に、層間絶縁膜 1031 を形成する（図 10（D））。層間絶縁膜 1031 としては珪素を含む絶縁膜、有機性樹脂膜、或いはその組み合わせによる積層膜を用いれば良い。また、膜厚は 400 nm ~ 1500 nm とすれば良い。本実施例では、500 nm 厚の窒化酸化珪素膜とする。

【0130】

次に、図 10（D）に示すように、層間絶縁膜 1031、及び絶縁膜 1021 に対してコンタクトホールを形成し、ソース・ドレイン配線 1032 ~ 1036 を形成する。なお、本実施例では、Ti 膜を 100 nm、Ti を含むアルミニウム膜を 300 nm、Ti 膜 150 nm をスパッタ法で連続形成した 3 層構造の積層膜とする。勿論、他の公知の導電膜でも良い。

10

【0131】

最後に、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 °C、1 ~ 12 時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不对結合手を水素終端する工程である。本実施例では、350 °C の水素雰囲気中で 2 時間の熱処理を行い水素化処理を行う。また、水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0132】

以上の工程によって、図 10（D）に示す様な断面構造を有する TFT を作製することができる。また、本実施例は、オーバーラップ領域を形成する位置を必要に応じて変えることで、実施例 1 ~ 3 のいずれの構成とも組み合わせることが可能である。

20

【0133】

（実施例 5）

本願発明の不揮発性メモリは、絶縁表面を有する基板上に形成された TFT によって構成された半導体装置の部品と一体形成することにより、多機能、高機能、および小型の半導体装置を提供することができる。本実施例では、そのような例として、本願発明の不揮発性メモリ、画素部、画素部の駆動回路、（ガンマ）補正回路を備えた電気光学装置（代表的には、液晶表示装置および EL 表示装置）を示す。

【0134】

補正回路とは 補正を行うための回路である。補正とは画像信号に適切な電圧を付加することによって、画素電極に印加される電圧とその上の液晶又は EL 層の透過光強度との間に線形関係を作るための補正である。

30

【0135】

図 11 は、上記電気光学装置のブロック図であり、本願発明の不揮発性メモリ 1102 と、画素部 1105 と、画素部の駆動回路であるゲート信号側駆動回路 1103 およびソース信号側駆動回路 1104 と、（ガンマ）補正回路 1101 と、が設けられている。また、画像信号、クロック信号若しくは同期信号等は、FPC（フレキシブルプリントサーキット）1106 経由して送られてくる。

【0136】

また、本実施例の電気光学装置は、例えば実施例 4 の作製方法によって絶縁表面を有する基板上に一体形成することができる。なお、液晶または EL 層の形成を含む TFT 形成後の工程については公知の方法を用いればよい。

40

【0137】

また、画素部 1105、画素部の駆動回路 1103、1104、および（ガンマ）補正回路 1101 については、公知の回路構造を用いれば良い。

【0138】

本実施例の電気光学装置において、不揮発性メモリ 1102 には、パソコン本体やテレビ受信アンテナ等から送られてきた画像信号に 補正をかけるための補正データが格納（記憶）されている。補正回路 1101 は、その補正データを参照して画像信号に対する補正を行う。

【0139】

50

補正のためのデータは電気光学装置を出荷する前に一度格納しておけば良いが、定期的に補正データを書き換えることも可能である。また、同じように作製した電気光学装置であっても、微妙に液晶の光学応答特性（先の透過光強度と印加電圧の関係など）が異なる場合がある。その場合も、本実施例では電気光学装置毎に異なる補正データを格納しておくことが可能なので、常に同じ画質を得ることが可能である。

【0140】

さらに、不揮発性メモリに複数の補正データを格納して、新たに制御回路を加えることにより、補正データに基づく複数の色調を自由に選択することも可能である。

【0141】

なお、不揮発性メモリ1102に補正の補正データを格納する際、本出願人による特願平11-143379号に記載された手段を用いることは好ましい。また、補正に関する説明も同出願になされている。また、不揮発性メモリに格納する補正データはデジタル信号であるので、必要に応じてD/Aコンバータ若しくはA/Dコンバータを同一基板上に形成することが望ましい。

【0142】

なお、本実施例の構成は、実施例1～4のいずれの構成とも自由に組み合わせて実施することができる。

【0143】

(実施例6)

本願発明の不揮発性メモリを具備する半導体装置であって、実施例5に示した半導体装置とは異なる例を、図12を用いて説明する。

【0144】

図12に、本実施例の電気光学装置（代表的には、液晶表示装置およびEL表示装置）のブロック図を示す。本実施例の電気光学装置には、本願発明の不揮発性メモリ1203と、SRAM1202と、画素部1206と、画素部の駆動回路であるゲート信号側駆動回路1204およびソース信号側駆動回路1205と、メモリコントローラ回路1201と、が設けられている。また、画像信号、クロック信号若しくは同期信号等は、FPC（フレキシブルプリントサーキット）1207経由して送られてくる。

【0145】

本実施例におけるメモリコントローラ回路1201とは、SRAM1202および不揮発性メモリ1203に画像データを格納したり読み出したりという動作を制御するための制御回路である。

【0146】

SRAM1202は高速なデータの書き込みを行うために設けられている。SRAMの代わりにDRAMを設けてもよく、また、高速な書き込みが可能な不揮発性メモリであれば、SRAMを設けなくてもよい。

【0147】

本実施例の電気光学装置は、例えば実施例4の作製方法によって絶縁表面を有する基板上に一体形成することができる。なお、液晶またはEL層の形成を含むTFT形成後の工程については公知の方法を用いて作製すれば良い。また、SRAM1202、画素部1206、ゲート信号側駆動回路1204、ソース信号側駆動回路1205、およびメモリコントローラ回路1201については、公知の回路構造を用いれば良い。

【0148】

本実施例の電気光学装置において、パソコン本体やテレビ受信アンテナ等から送られてきた画像信号は、1フレーム毎にSRAM1202に格納（記憶）され、その画像信号はメモリコントローラ回路1201によって順次画素部1206に入力され表示される。SRAM1202には少なくとも画素部1206に表示される画像1フレーム分の画像情報が記憶される。例えば、6ビットのデジタル信号が画像信号として送られてくる場合、少なくとも画素数×6ビットに相当するメモリ容量を必要とする。また、メモリコントローラ回路1201により、必要に応じて、SRAM1202に格納された画像信号を不揮発性

10

20

30

40

50

メモリ 1203へ格納したり、不揮発性メモリ 1203に格納された画像信号を画素部 1206へ入力し表示したりすることができる。

【0149】

なお、SRAM 1202および不揮発性メモリ 1203に格納する画像データはデジタル信号であるので、必要に応じてD/Aコンバータ若しくはA/Dコンバータを同一基板上に形成することが望ましい。

【0150】

本実施例の構成では、画素部 1206に表示された画像を常にSRAM 1202に記憶しており、画像の一時停止を容易に行うことができる。さらにSRAM 1202に記憶された画像信号を不揮発性メモリ 1203へ格納したり、不揮発性メモリ 1203に記憶された画像信号を画素部へ入力することによって、画像の録画および再生といった動作を容易に行うことができる。そして、ビデオデッキ等に録画することなくテレビ放送を自由に一時停止することや、録画、再生を行うことが可能となる。

10

【0151】

録画および再生可能な画像の情報量は、SRAM 1202と不揮発性メモリ 1203の記憶容量に依存する。少なくとも1フレーム分の画像信号を格納することにより、静止画の録画と再生が可能となる。さらに、数百フレーム、数千フレーム分といった画像情報を格納しうる程度まで不揮発性メモリ 1203のメモリ容量を増やすことができれば、数秒若しくは数分前の画像を再生(リプレイ)することも可能となる。

【0152】

20

なお、本実施例の構成は、実施例 1~5のいずれの構成とも自由に組み合わせて実施することができる。

【0153】

(実施例 7)

本願発明の不揮発性メモリは、TFTで構成された半導体装置の部品と一体形成することによって、実施例 5、6に示したような多機能、高機能および小型の電気光学装置を提供することが可能となる。本願発明の不揮発性メモリと一体形成を行う半導体装置の例としては、アクティブマトリクス型またはパッシブマトリクス型の液晶表示装置、アクティブマトリクス型またはパッシブマトリクス型のEL表示装置等が挙げられる。本実施例ではアクティブマトリクス型液晶表示装置について述べる。

30

【0154】

図 13(A)はアクティブマトリクス型液晶表示装置の回路図である。図 13(A)において、アクティブマトリクス型液晶表示装置は、画素 1304がマトリクス状に配置された画素部 1301と、ソース信号側駆動回路 1302と、ゲート信号側駆動回路 1303とを有する。

【0155】

また、画素部 1301を構成する画素 1304の拡大図を図 13(B)に示す。画素 1304は、スイッチング用TFT 1311、液晶素子 1314およびコンデンサ 1315を有し、スイッチング用TFT 1311のゲート電極はゲート信号線 1312に、ソース電極とドレイン電極のいずれか一方がソース信号線 1313に接続されている。スイッチング用TFT 1311のソース電極とドレイン電極の残る一方は、液晶 1314およびコンデンサ 1315に接続されている。また、液晶素子 1314およびコンデンサ 1315の残る一方の電極には所定の電位が与えられる。

40

【0156】

なお、コンデンサ 1315の電極の一方は、配線 1316に接続せずに、専用の電源供給線に接続しても構わない。さらに、コンデンサ 1315を設けなくても良い。また、スイッチング用TFT 1311はnチャネル型TFTでもpチャネル型TFTでもよい。

【0157】

なお、本願発明の不揮発性メモリを本実施例のアクティブマトリクス型液晶表示装置に一体形成する場合、実施例 1~6のいずれの構成を組み合わせても良い。

50

【 0 1 5 8 】

(実施例 8)

本実施例では、本願発明の不揮発性メモリと一体形成を行う半導体装置の例として、アクティブマトリクス型 E L 表示装置について述べる。

【 0 1 5 9 】

図 1 4 (A) はアクティブマトリクス型 E L 表示装置の回路図である。図 1 4 (A) において、アクティブマトリクス型 E L 表示装置は、画素 1 4 0 4 がマトリクス状に配置された画素部 1 4 0 1 と、ソース信号側駆動回路 1 4 0 2 と、ゲート信号側駆動回路 1 4 0 3 とを有する。

【 0 1 6 0 】

また、画素部 1 4 0 1 を構成する画素 1 4 0 4 の拡大図を図 1 4 (B) に示す。画素 1 4 0 4 は、スイッチング用 T F T 1 4 1 1、E L 駆動用 T F T 1 4 1 4、E L 素子 1 4 1 6 を有し、スイッチング用 T F T 1 4 1 1 のゲート電極はゲート信号線 1 4 1 2 に、ソース電極とドレイン電極のいずれか一方がソース信号線 1 4 1 3 に接続されている。スイッチング用 T F T 1 4 1 1 のソース電極とドレイン電極の残る一方は、E L 駆動用 T F T 1 4 1 4 のゲート電極に接続されている。また、E L 駆動用 T F T 1 4 1 4 のソース電極が電源供給線 1 4 1 5 に、ドレイン電極が E L 素子 1 4 1 6 に接続されている。E L 素子 1 4 1 6 のもう一方の電極には所定の電位が与えられる。

【 0 1 6 1 】

なお、E L 駆動用 T F T 1 4 1 4 のゲート電極と電源供給線 1 4 1 5 の間にコンデンサを設けてもよい。また、E L 駆動用 T F T として n チャンネル型 T F T を用いる。スイッチング用 T F T 1 4 1 1 は n チャンネル型 T F T でも p チャンネル型 T F T でもよい。

【 0 1 6 2 】

なお、本願発明の不揮発性メモリを本実施例のアクティブマトリクス型 E L 表示装置に一体形成する場合、実施例 1 ~ 6 のいずれの構成を組み合わせても良い。

【 0 1 6 3 】

(実施例 9)

本願発明の不揮発性メモリには、様々な用途がある。本実施例では、本願発明の不揮発性メモリを用いた電子機器について説明する。

【 0 1 6 4 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター (リア型またはフロント型)、ヘッドマウントディスプレイ、ゴーグル型ディスプレイ、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等) などが挙げられる。それらの一例を図 1 5、1 6 に示す。

【 0 1 6 5 】

図 1 5 (A) はディスプレイであり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3 等を含む。本願発明の不揮発性メモリは、表示部 2 0 0 3 やその他の信号制御回路と一体形成されてもよい。

【 0 1 6 6 】

図 1 5 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 で構成される。本願発明の不揮発性メモリは、表示部 2 1 0 2 やその他の信号制御回路と一体形成されてもよい。

【 0 1 6 7 】

図 1 5 (C) はヘッドマウントディスプレイの一部 (右片側) であり、本体 2 2 0 1、信号ケーブル 2 2 0 2、頭部固定バンド 2 2 0 3、表示部 2 2 0 4、光学系 2 2 0 5、表示装置 2 2 0 6 等を含む。本願発明の不揮発性メモリは表示装置 2 2 0 6 やその他の信号制御回路と一体形成されてもよい。

【 0 1 6 8 】

図 1 5 (D) は記録媒体を備えた画像再生装置 (具体的には D V D 再生装置) であり、本

10

20

30

40

50

体 2 3 0 1、記録媒体 2 3 0 2、操作スイッチ 2 3 0 3、表示部 2 3 0 4、2 3 0 5 等で構成される。なお、この装置は記録媒体として D V D (Digital Versatile Disc)、C D 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明の不揮発性メモリは表示部 2 3 0 4 やその他の信号制御回路と一体形成されてもよい。

【 0 1 6 9 】

図 1 5 (E) はゴーグル型ディスプレイであり、本体 2 4 0 1、表示部 2 4 0 2、アーム部 2 4 0 3 を含む。本願発明の不揮発性メモリは表示部 2 4 0 2 やその他の信号制御回路と一体形成されてもよい。

【 0 1 7 0 】

図 1 5 (F) はパーソナルコンピュータであり、本体 2 5 0 1、筐体 2 5 0 2、表示部 2 5 0 3、キーボード 2 5 0 4 等で構成される。本願発明の不揮発性メモリは、表示部 2 5 0 3 やその他の信号制御回路と一体形成されてもよい。

【 0 1 7 1 】

図 1 6 (A) は携帯電話であり、本体 2 6 0 1、音声出力部 2 6 0 2、音声入力部 2 6 0 3、表示部 2 6 0 4、操作スイッチ 2 6 0 5、アンテナ 2 6 0 6 等を含む。本願発明の不揮発性メモリは表示部 2 6 0 4 やその他の信号制御回路と一体形成されてもよい。

【 0 1 7 2 】

図 1 6 (B) は音響再生装置、具体的にはカーオーディオであり、本体 2 7 0 1、表示部 2 7 0 2、操作スイッチ 2 7 0 3、2 7 0 4 等を含む。本願発明の不揮発性メモリは表示部 2 7 0 2 やその他の信号制御回路と一体形成されてもよい。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。

【 0 1 7 3 】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 8 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 1 7 4 】

【発明の効果】

本願発明の不揮発性メモリは、メモリセルを 2 つのメモリトランジスタによって構成することにより、メモリセルを 1 つのメモリトランジスタと 1 つの選択トランジスタによって構成する従来のフル機能 E E P R O M 同様の機能を保ちつつ、同じメモリセル面積で 2 倍のメモリ容量を実現することが可能となる。

【 0 1 7 5 】

その結果、集積密度が高く、従って小型で低コストなフル機能 E E P R O M を提供することが可能となる。

【 0 1 7 6 】

また、本願発明の不揮発性メモリを T F T で構成された他の半導体部品と絶縁表面を有する基板上に一体形成することにより、高機能または多機能であり、小型の半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】 本願発明の不揮発性メモリの回路構成を示す図。

【図 2】 本願発明の不揮発性メモリを構成するメモリセルの上面図。

【図 3】 本願発明の不揮発性メモリを構成するメモリセルの断面図。

【図 4】 従来の不揮発性メモリの回路構成を示す図。

【図 5】 従来の不揮発性メモリを構成するメモリセルの断面図。

【図 6】 本願発明の不揮発性メモリの回路構成を示す図。

【図 7】 本願発明の不揮発性メモリを構成するメモリセルの回路図。

【図 8】 本願発明の不揮発性メモリの作製行程を示す図。

【図 9】 本願発明の不揮発性メモリの作製行程を示す図。

【図 10】 本願発明の不揮発性メモリの作製行程を示す図。

【図 11】 本願発明の不揮発性メモリを用いた電気光学装置のブロック図。

10

20

30

40

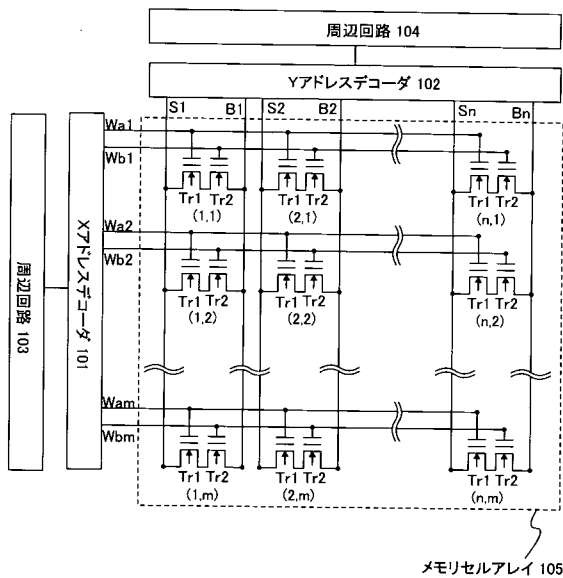
50

- 【図12】 本願発明の不揮発性メモリを用いた電気光学装置のブロック図。
- 【図13】 アクティブマトリクス型液晶表示装置の構成を示す図。
- 【図14】 アクティブマトリクス型EL表示装置の構成を示す図。
- 【図15】 本願発明の不揮発性メモリを用いた電子機器。
- 【図16】 本願発明の不揮発性メモリを用いた電子機器。

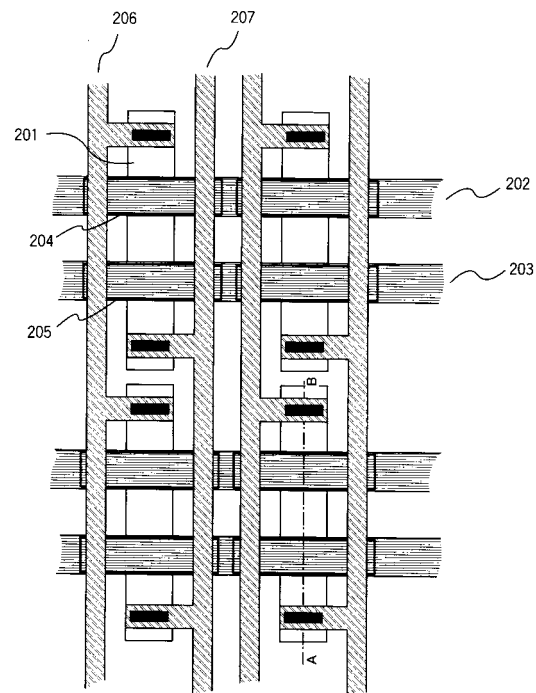
【符号の説明】

- 101 Xアドレスデコーダ
- 102 Yアドレスデコーダ
- 103、104 周辺回路
- 105 メモリセルアレイ
- 201 半導体活性層
- 202 第1のワード線
- 203 第2のワード線
- 204、205 フローティングゲート電極
- 206 ソース線
- 207 ビット線

【図1】

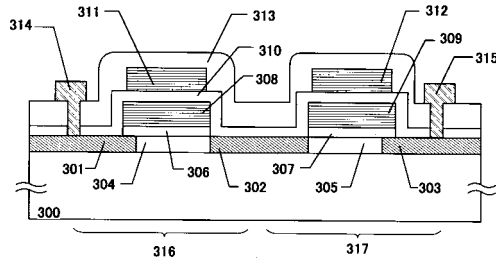


【図2】



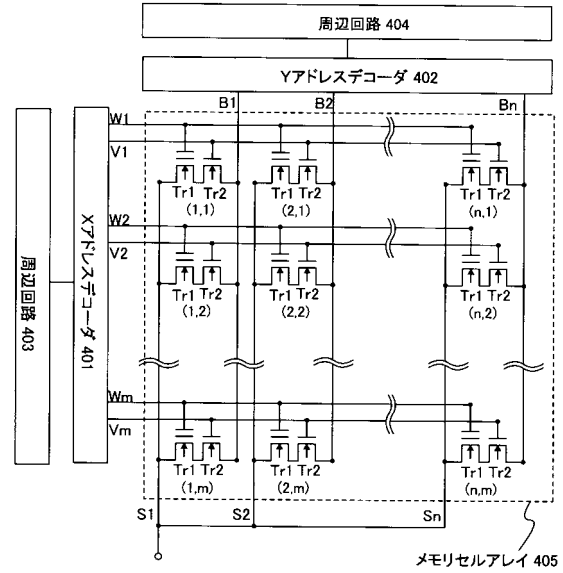
201 半導体活性層 202 第1のワード線 203 第2のワード線
 204, 205 フローティングゲート電極 206 ソース線 207 ビット線

【図3】

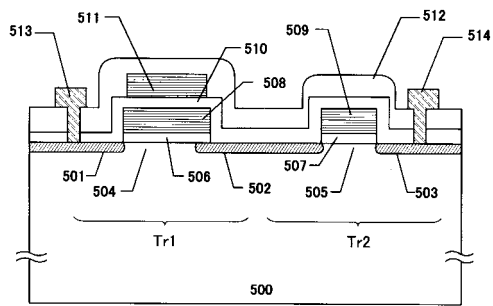


300 基板 301, 302, 303 ソース・ドレイン領域 304, 305
 チャンネル形成領域 306, 307 第1のゲート絶縁膜 308, 309 フロー
 ティングゲート電極 310 第2のゲート絶縁膜 311, 312 コント
 ロールゲート電極 313 層間絶縁膜 314, 315 ソース・ドレイン配線
 316, 317 メモリTFT

【図4】

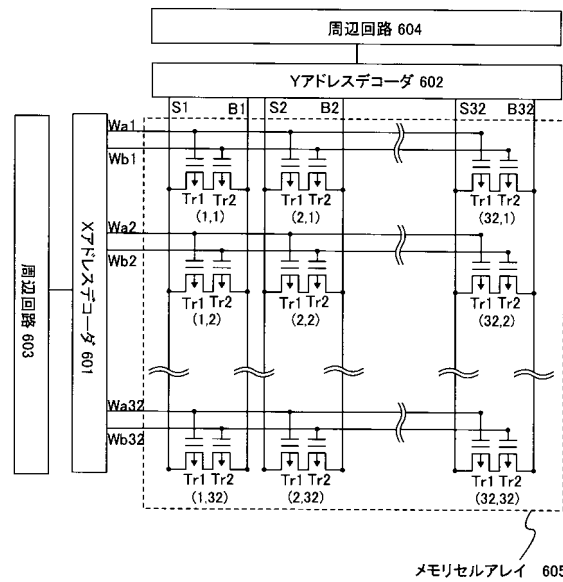


【図5】

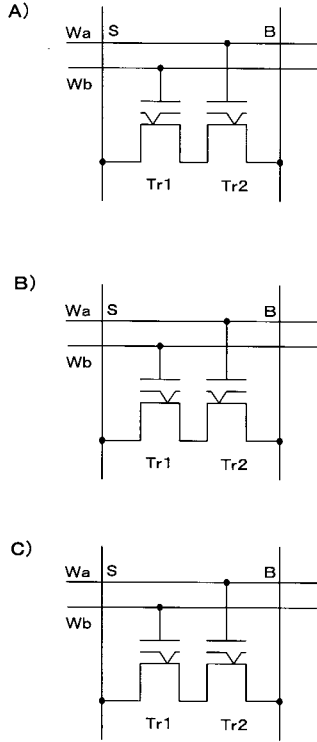


500 基板 501, 502, 503 ソース・ドレイン領域 504, 505
 チャンネル形成領域 506, 507 第1のゲート絶縁膜 508 フロー
 ティングゲート電極 509 ゲート電極 510 第2のゲート絶縁膜 511 コ
 ントロールゲート電極 512 層間絶縁膜 513, 514 ソース・ドレイン配
 線 Tr1 メモリトランジスタ Tr2 スイッチングトランジスタ

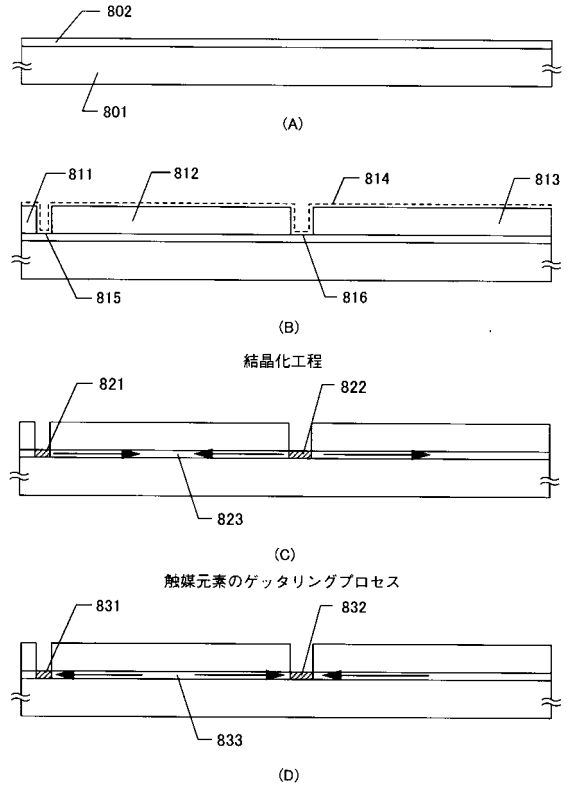
【図6】



【図7】

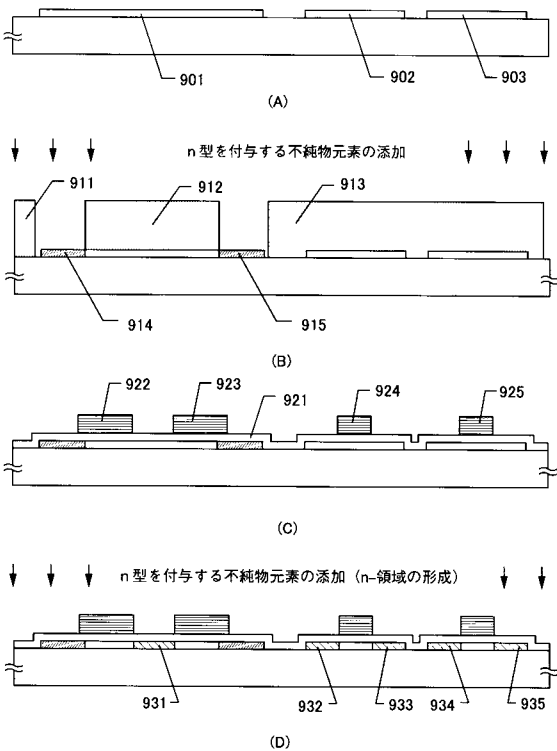


【図8】



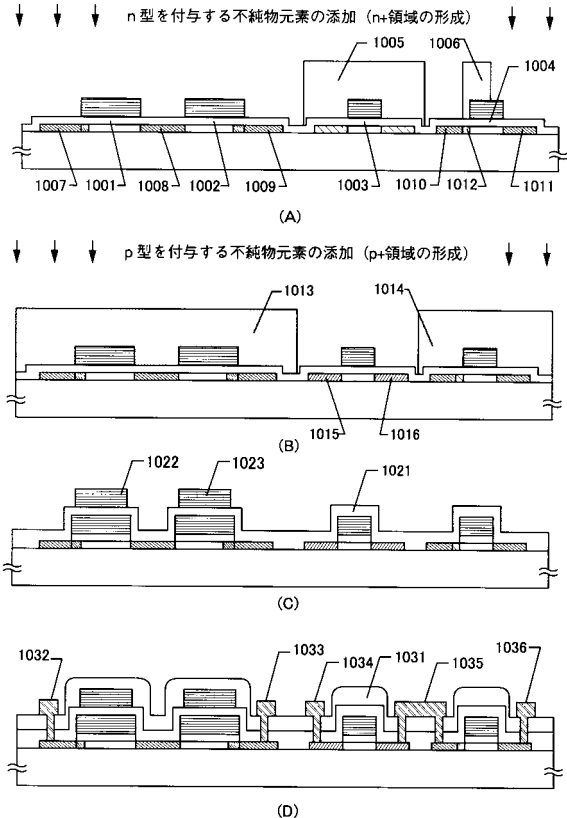
801 石英基板 802 非晶質珪素膜 811~813 酸化珪素膜 814 Ni含有層 815、816 開口部 821、822 Ni添加領域 823 結晶性珪素膜 831、832 リン添加領域 833 結晶性珪素膜

【図9】



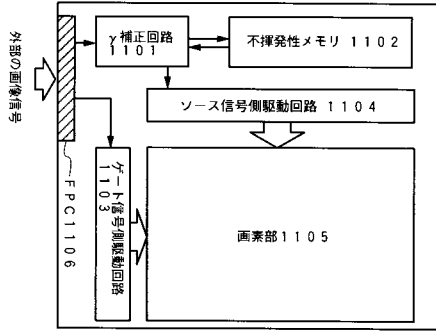
901~903 島状半導体層 911~913 レジストマスク 914、915 n型不純物領域 921 第1のゲート絶縁膜 922、923 フローティングゲート電極 924、925 ゲート電極 931~935 低濃度n型不純物領域

【図10】

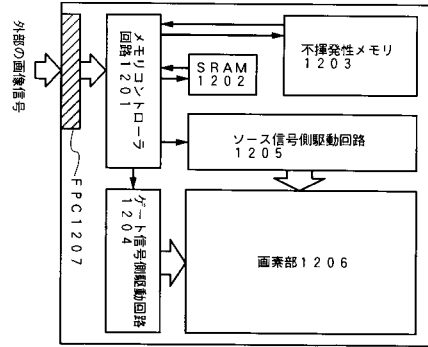


1001~1004 第1のゲート絶縁膜 1005、1006 レジストマスク 1007~1011 n型不純物領域 1012 LDD領域 1013、1014 レジストマスク 1015、1016 p型不純物領域 1021 第2のゲート絶縁膜 1022、1023 コントロールゲート電極 1031 層間絶縁膜 1032~1036 ソース・ドレイン配線

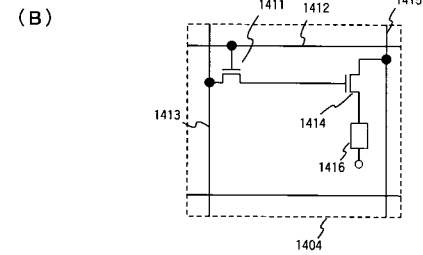
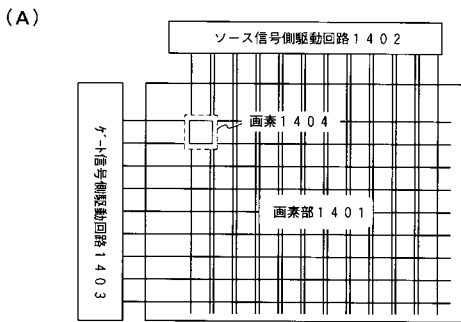
【図11】



【図12】

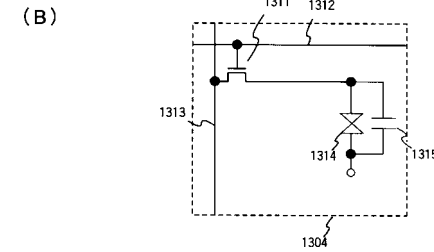
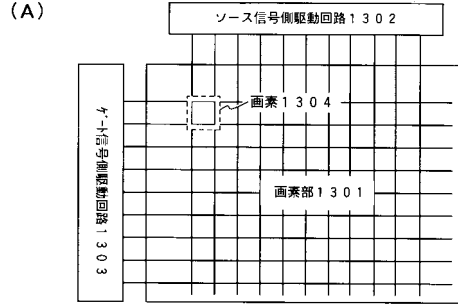


【図14】



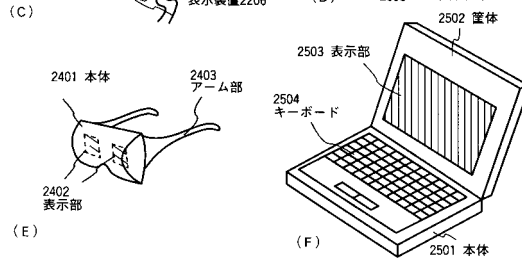
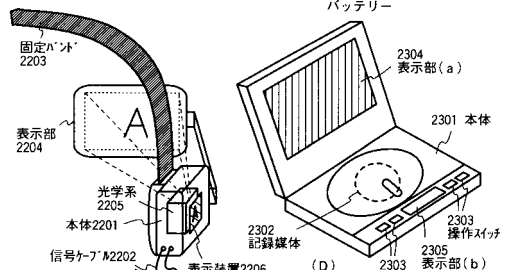
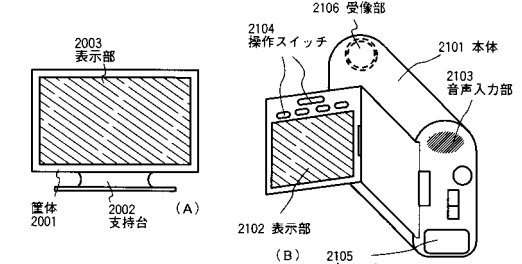
1404 画素 1411 スイッチング用TFT
 1412 ゲート信号線 1413 ソース信号線
 1414 EL駆動用TFT 1415 電源供給線
 1416 EL素子

【図13】

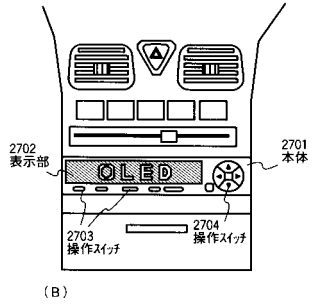


1304 画素 1311 スイッチング用TFT
 1312 ゲート信号線 1313 ソース信号線
 1314 液晶素子 1315 コンデンサ

【図15】



【図16】



フロントページの続き

(51) Int.Cl.			F I		
G 0 9 G	3/30	(2006.01)	G 0 9 G	3/30	Z
G 0 9 G	3/36	(2006.01)	G 0 9 G	3/36	
G 1 1 C	16/04	(2006.01)	G 1 1 C	17/00	6 2 3 Z

(56) 参考文献 特表平 0 9 - 5 0 7 3 4 1 (J P , A)
特開平 0 6 - 3 4 2 9 1 9 (J P , A)
特開平 0 3 - 0 7 2 6 8 2 (J P , A)
特開 2 0 0 0 - 0 6 8 4 8 2 (J P , A)
特開平 1 0 - 0 4 1 4 1 3 (J P , A)
特開平 0 7 - 3 0 7 4 0 0 (J P , A)
特開 2 0 0 0 - 0 3 1 2 9 6 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792