

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-43273  
(P2020-43273A)

(43) 公開日 令和2年3月19日(2020.3.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/11582 (2017.01)	HO 1 L 27/11582	4M104
HO 1 L 27/11556 (2017.01)	HO 1 L 27/11556	5F083
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 371	5F101
HO 1 L 29/788 (2006.01)	HO 1 L 29/44 S	
HO 1 L 29/792 (2006.01)	HO 1 L 29/58 G	

審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2018-171057 (P2018-171057)  
(22) 出願日 平成30年9月13日 (2018.9.13)

(71) 出願人 318010018  
キオクシア株式会社  
東京都港区芝浦三丁目1番21号  
(74) 代理人 110002147  
特許業務法人酒井国際特許事務所  
(72) 発明者 吉田 樹誉満  
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内  
Fターム(参考) 4M104 AA01 FF06 FF13 GG09 HH20  
5F083 EP02 EP18 EP23 EP33 EP34  
EP76 GA01 GA03 GA09 GA10  
GA27 JA02 JA03 JA04 JA19  
KA01 KA05 LA02 LA21  
5F101 BA02 BA45 BB05 BD16 BD22  
BD30 BD34 BF08

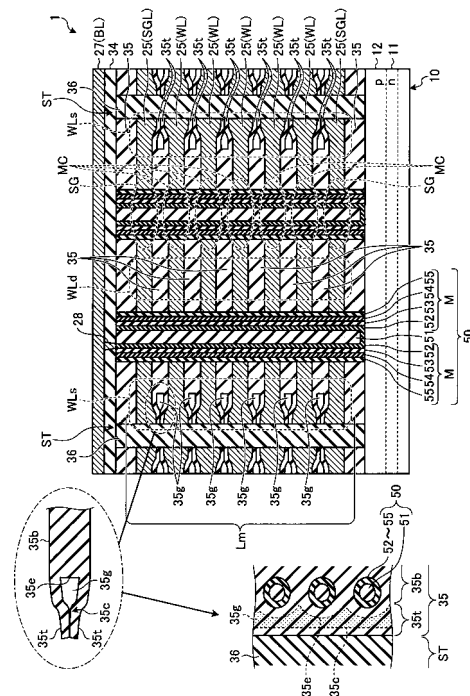
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】ワード線における信号速度を向上させること。

【解決手段】実施形態の半導体記憶装置1は、積層体Lmを貫通するように積層体Lmの積層方向に延びる複数のピラー51と、積層体Lmを貫通するように積層体Lmの積層方向に延びるスリットSTと、を備え、絶縁層35のスリットST側の端部は、絶縁層35の本体35bと、スリットSTに面する本体35bの上面寄りの端部35eからスリットSTに向かって延びる本体35bより薄い第1の薄層35tと、スリットSTに面する本体35bの下面寄りの端部35eからスリットSTに向かって延びる本体35bより薄い第2の薄層35tと、を有し、絶縁層35は、本体35bと第1の薄層35tと第2の薄層35tとに囲まれたエアギャップ層35gをスリットST側の端部に内包する。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

基板上に絶縁層と導電層とが交互に複数積層されてなる積層体と、  
 前記積層体を貫通するように前記積層体の積層方向に延びる複数のピラーと、  
 前記ピラーの高さ方向に配列される複数のメモリセルと、  
 前記ピラーが配置される領域の外側に、前記積層体を貫通するように前記積層体の積層方向に延びるスリットと、を備え、  
 前記絶縁層の前記スリット側の端部は、  
 前記絶縁層の本体と、  
 前記スリットに面する前記本体の上面寄りの端部から前記スリットに向かって延びる前記本体より薄い第 1 の薄層と、  
 前記スリットに面する前記本体の下面寄りの端部から前記スリットに向かって延びる前記本体より薄い第 2 の薄層と、を有し、  
 前記第 1 の薄層の前記本体との接続端と前記第 2 の薄層の前記本体との接続端とは、前記積層体の積層方向に離間し、  
 前記第 1 の薄層の前記スリットに向かって延びる先端部と前記第 2 の薄層の前記スリットに向かって延びる先端部とは、互いに接しており、  
 前記絶縁層は、  
 前記本体と前記第 1 の薄層と前記第 2 の薄層とに囲まれたエアギャップ層を前記スリット側の端部に内包する、  
 半導体記憶装置。

10

20

## 【請求項 2】

前記第 1 の薄層および前記第 2 の薄層の前記先端部同士は、前記積層体の積層方向に隣り合う前記導電層に挟まれた位置で互いに接している、  
 請求項 1 に記載の半導体記憶装置。

## 【請求項 3】

前記スリット側の前記導電層は前記ピラー間の前記導電層よりも厚くなっている、  
 請求項 1 または請求項 2 に記載の半導体記憶装置。

## 【請求項 4】

前記スリット側の前記導電層は前記スリットに沿って帯状に延びる帯状部を有する、  
 請求項 1 乃至請求項 3 のいずれか 1 項に記載の半導体記憶装置。

30

## 【請求項 5】

前記スリット側の前記導電層の上面視での単位区画あたりの面積は、前記ピラー間の前記導電層の上面視での単位区画あたりの面積より大きい、  
 請求項 1 乃至請求項 4 のいずれか 1 項に記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、半導体記憶装置に関する。

## 【背景技術】

40

## 【0002】

3次元不揮発性メモリでは、高さ方向に延びるピラーの側面に複数のメモリセルが、ピラーの高さ方向に沿って配列されている。3次元不揮発性メモリでは、ピラーの高さ方向に沿って積層されたワード線における信号速度の向上が望まれる。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】米国特許第 9,929,169 号明細書

【特許文献 2】米国特許第 9,929,043 号明細書

【特許文献 3】米国特許出願公開第 2017/0047341 号明細書

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

一つの実施形態は、ワード線における信号速度を向上させることができる半導体記憶装置を提供することを目的とする。

## 【課題を解決するための手段】

## 【0005】

実施形態の半導体記憶装置は、基板上に絶縁層と導電層とが交互に複数積層されてなる積層体と、前記積層体を貫通するように前記積層体の積層方向に延びる複数のピラーと、前記ピラーの高さ方向に配列される複数のメモリセルと、前記ピラーが配置される領域の外側に、前記積層体を貫通するように前記積層体の積層方向に延びるスリットと、を備え、前記絶縁層の前記スリット側の端部は、前記絶縁層の本体と、前記スリットに面する前記本体の上面寄りの端部から前記スリットに向かって延びる前記本体より薄い第1の薄層と、前記スリットに面する前記本体の下面寄りの端部から前記スリットに向かって延びる前記本体より薄い第2の薄層と、を有し、前記第1の薄層の前記本体との接続端と前記第2の薄層の前記本体との接続端とは、前記積層体の積層方向に離間し、前記第1の薄層の前記スリットに向かって延びる先端部と前記第2の薄層の前記スリットに向かって延びる先端部とは、互いに接しており、前記絶縁層は、前記本体と前記第1の薄層と前記第2の薄層とに囲まれたエアギャップ層を前記スリット側の端部に内包する。

## 【図面の簡単な説明】

## 【0006】

【図1】図1は、実施形態にかかる半導体記憶装置のいずれかの導電層に沿う断面図および柱状構造近傍の拡大図である。

【図2】図2は、実施形態にかかる半導体記憶装置の積層方向の断面図であって、図1のA-A'線の位置における断面図である。

【図3】図3は、実施形態にかかる半導体記憶装置の製造処理の手順の一例を示すフロー図である。

【図4】図4は、実施形態にかかる半導体記憶装置の製造処理の手順の一例を示すフロー図である。

【図5】図5は、実施形態にかかる半導体記憶装置の製造処理の手順の一例を示すフロー図である。

【図6】図6は、実施形態にかかる半導体記憶装置の製造処理の手順の一例を示すフロー図である。

【図7】図7は、実施形態にかかる半導体記憶装置の製造処理の手順の一例を示すフロー図である。

【図8】図8は、実施形態にかかる半導体記憶装置の製造処理の手順の一例を示すフロー図である。

【図9】図9は、実施形態にかかる半導体記憶装置の製造処理の手順の一例を示すフロー図である。

## 【発明を実施するための形態】

## 【0007】

以下に、本発明につき図面を参照しつつ詳細に説明する。なお、下記の実施形態により、本発明が限定されるものではない。また、下記実施形態における構成要素には、当業者が容易に想定できるものあるいは実質的に同一のものが含まれる。

## 【0008】

図1～図9を用いて、実施形態の半導体記憶装置について説明する。

## 【0009】

## [半導体記憶装置の構成例]

図1は、実施形態にかかる半導体記憶装置1のいずれかの導電層25に沿う断面図および柱状構造50近傍の拡大図である。ただし、図1において、ビット線BLは2本のみ示

10

20

30

40

50

されている。図 2 は、実施形態にかかる半導体記憶装置 1 の積層方向の断面図であって、図 1 の A - A' 線の位置における断面図である。

【0010】

図 1 および図 2 に示すように、実施形態の半導体記憶装置 1 は、シリコン基板等の半導体基板 10 上に、例えば、3次元構造を有する NAND 型フラッシュメモリとして形成されている。半導体基板 10 は、表層部に n ウェル 11 を有し、n ウェル 11 内に p ウェル 12 を有する。ただし、半導体記憶装置 1 は、半導体基板 10 等の基板の直上ではなく、ソース線として機能する導電層上に形成されていてもよい。

【0011】

半導体基板 10 上には、複数の絶縁層 35 と複数の導電層 25 とが交互に積層された積層体 Lm が形成されている。絶縁層 35 は例えば SiO<sub>2</sub> 層等であり、導電層 25 は例えば W 層等である。

10

【0012】

積層体 Lm は、複数のスリット ST により分割されている。積層体 Lm を分割するスリット ST は、積層体 Lm を貫通するように積層体 Lm の積層方向に延びる。スリット ST 内には、例えば絶縁層 36 が埋め込まれている。

【0013】

2つのスリット ST に挟まれた積層体 Lm の領域には、積層体 Lm を貫通するように積層体 Lm の積層方向に延びる複数の柱状構造 50 が行列状に設けられている。柱状構造 50 は、上面視で例えば略円形に形成される。ただし、柱状構造 50 は、上面視で例えば略楕円形に形成されていてもよい。複数の柱状構造 50 は、上面視で例えば千鳥状のパターンで配置されている。ただし、複数の柱状構造 50 は、上面視で例えば正方格子状のパターンで配置されていてもよい。

20

【0014】

柱状構造 50 は、ピラーとしてのコア部 51 を備える。コア部 51 の側壁には、コア部 51 の側壁を包み込むように複数の層が形成されている。これらの層は、コア部 51 の側から順に、チャンネル層 52、トンネル絶縁層 53、電荷蓄積層 54、およびブロック絶縁層 55 である。チャンネル層 52 はコア部 51 の底面も覆っている。コア部 51 は例えば SiO<sub>2</sub> 等を主成分とする。チャンネル層 52 は例えばポリシリコン層等であり、電荷蓄積層 54 は例えば SiN 層等であり、トンネル絶縁層 53 及びブロック絶縁層 55 は例えば SiO<sub>2</sub> 層等である。ただし、電荷蓄積層 54 は、周囲を絶縁層で覆われた導電性を有する浮遊ゲートであってもよい。

30

【0015】

2つのスリット ST に挟まれた積層体 Lm の両端部、つまり、スリット ST に近接する絶縁層 35 は、層中にエアギャップ層 35g を内包する。具体的には、絶縁層 35 のスリット ST 側の端部は、本体 35b と、本体 35b よりも薄い 2つの薄層 35t, 35t とを有する。本体 35b は、スリット ST に面する端部 35e を有する。2つの薄層 35t, 35t は、本体 35b の端部 35e からスリット ST に向かって延びている。一方の薄層 35t の本体 35b との接続端は、本体 35b の端部 35e の上面寄りに接続され、もう一方の薄層 35t の本体 35b との接続端は、本体 35b の端部 35e の下面寄りに接続されている。これにより、2つの薄層 35t, 35t の本体 35b との接続端は、本体 35b を挟んで、積層体 Lm の積層方向に所定距離、隔てられている。2つの薄層 35t, 35t のスリット ST に向かって延びる先端部は互いに接している。2つの薄層 35t, 35t の先端部は面で接していてもよく、または、点で接していてもよい。また、薄層 35t, 35t の先端部はスリット ST 内に進入することなく、積層体 Lm の積層方向に隣り合う導電層 25 に挟まれた位置で互いに接している。

40

【0016】

これらの構成により、本体 35b の端部 35e と 2つの薄層 35t, 35t とに囲まれたエアギャップ層 35g が構成される。また、2つの薄層 35t, 35t の先端部が互いに接していることにより、積層体 Lm の積層方向に隣り合う 2つの絶縁層 35 の間隔は、

50

スリットST側に向かって広がっている。これにより、積層体LmのスリットST側の導電層25は、スリットST側に向かって広がる絶縁層35間の空間を占めることになり、積層体Lm中央付近の柱状構造50が設けられた領域の導電層25より厚くなっている。

【0017】

図2には更に、エアギャップ層35gの拡大透視平面図が示されている。図2の拡大透視平面図に示すように、薄層35t, 35tの本体35bとの接続端である本体35bの端部35eは、上面視で、スリットSTに近接する柱状構造50の列の外周に沿う円弧が連なる波型の形状を有している。つまり、本体35bの端部35eは、各柱状構造50の外周から略等しい距離を保って配置されている。また、薄層35t, 35tの先端部同士が接することで形成されるエアギャップ層35gの閉塞端35cは、上面視で、スリットSTの縁に沿う略直線状の形状を有している。

10

【0018】

なお、図2の例では、最上層および最下層の絶縁層35はエアギャップ層35gを有さないこととなっているが、有していてもよい。

【0019】

半導体記憶装置1は、また、絶縁層35と導電層25との積層体Lmの上方に、半導体基板10の主面に対して略水平な方向に延在する導電層27を備える。積層体Lmと導電層27の間には絶縁層34が介在している。柱状構造50が備えるチャネル層52と導電層27とは、絶縁層34を貫通するコンタクト28により接続されている。より具体的には、複数本存在する導電層27のうち、所定の導電層27が所定の柱状構造50のチャネル層52と接続される。

20

【0020】

[半導体記憶装置の機能]

次に、引き続き、図1および図2を用い、半導体記憶装置1の3次元NAND型フラッシュメモリとしての機能について説明する。

【0021】

柱状構造50が有するチャネル層52、トンネル絶縁層53、電荷蓄積層54、及びブロック絶縁層55は、少なくとも一部がメモリセルMCとして機能する。チャネル層52、トンネル絶縁層53、電荷蓄積層54、及びブロック絶縁層55はメモリセルMCを構成するメモリ層Mであるともいえる。メモリセルMCは、積層された複数の導電層25の各高さ位置に配置される。すなわち、柱状構造50には、柱状構造50の高さ方向に沿って複数のメモリセルMCが配列されている。これらのメモリセルMCは、1本のコア部51の側面に連なるメモリストリングとして機能する。

30

【0022】

積層された導電層25のうち、少なくとも柱状構造50の側面と接する部分とその近傍は、メモリセルMCに接続されるワード線WLとして機能する。個々のメモリセルMCは、同じ高さにあるワード線WLにそれぞれ対応付けられている。

【0023】

なお、複数の導電層25のうち、最上層と最下層の導電層25は、選択ゲート線SGLとして機能する。選択ゲート線SGLは、後述する1つのビット線BLに共通に接続されるメモリストリングのうち、所定のメモリストリングを選択する際に使用される。また、選択ゲート線SGLに対応付けられたチャネル層52、トンネル絶縁層53、電荷蓄積層54、およびブロック絶縁層55は、選択トランジスタSGとして機能する。選択トランジスタSGがオンまたはオフすることで、所定のメモリストリングが選択された状態または非選択の状態となる。

40

【0024】

これらマトリクス状に配置されるメモリセルMCの外側のスリットSTは、後述するように、半導体記憶装置1の製造処理時に使用される構成である。製造処理が終了した状態において、上述のように、スリットSTには例えば絶縁層36が埋め込まれている。ただし、スリットSTは、製造処理に使用した後、スリットSTにライナー状の絶縁層を介し

50

てプレート状の導電層を埋め込んで、例えば、半導体記憶装置 1 におけるソース線コンタクトとして用いられてもよい。メモリセル MC の上方に配置される導電層 27 は、ビット線 BL として機能する。

【0025】

ところで、スリット ST の近傍のワード線 WL 及び選択ゲート線 SGL は、スリット ST に沿って帯状に延びる帯状部としての低抵抗帯 WLS を有する。低抵抗帯 WLS には柱状構造 50 が存在せず、低抵抗帯 WLS のワード線 WL 及び選択ゲート線 SGL は、上面視で帯状の広い面積を有する。換言すれば、低抵抗帯 WLS には柱状構造 50 が存在せず、ワード線 WL 及び選択ゲート線 SGL における電流の流れを阻害するものがない。このため、低抵抗帯 WLS のワード線 WL 及び選択ゲート線 SGL は比較的、低抵抗となっている。

10

【0026】

一方、積層体 Lm 中央付近のワード線 WL 及び選択ゲート線 SGL は、柱状構造 50 が点在する網目状の高抵抗帯 WLD を有する。高抵抗帯 WLD は、密に配置された柱状構造 50 のために網目状に分断され、上面視で纏まった広い面積を有さない。換言すれば、高抵抗帯 WLD では、密に配置された柱状構造 50 が、ワード線 WL 及び選択ゲート線 SGL における電流の流れを阻害する要因となり得る。このため、高抵抗帯 WLD のワード線 WL 及び選択ゲート線 SGL は比較的、高抵抗となっている。

【0027】

低抵抗帯 WLS および高抵抗帯 WLD における上面視での単位区画 UC あたりのワード線 WL 及び選択ゲート線 SGL の面積を比較すれば、低抵抗帯 WLS が高抵抗帯 WLD よりも低抵抗を有することがいっそう理解しやすくなる。つまり、低抵抗帯 WLS の上面視での単位区画 UC あたりのワード線 WL 及び選択ゲート線 SGL の面積は、高抵抗帯 WLD の上面視での単位区画 UC あたりのワード線 WL 及び選択ゲート線 SGL の面積よりも広がっている。

20

【0028】

[半導体記憶装置の動作]

引き続き、図 1 および図 2 を用いて、半導体記憶装置 1 の動作例について説明する。

【0029】

メモリセル MC に“0”データ（例えば“H”レベルデータ）を書き込むときは、接続されるワード線 WL に書き込み電圧を印加する。一方、メモリセル MC は、ソース線である半導体基板 10 およびビット線 BL に接続されるチャネル層 52 を含む。そしてこのとき、チャネル層 52 に例えば接地電位が供給され、電子の流れるチャネルが形成される。チャネル層 52 にチャネルが形成されると、チャネル中の電子がトンネル絶縁層 53 を抜けて電荷蓄積層 54 に注入され蓄積される。これにより、メモリセル MC の閾値電圧  $V_{th}$  が上昇し、“0”データが書き込まれる。

30

【0030】

メモリセル MC に“1”データ（例えば“L”レベルデータ）を書き込むときは、チャネル層 52 のチャネルをフローティング状態とし、電子を電荷蓄積層 54 に注入させないことで、“1”データが書き込まれる。

40

【0031】

メモリセル MC からデータを読み出すときは、接続されるワード線 WL に読み出し電圧を印加する。読み出し電圧は、“1”データを有しているメモリセル MC がオンし、“0”データを有しているメモリセル MC はオンしない電圧である。また、読み出し対象のメモリセル MC が属するメモリストリング中の他のメモリセル MC に接続されるワード線 WL に比較的高い電圧を印加して、他のメモリセル MC を全てオンにする。この状態で、ビット線 BL にセル電流が流れれば“1”データが読み出されたことを意味し、ビット線 BL にセル電流が流れなければ“0”データが読み出されたことを意味する。

【0032】

上記のような半導体記憶装置 1 の動作において、比較的、低抵抗の低抵抗帯 WLS には

50

、高抵抗帯  $W L d$  に比べ優先的に電流（信号）が流れ得る。このように、低抵抗帯  $W L s$  は、高速で信号の授受が行われるハイウェイとして機能する。

【 0 0 3 3 】

[ 半導体記憶装置の製造処理 ]

次に、図 3 ~ 図 9 を用いて、半導体記憶装置 1 の製造処理例について説明する。図 3 ~ 図 9 は、実施形態にかかる半導体記憶装置 1 の製造処理の手順の一例を示すフロー図である。図 3 ~ 図 6 までの各図において、上段は製造途中の半導体記憶装置 1 における特に柱状構造 5 0 およびその近傍の平面図であり、図 3 ~ 図 9 までの各図において、下段は製造途中の半導体記憶装置 1 の断面図である。

【 0 0 3 4 】

図 3 に示すように、 $n$  ウェル 1 1、 $p$  ウェル 1 2 等が形成された半導体基板 1 0 の  $p$  ウェル 1 2 上に、絶縁層 3 5 i と犠牲層 4 5 とが交互に積層された積層体  $L m t$  を形成する。絶縁層 3 5 i は、 $S i O_2$  等からなる薄層 3 5 t、 $S i N$  等からなる薄層 4 5 t、及び薄層 3 5 t がこの順に積層された積層構造を有する。犠牲層 4 5 は  $S i N$  等の絶縁層であって、後に導電層 2 5 と置き換わる層である。

【 0 0 3 5 】

なお、図 3 の例において、最上層および最下層は、薄層 4 5 t を有さない絶縁層 3 5 となっているが、薄層 4 5 t が介在された絶縁層 3 5 i であってもよい。

【 0 0 3 6 】

次に、図 4 に示すように、絶縁層 3 5 i と犠牲層 4 5 との積層構造を貫通させ、半導体基板 1 0 に到達するメモリホール  $M H$  を形成する。メモリホール  $M H$  は、柱状構造 5 0 の形成予定領域に形成される。メモリホール  $M H$  は、スリット  $S T$  が形成される予定の領域には形成されない。

【 0 0 3 7 】

次に、図 5 に示すように、メモリホール  $M H$  内に絶縁材料のデポジションを行って、メモリホール  $M H$  の内壁にブロック絶縁層 5 5 を形成する。また、メモリホール  $M H$  内に絶縁材料のデポジションを行って、ブロック絶縁層 5 5 上に電荷蓄積層 5 4 を形成する。また、メモリホール  $M H$  内に絶縁材料のデポジションを行って、電荷蓄積層 5 4 上にトンネル絶縁層 5 3 を形成する。また、メモリホール  $M H$  内に半導体材料のデポジションを行って、トンネル絶縁層 5 3 上およびメモリホール  $M H$  の底部にチャネル層 5 2 を形成する。これにより、メモリホール  $M H$  内にメモリ層  $M$  が形成される。

【 0 0 3 8 】

また、メモリ層  $M$  が形成される過程でメモリホール  $M H$  近傍の薄層 4 5 t が酸化される。これにより、メモリホール  $M H$  の無いスリット  $S T$  の形成予定領域とその周辺領域を除き、絶縁層 3 5 i は層厚方向の全体が  $S i O_2$  等からなる絶縁層 3 5 に変質する。これにより、薄層 4 5 t を含まない絶縁層 3 5 の本体 3 5 b が形成される。このとき、薄層 4 5 t の酸化による絶縁層 3 5 への変質はメモリ層  $M$  の外縁部から外側へ向かって広がるように起きるため、絶縁層 3 5 の本体 3 5 b の端部 3 5 e は、図 5 上段の一部分に模式的に示すように、上面視で、柱状構造 5 0 の列の外周に沿う円弧が連なる波型の形状となる。

【 0 0 3 9 】

次に、図 6 に示すように、メモリホール  $M H$  内が略完全に埋まるよう絶縁材料のデポジションまたは塗布を行って、チャネル層 5 2 で囲まれた領域にコア部 5 1 を形成する。以上により、柱状構造 5 0 が形成される。

【 0 0 4 0 】

次に、図 7 に示すように、柱状構造 5 0 が形成された領域の外周部に、絶縁層 3 5 端部の薄層 3 5 t、4 5 t、3 5 t、及び犠牲層 4 5 の複数層を貫通させ、半導体基板 1 0 に到達するスリット  $S T$  を形成する。

【 0 0 4 1 】

次に、図 8 に示すように、スリット  $S T$  を介して犠牲層 4 5 及び薄層 4 5 t を除去する。薄層 4 5 t が除去されることにより、絶縁層 3 5 のスリット  $S T$  に面する本体 3 5 b の

10

20

30

40

50

端部 35 e からは、互いに所定距離隔てられた薄層 35 t , 35 t がスリット S T に向かって突出することとなる。これにより、図 8 上段の拡大図に示すように、絶縁層 35 の端部は、断面視において、本体 35 b の端部 35 e を底面とし、スリット S T 側に向かって開放された薄層 35 t , 35 t を両端部とする U 字形の構造を有することとなるはずである。しかし、薄層 45 t は犠牲層 45 等と比較して薄く、薄層 45 t が除去された後の空隙に隔てられた薄層 35 t , 35 t 間の距離も小さい。このため、これらの薄層 35 t , 35 t 間に、薄層 45 t 除去のために使用した薬液乾燥時における表面張力や空隙形成後の静電気が働き、薄層 35 t , 35 t の先端部同士が付着して U 字形の開放部が閉じた形状となる。これにより、絶縁層 35 の両端部にエアギャップ層 35 g が内包されることとなる。このとき、薄層 35 t , 35 t の延びる距離が十分に長ければ、薄層 35 t , 35 t の先端部は面で接することとなり、薄層 35 t , 35 t の延びる距離が短ければ、点で接することとなる。また、薄層 35 t , 35 t の先端部同士が接することで形成されるエアギャップ層 35 g の閉塞端 35 c は、上面視で、スリット S T の縁に沿う略直線状の形状となる。

10

#### 【 0 0 4 2 】

また、犠牲層 45 が除去された絶縁層 35 間には空隙 45 g が生じる。空隙 45 g に隣接する絶縁層 35 の薄層 35 t , 35 t 同士が閉じた形状を有することにより、スリット S T 近傍の空隙 45 g は、柱状構造 50 近傍の空隙 45 g よりも広がった状態となっている。

20

#### 【 0 0 4 3 】

次に、図 9 に示すように、スリット S T を介して空隙 45 g に導電材料を充填する。これにより、絶縁層 35 間に積層される導電層 25 が形成される。一方、絶縁層 35 が内包するエアギャップ層 35 g は、薄層 35 t , 35 t の先端部同士が接することで形成された閉塞端 35 c により端部が閉じられている。このため、エアギャップ層 35 g 内は導電材料で充填されない。

#### 【 0 0 4 4 】

図 8 および図 9 における手順を導電層 25 のリプレーンなどと呼ぶことがある。リプレーンに用いられた後、スリット S T 内には例えば絶縁層 36 ( 図 2 参照 ) が埋め込まれる。または、スリット S T に導電層等を埋め込んで、ソース線コンタクト等として活用してもよい。

30

#### 【 0 0 4 5 】

これ以降、柱状構造 50 の上方に、ビット線 B L となる導電層 27 等が形成され、所定の柱状構造 50 のチャンネル層 52 にコンタクト 28 を介して接続される。

#### 【 0 0 4 6 】

以上により、実施形態の半導体記憶装置 1 が製造される。

#### 【 0 0 4 7 】

実施形態の半導体記憶装置 1 によれば、絶縁層 35 のスリット S T に面した本体 35 b の端部 35 e から延びる薄層 35 t , 35 t の、本体 35 b との接続端は所定距離離間され、先端部が閉じた構造を有する。

40

#### 【 0 0 4 8 】

薄層 35 t , 35 t の先端部が閉じた構造を有することにより、スリット S T 側の絶縁層 35 はエアギャップ層 35 g を含むこととなる。エアギャップ層 35 g が介在されるワード線 W L の領域は、信号が多く行き交う低抵抗帯 W L s である。低抵抗帯 W L s となっているワード線 W L 間にエアギャップ層 35 g を介在させ、ワード線 W L の線間容量を低減させることで、ワード線 W L の R C ( R e s i s t a n c e - C a p a c i t a n c e ) 遅延を低減させ、ワード線 W L における信号速度の向上を図ることができる。

#### 【 0 0 4 9 】

薄層 35 t , 35 t の先端部が閉じた構造を有することにより、積層体 L m の積層方向に隣り合う絶縁層 35 の間隔がスリット S T 側に向けて広がり、スリット S T 側のワード線 W L が、柱状構造 50 間のワード線 W L よりも厚くなる。これにより、低抵抗帯 W L s

50



の抵抗を更に下げることができる。

【0050】

薄層35t, 35tの先端部が閉じた構造を有することにより、リブレース時の間口となるスリットST近傍の空隙45gが広がった形状を有する。これにより、空隙45gが導電層25で完全に充填される前に間口が塞がってしまうことが抑制される。よって、導電層25の埋め込み不足が抑制され、ワード線WL全体の抵抗値を下げるができる。

【0051】

以上のように、実施形態の半導体記憶装置1によれば、先端部が閉じた構造の薄層35t, 35tという非常にシンプルな構造により、エアギャップ層35gを有する絶縁層35が得られる。また、スリットST側の間口の広がった絶縁層35が得られる。さらには、スリットST側のワード線WLが厚膜化された構造が得られる。また、表面張力や静電力を利用した簡便な製造処理により、絶縁層35にエアギャップ層35gを設け、また、絶縁層35のスリットST側の間口を広げ、さらには、スリットST側のワード線WLを厚膜化することができる。

10

【0052】

なお、実施形態の半導体記憶装置1では、ワード線WLの線間容量の低減がより有効に働く低抵抗帯WLs部分、つまり、スリットST近傍の絶縁層35にエアギャップ層35gを内包させている。例えば、積層体Lmの中央部分である柱状構造50が密集する領域の絶縁層35には、敢えてエアギャップ層を介在させないことで、より堅固な構造を維持しつつ、ワード線WLにおける信号速度の向上を図ることができる。

20

【0053】

また、実施形態の半導体記憶装置1では、薄層35t, 35tの先端部はスリットST内に進入することなく、積層体Lmの積層方向に隣り合う導電層25に挟まれた位置で互いに接している。すなわち、エアギャップ層35g全体も導電層25に挟まれた領域内に位置することとなる。このように、エアギャップ層35g全体が、スリットST内に進入することなく導電層25に挟まれた領域内に留まることで、エアギャップ層35g全体をワード線WLの線間容量の低減に役立てることができる。

【0054】

また、実施形態の半導体記憶装置1では、絶縁層35の本体35bの端部35eは、上面視で、柱状構造50の列の外周に沿う円弧が連なる波型の形状となっている。これにより、積層体Lmの積層方向に対するエアギャップ層35gの強度を増すことができる。つまり、積層体Lmの積層方向にエアギャップ層35gが押し潰されてしまうことを抑制することができる。

30

【0055】

また、実施形態の半導体記憶装置1では、エアギャップ層35gを構成する薄層35t, 35tの先端部が、例えば面接触する。これにより、薄層35t, 35t間によりいっそう表面張力や静電力が働きやすくなり、薄層35t, 35t同士の付着を強化し、より確実にエアギャップ層35gを内包する絶縁層35を構成することができる。

【0056】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【符号の説明】

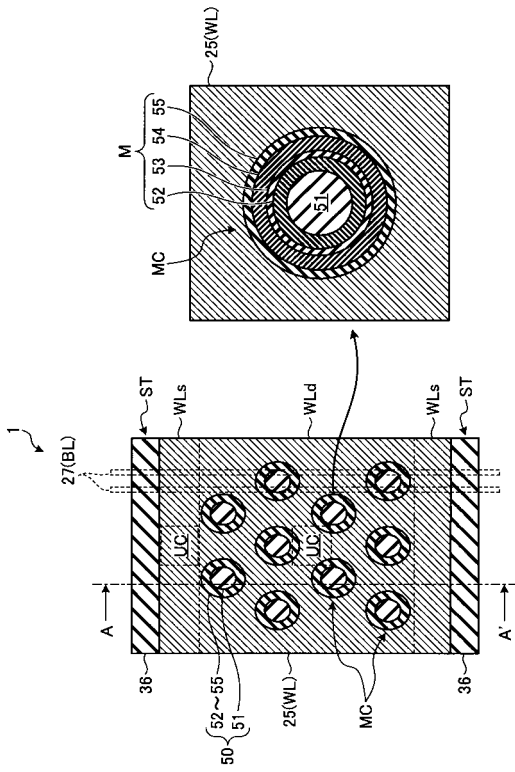
【0057】

1...半導体記憶装置、10...半導体基板、25...導電層、35...絶縁層、35g...エアギャップ層、50...柱状構造、51...コア部、52...チャネル層、53...トンネル絶縁層、54...電荷蓄積層、55...ブロック絶縁層、BL...ビット線、MC...メモリセル、SG

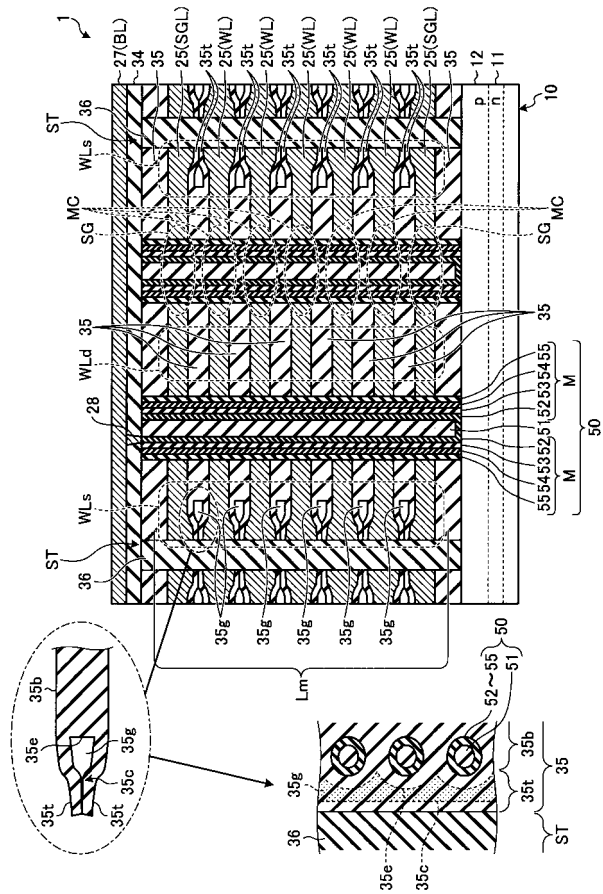
50

... 選択トランジスタ、SGL... 選択ゲート線、WL... ワード線、WLd... 高抵抗帯、WLS... 低抵抗帯。

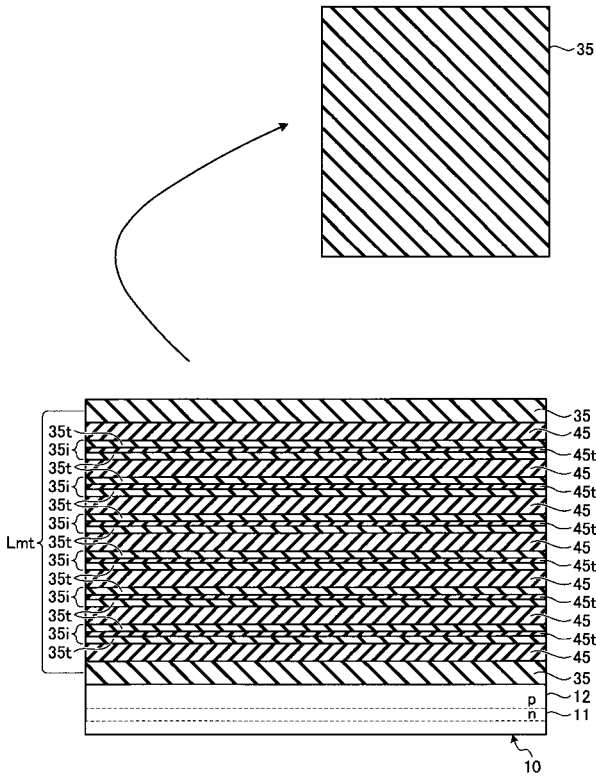
【図1】



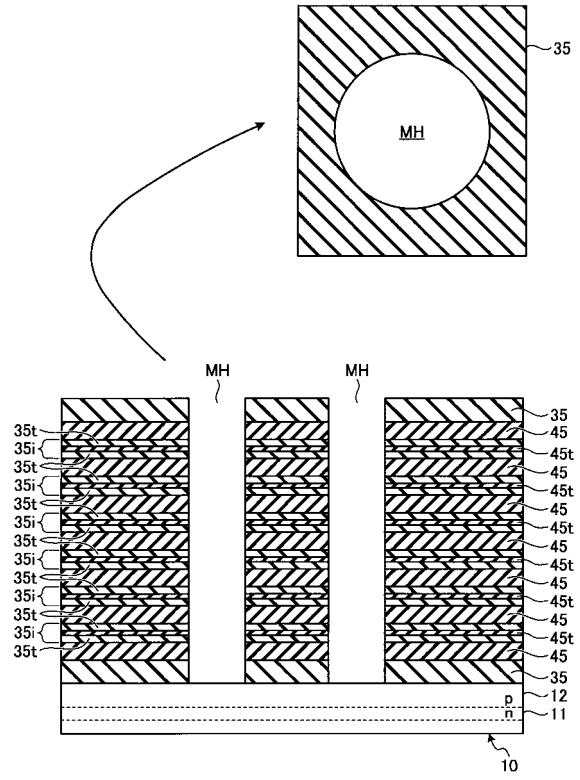
【図2】



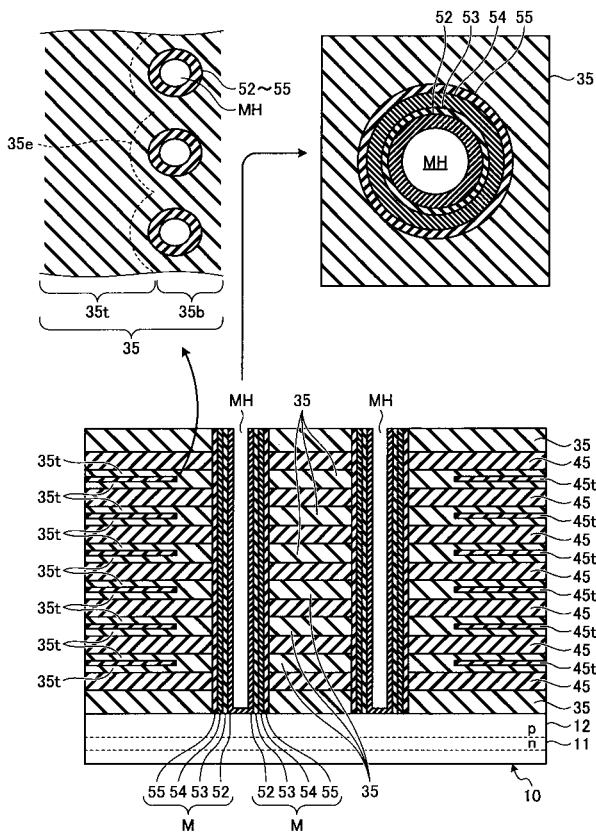
【 図 3 】



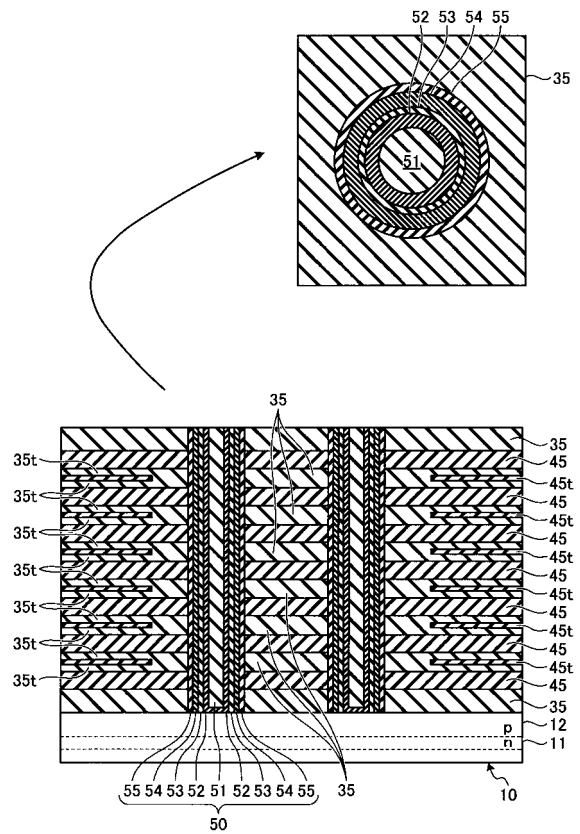
【 図 4 】



【 図 5 】



【 図 6 】





---

フロントページの続き

(51)Int.Cl.		F I	テーマコード(参考)
<i>H 0 1 L 29/41</i>	<i>(2006.01)</i>		
<i>H 0 1 L 29/423</i>	<i>(2006.01)</i>		
<i>H 0 1 L 29/49</i>	<i>(2006.01)</i>		