



(12) 实用新型专利

(10) 授权公告号 CN 215183964 U

(45) 授权公告日 2021.12.14

(21) 申请号 202121488355.1

(22) 申请日 2021.07.01

(30) 优先权数据

110103827 2021.02.02 TW

63/060,259 2020.08.03 US

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 李珉泽 郑圣谚 陈品奴 鍾岳宏

徐雅玲 廖丞贤

(74) 专利代理机构 隆天知识产权代理有限公司

72003

代理人 黄艳

(51) Int. Cl.

H01L 27/12 (2006.01)

(ESM) 同样的发明创造已同日申请发明专利

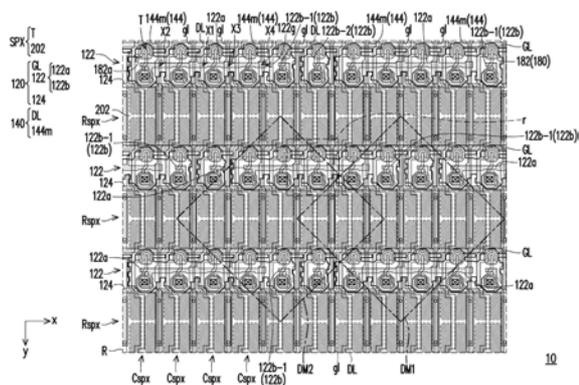
权利要求书2页 说明书11页 附图5页

(54) 实用新型名称

像素阵列基板

(57) 摘要

一种像素阵列基板包括多个像素结构、多条数据线、多条栅极线及多个第一共用电极。多条数据线沿第一方向排列，且电性连接至多个像素结构。多条栅极线沿第二方向排列，且电性连接至多个像素结构。每一第一共用电极包括沿第一方向排列的多个线段，且多个线段的相邻两者于结构上分离以定义一间隙。在像素阵列基板的俯视图中，对应的一数据线穿越间隙。



1. 一种像素阵列基板,其特征在于,包括:

多个像素结构,其中每一像素结构包括一薄膜晶体管及电性连接至该薄膜晶体管的一像素电极;

多条数据线,沿一第一方向排列,且电性连接至该些像素结构的多个薄膜晶体管;

多条栅极线,沿一第二方向排列,且电性连接至该些像素结构的该些薄膜晶体管,其中该第一方向与该第二方向交错;以及

多个第一共用电极,其中每一第一共用电极包括沿该第一方向排列的多个线段;该些线段的相邻两者于结构上分离,以定义一间隙;在该像素阵列基板的俯视图中,对应的一数据线穿越该间隙。

2. 如权利要求1所述的像素阵列基板,其特征在于,还包括:

多个第二共用电极,其中该些像素结构排成多个像素列,每一像素列的多个像素结构沿该第一方向排列,每一第二共用电极与对应的一像素列的该些像素结构的多个像素电极部分地重叠;

在该像素阵列基板的俯视图中,每一该第一共用电极设置于对应的一栅极线与对应一第二共用电极之间。

3. 如权利要求1所述的像素阵列基板,其特征在于,每一该像素结构还包括一连接图案,电性连接该薄膜晶体管及该像素电极;每一该第一共用电极的该些线段包括:多个第一线段及多个第二线段,每一第一线段与至少一数据线交错设置,每一第二线段与对应的一像素结构的该连接图案交错且未与该些数据线重叠。

4. 如权利要求3所述的像素阵列基板,其特征在于,该些第一共用电极的该些第一线段及该些第二线段在该第一方向及该第二方向上交替排列。

5. 如权利要求1所述的像素阵列基板,其特征在于,还包括:

多条转接线,沿该第一方向排列,且电性连接至该些栅极线;以及

一透明屏蔽图案,设置于该些转接线所属的至少一膜层与该些像素结构的多个像素电极所属的一膜层之间;

其中,在该像素阵列基板的俯视图中,一第一共用电极的一线段与另一数据线具有一第一交错处,且该第一交错处重叠于该透明屏蔽图案的一开口。

6. 如权利要求5所述的像素阵列基板,其特征在于,还包括:

多个第三共用电极,沿该第一方向排列,其中该些像素结构排成多个像素行,每一像素行的多个像素结构沿该第二方向排列;在该像素阵列基板的俯视图中,每一第三共用电极设置于该些像素行的相邻两者之间;

该第一共用电极的该线段与一第三共用电极具有一第二交错处,且该第二交错处重叠于该透明屏蔽图案的该开口。

7. 如权利要求1所述的像素阵列基板,其特征在于,还包括:

多条转接线,沿该第一方向排列,且电性连接至该些栅极线;以及

一透明屏蔽图案,设置于该些转接线所属的至少一膜层与该些像素结构的多个像素电极所属的一膜层之间;

其中,一第一共用电极的一线段与另一数据线具有一第一熔接处;在该像素阵列基板的俯视图中,该第一熔接处重叠于该透明屏蔽图案的一开口。

8. 如权利要求7所述的像素阵列基板,其特征在于,还包括:

多个第三共用电极,沿该第一方向排列,其中该些像素结构排成多个像素行,每一像素行的多个像素结构沿该第二方向排列;在该像素阵列基板的俯视图中,每一第三共用电极设置于该些像素行的相邻两者之间;

该第一共用电极的该线段与一第三共用电极具有一第二熔接处,且该第二熔接处重叠于该透明屏蔽图案的该开口。

9. 如权利要求8所述的像素阵列基板,其特征在于,该第三共用电极具有一第一断开处;在该像素阵列基板的俯视图中,该第一断开处与该透明屏蔽图案的该开口重叠。

10. 如权利要求9所述的像素阵列基板,其特征在于,该透明屏蔽图案的该开口具有一凹陷部,重叠于该第一断开处。

11. 如权利要求1所述的像素阵列基板,其特征在于,还包括:

多条转接线,沿该第一方向排列,且电性连接至该些栅极线;以及

一透明屏蔽图案,设置于该些转接线所属的至少一膜层与该些像素结构的多个像素电极所属的一膜层之间;

其中,在该像素阵列基板的俯视图中,一第一共用电极的一线段与一转接线具有一第三交错处,且该第三交错处重叠于该透明屏蔽图案的一开口。

12. 如权利要求11所述的像素阵列基板,其特征在于,还包括:

多个第三共用电极,沿该第一方向排列,其中该些像素结构排成多个像素行,每一像素行的多个像素结构沿该第二方向排列;在该像素阵列基板的俯视图中,每一第三共用电极设置于该些像素行的相邻两者之间;

在该像素阵列基板的俯视图中,该第一共用电极的该线段与一第三共用电极具有一第四交错处,且该第四交错处重叠于该透明屏蔽图案的该开口。

13. 如权利要求1所述的像素阵列基板,其特征在于,还包括:

多条转接线,沿该第一方向排列,且电性连接至该些栅极线;以及

一透明屏蔽图案,设置于该些转接线所属的至少一膜层与该些像素结构的多个像素电极所属的一膜层之间;

其中,一第一共用电极的一线段与一转接线具有一第三熔接处;在该像素阵列基板的俯视图中,该第三熔接处重叠于该透明屏蔽图案的一开口。

14. 如权利要求13所述的像素阵列基板,其特征在于,还包括:

多个第三共用电极,沿该第一方向排列,其中该些像素结构排成多个像素行,每一像素行的多个像素结构沿该第二方向排列;在该像素阵列基板的俯视图中,每一第三共用电极设置于该些像素行的相邻两者之间;

该第一共用电极的该线段与一第三共用电极具有一第四熔接处,且该第四熔接处重叠于该透明屏蔽图案的该开口。

15. 如权利要求14所述的像素阵列基板,其特征在于,该第三共用电极具有一第二断开处;在该像素阵列基板的俯视图中,该第二断开处与该透明屏蔽图案的该开口重叠。

16. 如权利要求15所述的像素阵列基板,其特征在于,该透明屏蔽图案的该开口具有一凹陷部,重叠于该第二断开处。

像素阵列基板

技术领域

[0001] 本实用新型涉及一种像素阵列基板。

背景技术

[0002] 一般而言,显示面板的信号线发生断线的情况,会对显示面板进行修补,以提升良率。具体而言,可熔接断开的信号线与修补线及/或切割修补线,以利用修补线电性连接断开的信号线的两个部分。

[0003] 显示面板的修补线可分为设置于周边区的外部修补线及设置于显示区的内部修补线。外部修补线的长度长,本身的负载大。利用外部修补线修补信号线时,与被修补的信号线电性连接的多个像素结构易使显示画面出现异常(例如:亮线/或暗线)。因此,外部修补线并不适合应用在大面积及/或高分辨率的显示面板中。目前大面积及/或是高分辨率的显示面板的修补技术主流是使用内部修补线。然而,内部修补线设置于显示区,内部修补线与信号线之间的距离近,寄生电容大,造成信号线的负载增加,进而降低像素结构的充电效率,不利于显示品质。

实用新型内容

[0004] 本实用新型提供一种像素阵列基板,性能佳。

[0005] 本实用新型的像素阵列基板包括多个像素结构、多条数据线、多条栅极线以及多个第一共用电极。每一像素结构包括薄膜晶体管及电性连接至薄膜晶体管的像素电极。多条数据线沿第一方向排列,且电性连接至多个像素结构的多个薄膜晶体管。多条栅极线沿第二方向排列,且电性连接至多个像素结构的多个薄膜晶体管,其中第一方向与第二方向交错。每一第一共用电极包括沿第一方向排列的多个线段,且多个线段的相邻两者于结构上分离以定义一间隙。在像素阵列基板的俯视图中,对应的一数据线穿越所述间隙。

[0006] 具体而言,本实用新型提供一种像素阵列基板,包括:

[0007] 多个像素结构,其中每一像素结构包括一薄膜晶体管及电性连接至该薄膜晶体管的一像素电极;

[0008] 多条数据线,沿一第一方向排列,且电性连接至这些像素结构的多个薄膜晶体管;

[0009] 多条栅极线,沿一第二方向排列,且电性连接至这些像素结构的这些薄膜晶体管,其中该第一方向与该第二方向交错;以及

[0010] 多个第一共用电极,其中每一第一共用电极包括沿该第一方向排列的多个线段;这些线段的相邻两者于结构上分离,以定义一间隙;在该像素阵列基板的俯视图中,对应的一数据线穿越该间隙。

[0011] 优选地,像素阵列基板还包括:

[0012] 多个第二共用电极,其中这些像素结构排成多个像素列,每一像素列的多个像素结构沿该第一方向排列,每一第二共用电极与对应的一像素列的这些像素结构的多个像素电极部分地重叠;

[0013] 在该像素阵列基板的俯视图中,每一该第一共用电极设置于对应的一栅极线与对应及一第二共用电极之间。

[0014] 优选地,每一该像素结构还包括一连接图案,电性连接该薄膜晶体管及该像素电极;每一该第一共用电极的该些线段包括:多个第一线段及多个第二线段,每一第一线段与至少一数据线交错设置,每一第二线段与对应的一像素结构的该连接图案交错且未与该些数据线重叠。

[0015] 优选地,该些第一共用电极的该些第一线段及该些第二线段在该第一方向及该第二方向上交替排列。

[0016] 优选地,像素阵列基板还包括:

[0017] 多条转接线,沿该第一方向排列,且电性连接至该些栅极线;以及

[0018] 一透明屏蔽图案,设置于该些转接线所属的至少一膜层与该些像素结构的多个像素电极所属的一膜层之间;

[0019] 其中,在该像素阵列基板的俯视图中,一第一共用电极的一线段与另一数据线具有一第一交错处,且该第一交错处重叠于该透明屏蔽图案的一开口。

[0020] 优选地,像素阵列基板还包括:

[0021] 多个第三共用电极,沿该第一方向排列,其中该些像素结构排成多个像素行,每一像素行的多个像素结构沿该第二方向排列;在该像素阵列基板的俯视图中,每一第三共用电极设置于该些像素行的相邻两者之间;

[0022] 该第一共用电极的该线段与一第三共用电极具有一第二交错处,且该第二交错处重叠于该透明屏蔽图案的该开口。

[0023] 优选地,像素阵列基板还包括:

[0024] 多条转接线,沿该第一方向排列,且电性连接至该些栅极线;以及

[0025] 一透明屏蔽图案,设置于该些转接线所属的至少一膜层与该些像素结构的多个像素电极所属的一膜层之间;

[0026] 其中,一第一共用电极的一线段与另一数据线具有一第一熔接处;在该像素阵列基板的俯视图中,该第一熔接处重叠于该透明屏蔽图案的一开口。

[0027] 优选地,像素阵列基板还包括:

[0028] 多个第三共用电极,沿该第一方向排列,其中该些像素结构排成多个像素行,每一像素行的多个像素结构沿该第二方向排列;在该像素阵列基板的俯视图中,每一第三共用电极设置于该些像素行的相邻两者之间;

[0029] 该第一共用电极的该线段与一第三共用电极具有一第二熔接处,且该第二熔接处重叠于该透明屏蔽图案的该开口。

[0030] 优选地,该第三共用电极具有一第一断开处;在该像素阵列基板的俯视图中,该第一断开处与该透明屏蔽图案的该开口重叠。

[0031] 优选地,该透明屏蔽图案的该开口具有一凹陷部,重叠于该第一断开处。

[0032] 优选地,像素阵列基板还包括:

[0033] 多条转接线,沿该第一方向排列,且电性连接至该些栅极线;以及

[0034] 一透明屏蔽图案,设置于该些转接线所属的至少一膜层与该些像素结构的多个像素电极所属的一膜层之间;

[0035] 其中,在该像素阵列基板的俯视图中,一第一共用电极的一线段与一转接线具有一第三交错处,且该第三交错处重叠于该透明屏蔽图案的一开口。

[0036] 优选地,像素阵列基板还包括:

[0037] 多个第三共用电极,沿该第一方向排列,其中该些像素结构排成多个像素行,每一像素行的多个像素结构沿该第二方向排列;在该像素阵列基板的俯视图中,每一第三共用电极设置于该些像素行的相邻两者之间;

[0038] 在该像素阵列基板的俯视图中,该第一共用电极的该线段与一第三共用电极具有一第四交错处,且该第四交错处重叠于该透明屏蔽图案的该开口。

[0039] 优选地,像素阵列基板还包括:

[0040] 多条转接线,沿该第一方向排列,且电性连接至该些栅极线;以及

[0041] 一透明屏蔽图案,设置于该些转接线所属的至少一膜层与该些像素结构的多个像素电极所属的一膜层之间;

[0042] 其中,一第一共用电极的一线段与一转接线具有一第三熔接处;在该像素阵列基板的俯视图中,该第三熔接处重叠于该透明屏蔽图案的一开口。

[0043] 优选地,像素阵列基板还包括:

[0044] 多个第三共用电极,沿该第一方向排列,其中该些像素结构排成多个像素行,每一像素行的多个像素结构沿该第二方向排列;在该像素阵列基板的俯视图中,每一第三共用电极设置于该些像素行的相邻两者之间;

[0045] 该第一共用电极的该线段与一第三共用电极具有一第四熔接处,且该第四熔接处重叠于该透明屏蔽图案的该开口。

[0046] 优选地,该第三共用电极具有一第二断开处;在该像素阵列基板的俯视图中,该第二断开处与该透明屏蔽图案的该开口重叠。

[0047] 优选地,该透明屏蔽图案的该开口具有一凹陷部,重叠于该第二断开处。

附图说明

[0048] 图1为本实用新型一实施例的像素阵列基板10的俯视示意图。

[0049] 图2为本实用新型一实施例的像素阵列基板10的一区域R的俯视示意图。

[0050] 图3为本实用新型一实施例的像素阵列基板10的局部r的放大示意图。

[0051] 图4为本实用新型一实施例的像素阵列基板10的剖面示意图。

[0052] 图5为本实用新型一实施例的像素阵列基板10'的俯视示意图。

[0053] 附图标记说明:

[0054] 10、10': 像素阵列基板

[0055] 110: 基底

[0056] 120: 第一金属层

[0057] 122: 第一共用电极

[0058] 122a、122b、122b-1、122b-2: 线段

[0059] 122g: 间隙

[0060] 124: 第二共用电极

[0061] 130: 栅绝缘层

- [0062] 140:第二金属层
- [0063] 142:连接图案
- [0064] 144:第三共用电极
- [0065] 144a、144b、144c、144d:一处
- [0066] 144m:主要部
- [0067] 150:第一钝化层
- [0068] 160:彩色滤光图案
- [0069] 170:第二钝化层
- [0070] 180:第一透明导电层
- [0071] 182:透明屏蔽图案
- [0072] 182a:开口
- [0073] 182a-1、182a-2:凹陷部
- [0074] 190:平坦层
- [0075] 130a、192:接触窗
- [0076] 200:第二透明导电层
- [0077] 202:像素电极
- [0078] Csp_x:像素行
- [0079] C1:第一断开处
- [0080] C2:第二断开处
- [0081] C3:第三断开处
- [0082] C4:第四断开处
- [0083] C5:第五断开处
- [0084] C6:第六断开处
- [0085] C7:第七断开处
- [0086] C8:第八断开处
- [0087] DL:数据线
- [0088] DL_o:断开处
- [0089] DL-1:第一部分
- [0090] DL-2:第二部分
- [0091] DM1:第一菱格纹
- [0092] DM2:第二菱格纹
- [0093] GL:栅极线
- [0094] g1:转接线
- [0095] gla:主要部
- [0096] glo:断开处
- [0097] g1-1:第一部分
- [0098] g1-2:第二部分
- [0099] R:区域
- [0100] r:局部

- [0101] Rsp_x:像素列
- [0102] S_{DL}:数据信号
- [0103] S_{gl}:栅极驱动信号
- [0104] SPX:像素结构
- [0105] T:薄膜晶体管
- [0106] Ta:源极
- [0107] Tb:漏极
- [0108] Tc:栅极
- [0109] Td:半导体图案
- [0110] W1:第一熔接处
- [0111] W2:第二熔接处
- [0112] W3:第三熔接处
- [0113] W4:第四熔接处
- [0114] W5:第五熔接处
- [0115] W6:第六熔接处
- [0116] W7:第七熔接处
- [0117] W8:第八熔接处
- [0118] X1:第一交错处
- [0119] X2:第二交错处
- [0120] X3:第三交错处
- [0121] X4:第四交错处
- [0122] x:第一方向
- [0123] y:第二方向
- [0124] I-I':剖面

具体实施方式

[0125] 现将详细地参考本实用新型的示范性实施例,示范性实施例的实例说明于附图中。只要有可能,相同元件符号在附图和描述中用来表示相同或相似部分。

[0126] 应当理解,当诸如层、膜、区域或基板的元件被称为在另一元件“上”或“连接到”另一元件时,其可以直接在另一元件上或与另一元件连接,或者中间元件可以也存在。相反,当元件被称为“直接在另一元件上”或“直接连接到”另一元件时,不存在中间元件。如本文所使用的,“连接”可以指物理及/或电性连接。再者,“电性连接”或“耦合”可以是二元件间存在其它元件。

[0127] 本文使用的“约”、“近似”、或“实质上”包括所述值和在本领域普通技术人员确定的特定值的可接受的偏差范围内的平均值,考虑到所讨论的测量和与测量相关的误差的特定数量(即,测量系统的限制)。例如,“约”可以表示在所述值的一个或多个标准偏差内,或±30%、±20%、±10%、±5%内。再者,本文使用的“约”、“近似”或“实质上”可依光学性质、蚀刻性质或其它性质,来选择较可接受的偏差范围或标准偏差,而可不用一个标准偏差适用全部性质。

[0128] 除非另有定义,本文使用的所有术语(包括技术和科学术语)具有与本实用新型所属领域的普通技术人员通常理解的相同的含义。将进一步理解的是,诸如在通常使用的字典中定义的那些术语应当被解释为具有与它们在相关技术和本实用新型的上下文中的含义一致的含义,并且将不被解释为理想化的或过度正式的意义,除非本文中明确地这样定义。

[0129] 图1为本实用新型一实施例的像素阵列基板10的俯视示意图。

[0130] 图2为本实用新型一实施例的像素阵列基板10的一区域R的俯视示意图。图2对应图1的区域R。

[0131] 图1示意性地绘出基底110、栅极线GL及转接线g1,而省略图2的像素阵列基板10的其它构件。

[0132] 图3为本实用新型一实施例的像素阵列基板10的局部r的放大示意图。图3对应图2的局部r。

[0133] 图4为本实用新型一实施例的像素阵列基板10的剖面示意图。图4对应图3的剖面I-I'。

[0134] 请参照图1、图2、图3及图4,像素阵列基板10包括基底110。基底110主要用以承载像素阵列基板10的多个构件。举例而言,在本实施例中,基底110的材质可以是玻璃。然而,本实用新型不限于此,根据其它实施例,基底110的材质也可以是石英、有机聚合物、不透光/反射材料(例如:晶圆、陶瓷等)、或是其它可适用的材料。

[0135] 请参照图1、图2及图3,像素阵列基板10包括多条数据线DL和多条栅极线GL。多条数据线DL和多条栅极线GL设置于基底110上。多条数据线DL沿第一方向x排列,多条栅极线GL沿第二方向y上排列,其中第一方向x与第二方向y交错。举例而言,在本实施例中,第一方向x与第二方向y可垂直,但本实用新型不以此为限。

[0136] 请参照图3及图4,另外,数据线DL与栅极线GL属于不同的膜层。举例而言,在本实施例中,栅极线GL可选择性地属于第一金属层120,数据线DL可选择性地属于第二金属层140,但本实用新型不以此为限。

[0137] 基于导电性的考量,在本实施例中,数据线DL与栅极线GL是使用金属材料。然而,本实用新型不限于此,根据其他实施例,数据线DL与栅极线GL也可以使用其他导电材料,例如:合金、金属材料的氮化物、金属材料的氧化物、金属材料的氮氧化物、或是金属材料与其它导电材料的堆叠层。

[0138] 请参照图2及图3,像素阵列基板10包括多个像素结构SPX,设置于基底110上。每一像素结构SPX包括薄膜晶体管T及电性连接至薄膜晶体管T的像素电极202。多条数据线DL电性连接至多个像素结构SPX的多个薄膜晶体管T。多条栅极线GL电性连接至多个像素结构SPX的多个薄膜晶体管T。

[0139] 请参照图3及图4,具体而言,在本实施例中,每一薄膜晶体管T具有源极Ta、漏极Tb、栅极Tc及半导体图案Td,栅绝缘层130夹设于栅极Tc与半导体图案Td之间,源极Ta和漏极Tb分别与半导体图案Td的不同两区电性连接,源极Ta电性连接至对应的一条数据线DL,且栅极Tc电性连接至对应的一条栅极线GL。举例而言,在本实施例中,栅极Tc可选择性地属于第一金属层120,源极Ta和漏极Tb可选择性地属于第二金属层140,但本实用新型不以此为限。

[0140] 每一薄膜晶体管T的漏极Tb电性连接至对应的一像素电极202。举例而言,在本实施例中,每一像素结构SPX还包括设置于栅绝缘层130上且与薄膜晶体管T的漏极Tb电性连接的一连接图案142;像素阵列基板10还可包括设置于第二金属层140上的第一钝化层150、设置于第一钝化层150上的彩色滤光图案160、设置于彩色滤光图案160上的第二钝化层170及设置于第二钝化层170上的平坦层190;像素电极202可设置平坦层190上,且通过平坦层190的接触窗192电性连接至连接图案142,其中连接图案142电性连接像素电极202与薄膜晶体管T的漏极Tb。

[0141] 在本实施例中,像素电极202可属于第二透明导电层200。第二透明导电层200的材质可包括金属氧化物,例如:铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、铟锗锌氧化物、其它合适的氧化物、或者是上述至少二者的堆叠层,但本实用新型不以此为限。

[0142] 请参照图2,像素阵列基板10还包括多个第一共用电极122。每一第一共用电极122包括沿第一方向x排列的多个线段122a、122b;多个线段122a、122b的相邻两者于结构上分离,以定义间隙122g;在像素阵列基板10的俯视图中,对应的一数据线DL穿越间隙122g。

[0143] 换言之,每一第一共用电极122包括彼此断开的多个线段122a、122b;在像素阵列基板10的俯视图中,像素阵列基板10的每一数据线DL至少会穿过至少一个第一共用电极122的断开处(即间隙122g),而不会与每一个第一共用电极122都重叠。因此,数据线DL与第一共用电极122之间的寄生电容小,使得数据线DL的负载减轻,进而增进像素结构SPX的充电效率、提升像素阵列基板10的性能。

[0144] 在本实施例中,每一第一共用电极122的多个线段122a、122b包括多个第一线段122a及多个第二线段122b,每一第一线段122a与至少一数据线DL交错设置,每一第二线段122b与对应的一像素结构SPX的连接图案142交错且未与数据线DL重叠。

[0145] 于正常的情况下(或者说,第一共用电极122未被用以修补像素阵列基板10的情况下),每一第一共用电极122的多个第一线段122a及多个第二线段122b是各自电性连接至对应的一第二共用电极124;第一共用电极122的多个第一线段122a、第一共用电极122的多个第二线段122b及第二共用电极124具有相同的参考电位;但本实用新型不以此为限。

[0146] 举例而言,在本实施例中,每一第一线段122a可与三条数据线DL交错设置,且左右相邻的两个第一线段122a之间可设有分别与两个连接图案142交错的两个第二线段122b-1、122b-2。然而,本实用新型不以此为限,与同一第一线段122a交错的数据线DL的数量及/或位于相邻两个第一线段122a之间的第二线段122b的数量均可视实际需求而改变。

[0147] 值得一提的是,在本实施例中,第二线段122b的设置可使得分别对应第一线段122a及第二线段122b的多个像素结构SPX与第一共用电极122之间的寄生电容较为接近。如此一来,分别对应第一线段122a及第二线段122b的多个像素结构SPX可具有相近的光学表现,以提升具有像素阵列基板10的显示面板(未示出)的整体显示品质。

[0148] 请参照图2,在本实施例中,分别对应多个像素列Rsp_x的多个第一共用电极122的多个第一线段122a及多个第二线段122b-1可在第一方向x上及第二方向y上交替排列。换言之,分别对应于多个第一线段122a的多群像素结构SPX的连线大致上可呈第一菱格纹DM1,且分别对应于多个第二线段122b-1的多个像素结构SPX的连线大致上可呈第二菱格纹DM2。因此,即便分别对应于多个第一线段122a及多个第二线段122b的多个像素结构SPX的光学表现(例如:亮度)略有差异,也不易过度影响具有像素阵列基板10的显示面板的整体显示

品质。

[0149] 举例而言,在本实施例中,第一共用电极122可选择性地属于第一金属层120,但本实用新型不以此为限。基于导电性的考量,在本实施例中,第一共用电极122是使用金属材料。然而,本实用新型不限于此,根据其他实施例,第一共用电极122也可以使用其他导电材料,例如:合金、金属材料的氮化物、金属材料的氧化物、金属材料的氮氧化物、或是金属材料与其它导电材料的堆叠层。

[0150] 请参照图2,在本实施例中,像素阵列基板10还包括多个第二共用电极124;多个像素结构SPX排成多个像素列R_{SPX},每一像素列R_{SPX}的多个像素结构SPX沿第一方向x排列;每一第二共用电极124与对应的一像素列R_{SPX}的多个像素结构SPX的多个像素电极202部分地重叠。每一第二共用电极124用以与多个像素电极202形成多个像素结构SPX的存储电容。在像素阵列基板10的俯视图中,每一第一共用电极122可设置于对应的一条栅极线GL与对应及一个第二共用电极124之间。

[0151] 举例而言,在本实施例中,第二共用电极124可选择性地属于第一金属层120,但本实用新型不以此为限。基于导电性的考量,在本实施例中,第二共用电极124是使用金属材料。然而,本实用新型不限于此,根据其他实施例,第二共用电极124也可以使用其他导电材料,例如:合金、金属材料的氮化物、金属材料的氧化物、金属材料的氮氧化物、或是金属材料与其它导电材料的堆叠层。

[0152] 请参照图1及图2,在本实施例中,像素阵列基板10还包括多条转接线g1。多条转接线g1设置于基底110上,且在第一方向x上排列。在第一方向x上排列的多条转接线g1分别电性连接至在第二方向y上排列的多条栅极线GL。请参照图2,在本实施例中,多个像素结构SPX排成多个像素行C_{SPX},每一像素行C_{SPX}的多个像素结构SPX沿第二方向y排列;在像素阵列基板10的俯视图中,每一转接线g1设置于多个像素行C_{SPX}的相邻两者之间。

[0153] 请参照图1、图2及图3,举例而言,在本实施例中,多条栅极线GL可选择性地属于第一金属层120,多条转接线g1的主要部g1a可选择性地属于第二金属层140,第一金属层120与第二金属层140之间设有栅绝缘层130(绘于图4),栅绝缘层130具有多个接触窗130a(绘于图1),多条转接线g1的主要部g1a可通过栅绝缘层130的多个接触窗130a分别与多条栅极线GL电性连接,但本实用新型不以此为限。

[0154] 请参照图2、图3及图4,在本实施例中,像素阵列基板10还可选择性地包括透明屏蔽图案182。透明屏蔽图案182设置于转接线g1所属的至少一膜层与像素电极202所属的膜层之间,以屏蔽转接线g1的栅极驱动信号对像素电极202的电位的干扰。举例而言,在本实施例中,透明屏蔽图案182所属的第一透明导电层180可设置于转接线g1的主要部g1a所属的第二金属层140与像素电极202所属的第二透明导电层200之间。

[0155] 请参照图4,具体而言,在本实施例中,透明屏蔽图案182可选择性地设置于第二钝化层170上,且位于平坦层190与第二钝化层170之间,但本实用新型不以此为限。根据其它实施例,透明屏蔽图案182也可设置于转接线g1与像素电极202之间的其它位置;或者,也可省略透明屏蔽图案182的设置。

[0156] 请参照图2,在本实施例中,于像素阵列基板10的俯视图中,第一共用电极122的线段122a与数据线DL具有第一交错处X1,且第一交错处X1可重叠于透明屏蔽图案182的开口182a。换言之,透明屏蔽图案182的实体在第一共用电极122与数据线DL的第一交错处X1让

开且未与第一交错处X1重叠。

[0157] 请参照图2,在本实施例中,像素阵列基板10还包括多个第三共用电极144,沿第一方向x排列;在像素阵列基板10的俯视图中,每一第三共用电极144设置于多个像素行Csp_x的相邻两者之间。

[0158] 举例而言,在本实施例中,第三共用电极144具有跨越多条栅极线GL的主要部144m,第三共用电极144的主要部144m可属于第二金属层140,但本实用新型不以此为限。基于导电性的考量,在本实施例中,第三共用电极144是使用金属材料。然而,本实用新型不限于此,根据其他实施例,第三共用电极144也可以使用其他导电材料,例如:合金、金属材料的氮化物、金属材料的氧化物、金属材料的氮氧化物、或是金属材料与其它导电材料的堆叠层。

[0159] 在本实施例中,第一共用电极122的线段122a与第三共用电极144具有第二交错处X2,且第二交错处X2重叠于透明屏蔽图案182的开口182a。换言之,透明屏蔽图案182的实体在第一共用电极122与第三共用电极144的第二交错处X2让开且未与第二交错处X2重叠。

[0160] 在本实施例中,于像素阵列基板10的俯视图中,第一共用电极122的一线段122a与一转接线g1具有第三交错处X3,且第三交错处X3重叠于透明屏蔽图案182的开口182a。换言之,透明屏蔽图案182的实体在第一共用电极122与转接线g1的第三交错处X3让开且未与第三交错处X3重叠。

[0161] 在本实施例中,于像素阵列基板10的俯视图中,第一共用电极122的线段122a与另一第三共用电极144具有第四交错处X4,且第四交错处X4重叠于透明屏蔽图案182的开口182a。换言之,透明屏蔽图案182的实体在第一共用电极122的线段122a与另一第三共用电极144的第四交错处X4让开且未与第四交错处X4重叠。

[0162] 值得注意的是,当信号线(例如:数据线DL及/或转接线g1)断线时,可使用横向设置的第一共用电极122及直向设置的第三共用电极144来修补,以下以图5为例说明。

[0163] 图5为本实用新型一实施例的像素阵列基板10'的俯视示意图。图5的像素阵列基板10'与图2的像素阵列基板10类似,因此相同或相似的元件以相同或相似的元件符号表示,以下说明两者的差异处,两者相同或相似处请参照上述说明,于此便不再重述。此外,为清楚示出起见,图5省略像素电极202的示出。

[0164] 图2的像素阵列基板10是正常的(或者说,未修补的)像素阵列基板,而图5的像素阵列基板10'是修过的像素阵列基板。

[0165] 请参照图5,具体而言,在本实施例中,一数据线DL具有断开处DL_o,断开处DL_o将数据线DL分为第一部分DL-1及第二部分DL-2,其中数据线DL的第一部分DL-1位于断开处DL_o的上方,且数据线DL的第二部分DL-2位于断开处DL_o的下方。

[0166] 为修补断开的数据线DL,在本实施例中,可熔接数据线DL的第一部分DL-1和与其交错的第一共用电极122的一线段122a,以使第一共用电极122的一线段122a与数据线DL的第一部分DL-1具有第一熔接处W1并彼此电性连接。在本实施例中,于像素阵列基板10'的俯视图中,第一熔接处W1可重叠于透明屏蔽图案182的开口182a,但本实用新型不以此为限。

[0167] 在本实施例中,还可熔接与数据线DL的第一部分DL-1交错的第一共用电极122的线段122a与一第三共用电极144的一处144a,以使第一共用电极122的线段122a与第三共用电极144具有第二熔接处W2并彼此电性连接。在本实施例中,于像素阵列基板10'的俯视图

中,第二熔接处W2可重叠于透明屏蔽图案182的开口182a,但本实用新型不以此为限。

[0168] 在本实施例中,还可熔接第三共用电极144的另一处144b和与其交错的另一第一共用电极122的一线段122a,以使另一第一共用电极122的一线段122a与第三共用电极144的另一处144b具有第五熔接处W5并彼此电性连接。在本实施例中,于像素阵列基板10'的俯视图中,第五熔接处W5可重叠于透明屏蔽图案182的另一开口182a,但本实用新型不以此为限。

[0169] 在本实施例中,还可熔接数据线DL的第二部分DL-2和与其交错的另一第一共用电极122的一线段122a,以使另一第一共用电极122的一线段122a与数据线DL的第二部分DL-2具有第六熔接处W6并彼此电性连接。在本实施例中,于像素阵列基板10'的俯视图中,第六熔接处W6可重叠于透明屏蔽图案182的另一开口182a,但本实用新型不以此为限。

[0170] 在本实施例中,还可使具有第二熔接点W2及第五熔接点W5的第三共用电极144的一部分与第三共用电极144的其它部分断开。具体而言,在本实施例中,第三共用电极144可具有位于第二熔接点W2上方的一第一断开处C1以及位于第五熔接点W5下方的一第三断开处C3。在本实施例中,透明屏蔽图案182的开口182a可具有凹陷部182a-1,重叠于第一断开处C1,但本实用新型不此为限。

[0171] 此外,在本实施例中,还可使具有第一熔接点W1及第二熔接点W2的一线段122a与相邻的第二共用电极124具有一第四断开处C4,使具有第五熔接点W5及第六熔接点W6的另一线段122a与相邻的第二共用电极124具有一第五断开处C5。

[0172] 在形成上述的第一熔接点W1、第二熔接点W2、第五熔接点W6、第六熔接点W6、第一断开处C1、第三断开处C3、第四断开处C4及第五断开处C5后,数据线DL的第一部分DL-1的数据信号 S_{DL} 便可通过第一熔接点W1、与数据线DL的第一部分DL-1交错的一第一共用电极122的线段122a、第二熔接点W2、被第一断开处C1及第三断开处C3截出的第三共用电极144的一部分、第五熔接点W5、与数据线DL的第二部分DL-2交错的另一第一共用电极122的线段122a及第六熔接点W6传递至数据线DL的第二部分DL-2,进而使像素阵列基板10'能正常运行。

[0173] 请参照图5,在本实施例中,一转接线g1具有断开处g1o,断开处g1o将转接线g1分为第一部分g1-1及第二部分g1-2,其中转接线g1的第一部分g1-1位于断开处g1o的上方,且转接线g1的第二部分g1-2位于断开处g1o的下方。

[0174] 在本实施例中,可熔接转接线g1的第一部分g1-1和与其交错的一第一共用电极122的一线段122a,以使第一共用电极122的一线段122a与转接线g1的第一部分g1-1具有第三熔接处W3并彼此电性连接。在本实施例中,于像素阵列基板10'的俯视图中,第三熔接处W3可重叠于透明屏蔽图案182的开口182a,但本实用新型不以此为限。

[0175] 在本实施例中,还可熔接与转接线g1的第一部分g1-1交错的第一共用电极122的线段122a与另一第三共用电极144的一处144c,以使第一共用电极122的线段122a与第三共用电极144具有第四熔接处W4并彼此电性连接。在本实施例中,于像素阵列基板10'的俯视图中,第四熔接处W4可重叠于透明屏蔽图案182的开口182a,但本实用新型不以此为限。

[0176] 在本实施例中,还可熔接所述另一第三共用电极144的另一处144d和与其交错的另一第一共用电极122的线段122a,以使另一第一共用电极122的线段122a与第三共用电极144的另一处144d具有第七熔接处W7并彼此电性连接。在本实施例中,于像素阵列基板10'的俯视图中,第七熔接处W7可重叠于透明屏蔽图案182的另一开口182a,但本实用新型不以

此为限。

[0177] 在本实施例中,还可熔接转接线g1的第二部分g1-2和与其交错的另一第一共用电极122的线段122a,以使另一第一共用电极122的线段122a与转接线g1的第二部分g1-2具有第八熔接处W8并彼此电性连接。在本实施例中,于像素阵列基板10'的俯视图中,第八熔接处W8可重叠于透明屏蔽图案182的另一开口182a,但本实用新型不以此为限。

[0178] 在本实施例中,还可使具有第四熔接点W4及第七熔接点W7的第三共用电极144的一部分与第三共用电极144的其它部分断开。具体而言,第三共用电极144可具有位于第四熔接点W4上方的一第二断开处C2,且具有位于第七熔接点W7下方的一第六断开处C6。在本实施例中,透明屏蔽图案182的开口182a可具有凹陷部182a-2,重叠于第二断开处C2,但本实用新型不此为限。

[0179] 此外,在本实施例中,还可使具有第三熔接点W3及第四熔接点W4的第一共用电极122的第一线段122a与相邻的第二共用电极124具有一第七断开处C7,具有第七熔接点W7及第八熔接点W8的第一共用电极122的第一线段122a与相邻的第二共用电极124具有一第八断开处C8。

[0180] 在形成上述的第三熔接点W3、第四熔接点W4、第七熔接点W7、第八熔接点W8、第二断开处C2、第六断开处C6、第七断开处C7及第八断开处C8后,转接线g1的第一部分g1-1的栅极驱动信号 S_{g1} 便可通过第三熔接点W3、与转接线g1的第一部分g1-1交错的第一共用电极122的线段122a、第四熔接点W4、被第二断开处C2及第六断开处C6截出的第三共用电极144的一部分、第七熔接点W7、与转接线g1的第二部分g1-2交错的另一第一共用电极122的线段122a及第八熔接点W8传递至转接线g1的第二部分g1-2,进而使像素阵列基板10'能正常运行。

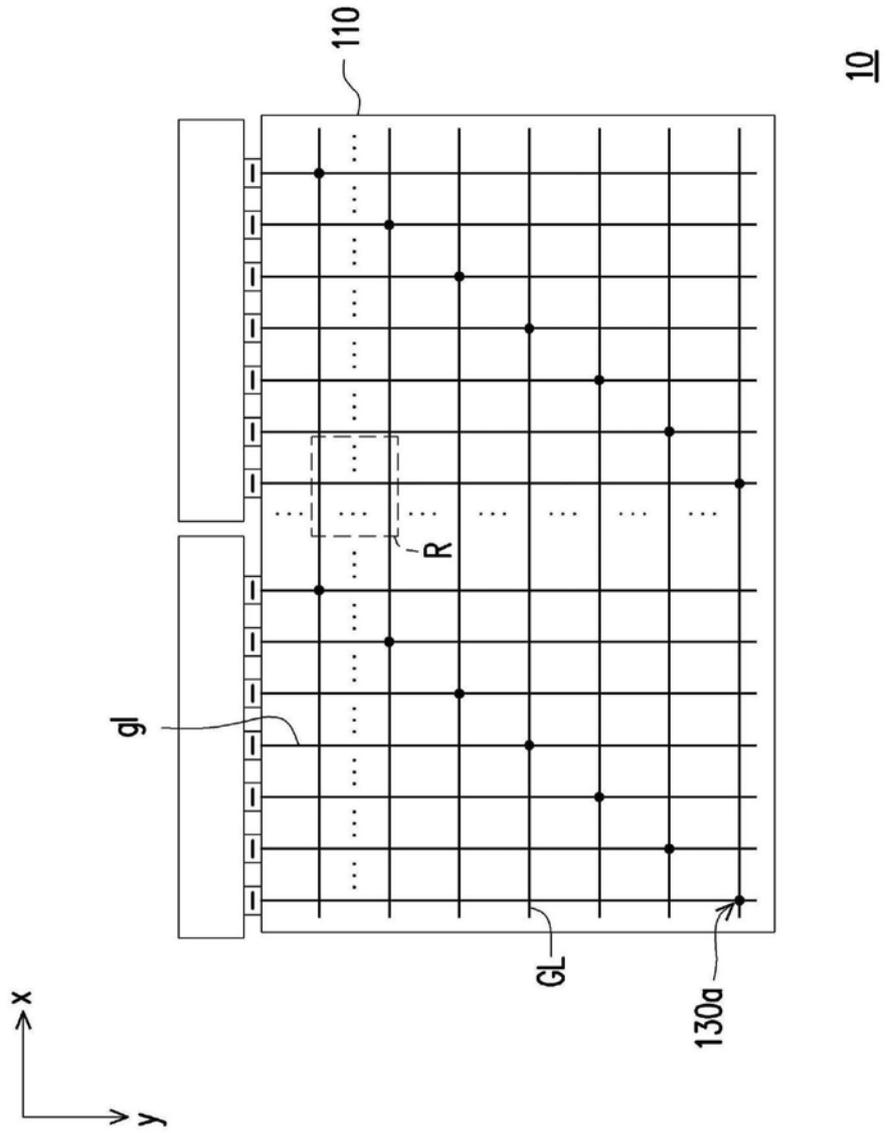


图1

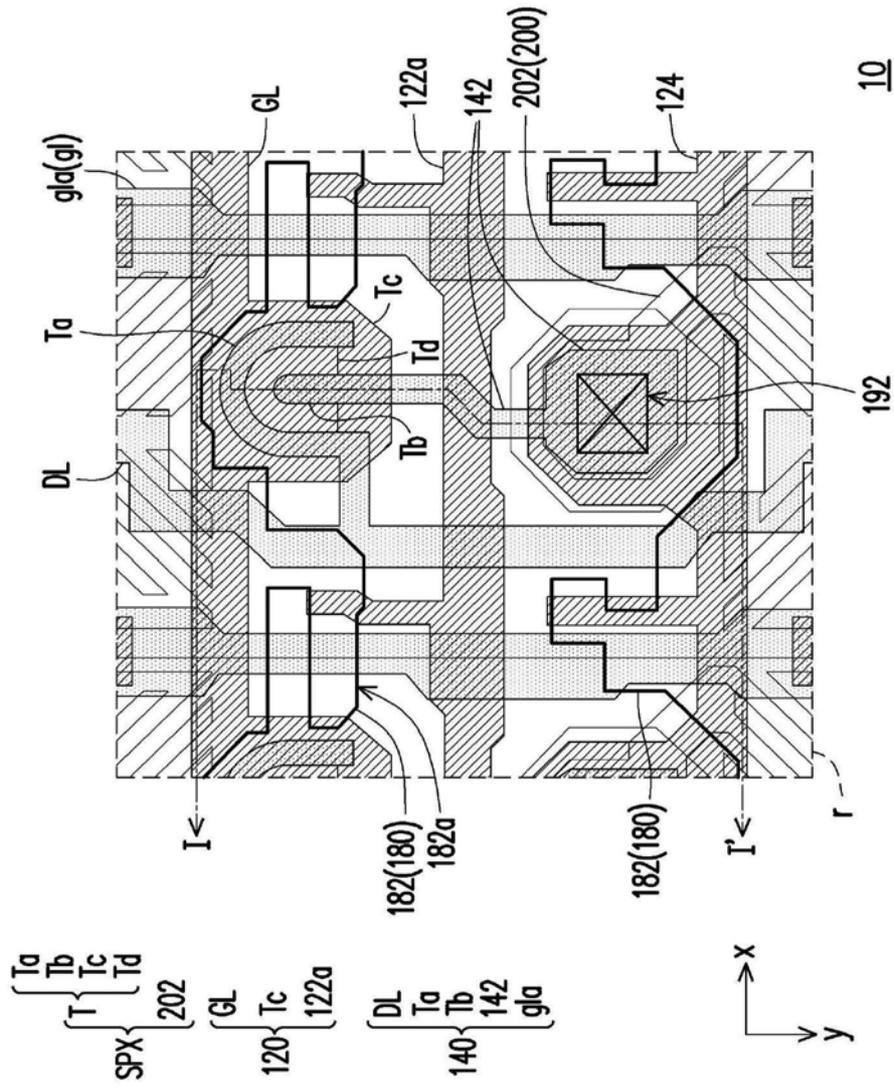


图3

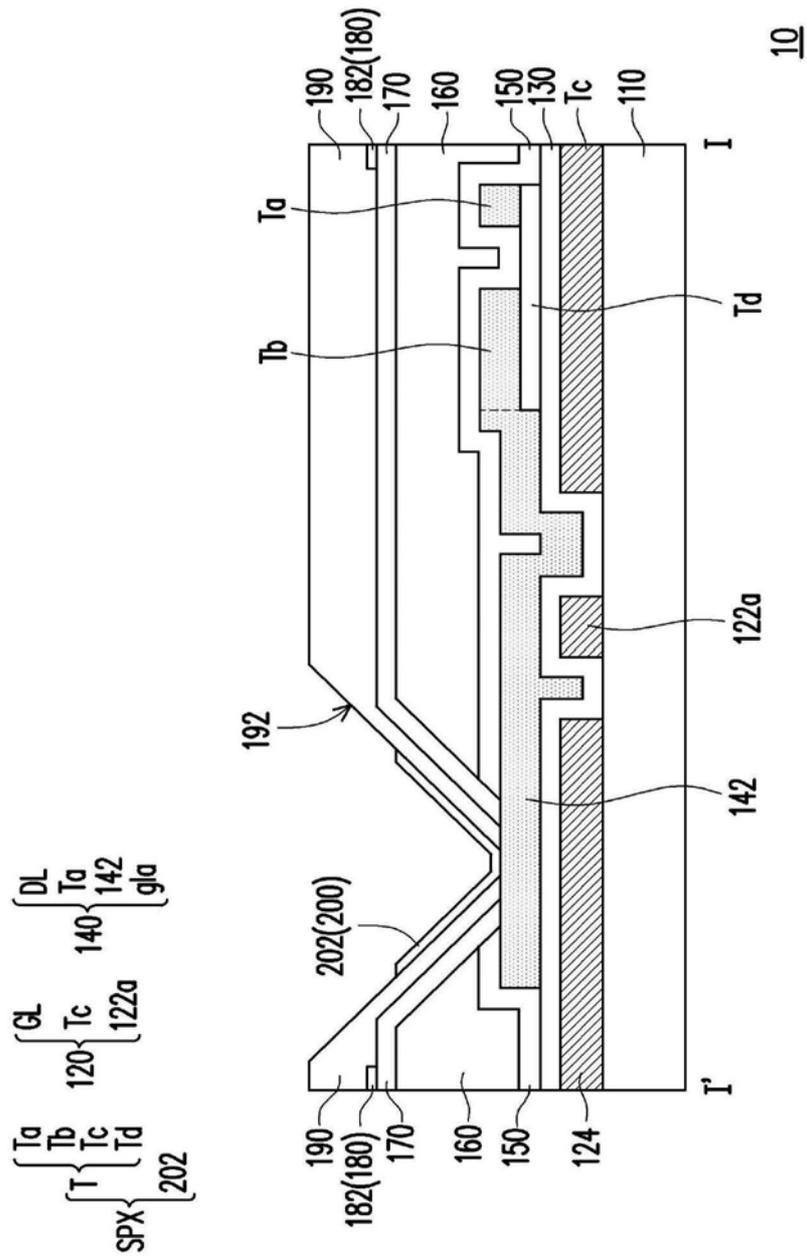


图4

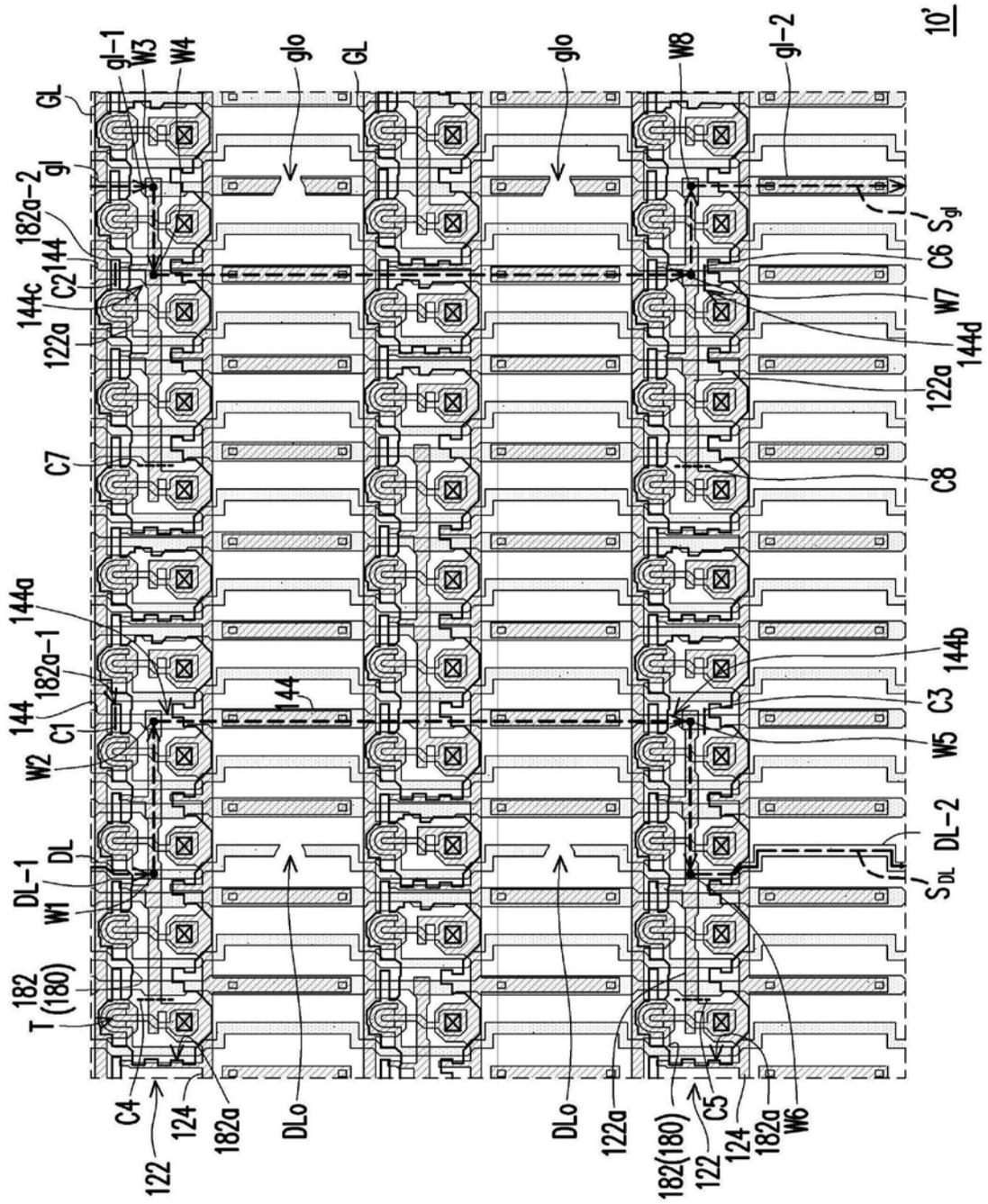


图5