



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/115 (2006.01) H01L 21/8247 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월22일 10-0672721 2007년01월16일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0134447 2005년12월29일 2005년12월29일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자                    동부일렉트로닉스 주식회사  
                                      서울 강남구 대치동 891-10

(72) 발명자                        김진호  
                                      충북 음성군 감곡면 오향리 797 동보아파트 304호

                                      안효상  
                                      충북 청주시 상당구 문화동 2760번지

(74) 대리인                        강용복  
                                      김용인

심사관 : 김기현

전체 청구항 수 : 총 13 항

(54) 플래쉬 메모리의 제조방법

(57) 요약

본 발명은 공정수를 줄일 수 있고, 소자의 신뢰성을 높일 수 있는 플래쉬 메모리의 제조방법에 관한 것으로, 반도체 기판의 전면에 차례로 게이트 산화막 제 1 폴리실리콘층, 층간 절연막, 및 제 2 폴리실리콘층을 형성하는 단계; 상기 제 2 폴리실리콘층상에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 마스크로 하여 노출된 상기 제 2 폴리실리콘층을 Cl<sub>2</sub>, HBr, HeO<sub>2</sub>, 및 CF<sub>4</sub>를 사용하여 제거함으로써 콘트롤 게이트를 형성하는 단계; 상기 포토레지스트 패턴을 마스크로 하여 노출된 상기 층간 절연막을 Ar 및 CHF<sub>3</sub>를 사용하여 제거함으로써 유전체막을 형성하는 단계; 및 상기 포토레지스트 패턴을 마스크로 하여 노출된 상기 제 1 폴리실리콘층을 HBr 및 HeO<sub>2</sub>를 사용하여 제거함으로써 플로팅 게이트를 형성하는 단계를 포함하여 이루어지는 것이다.

대표도

도 1b

특허청구의 범위

청구항 1.

반도체 기관의 전면에 차례로 게이트 산화막 제 1 폴리실리콘층, 층간 절연막, 및 제 2 폴리실리콘층을 형성하는 단계;

상기 제 2 폴리실리콘층상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 하여 노출된 상기 제 2 폴리실리콘층을  $Cl_2$ ,  $HBr$ ,  $HeO_2$ , 및  $CF_4$ 를 사용하여 제거함으로써 콘트롤 게이트를 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 하여 노출된 상기 층간 절연막을  $Ar$  및  $CHF_3$ 를 사용하여 제거함으로써 유전체막을 형성하는 단계; 및

상기 포토레지스트 패턴을 마스크로 하여 노출된 상기 제 1 폴리실리콘층을  $HBr$  및  $HeO_2$ 를 사용하여 제거함으로써 플로팅 게이트를 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 플래쉬 메모리의 제조방법.

## 청구항 2.

제 1 항에 있어서,

상기 제 2 폴리실리콘층에,

상기  $Cl_2$ 를 2 내지 10mT의 압력하에 15 내지 95sccm으로 55초동안 공급하며;

상기  $HBr$ 을 2 내지 10mT의 압력하에 80 내지 250sccm으로 55초동안 공급하며;

상기  $HeO_2$ 를 2 내지 10mT의 압력하에 8 내지 64sccm으로 55초동안 공급하며; 그리고,

상기  $He$ 를 2 내지 10 mT의 압력하에 125 내지 225sccm으로 55초동안 공급하는 것을 특징으로 하는 플래쉬 메모리의 제조방법.

## 청구항 3.

제 1 항에 있어서,

상기 층간 절연막에,

상기  $Ar$ 을 0.9 내지 8mT의 압력하에 45 내지 165sccm으로 50초동안 공급하며; 그리고,

상기  $CHF_3$ 을 0.9 내지 8mT의 압력하에 50 내지 350sccm으로 50초동안 공급하는 것을 특징으로 하는 플래쉬 메모리의 제조방법.

## 청구항 4.

상기 제 1 항에 있어서,

상기 제 1 폴리실리콘층에,

상기  $HBr$ 을 8 내지 21mT의 압력하에 100 내지 250sccm으로 38초동안 공급하며; 그리고,

상기  $HeO_2$ 를 8 내지 21mT의 압력하에 12sccm으로 38초동안 공급하는 것을 특징으로 하는 플래쉬 메모리의 제조방법.

### 청구항 5.

제 1 항에 있어서,

상기 콘트롤 게이트를 형성하는 단계는, Ar 및 CF<sub>4</sub>를 사용하여 상기 제 2 폴리실리콘층을 제거하는 단계를 더 포함하여 이루어짐을 특징으로 하는 플래쉬 메모리의 제조방법.

### 청구항 6.

제 5 항에 있어서,

상기 제 2 폴리실리콘층에,

상기 Ar을 2 내지 8mT의 압력하에 80 내지 200sccm으로 5초동안 공급하며; 그리고,

상기 CF<sub>4</sub>를 2 내지 8mT의 압력하에 75 내지 195sccm으로 5초동안 공급하는 것을 특징으로 하는 플래쉬 메모리의 제조 방법.

### 청구항 7.

제 1 항에 있어서,

상기 콘트롤 게이트를 형성하는 단계는, HBr, HeO<sub>2</sub>, 및 He를 사용하여 상기 제 2 폴리실리콘층을 제거하는 단계를 더 포함하여 이루어짐을 특징으로 하는 플래쉬 메모리의 제조방법.

### 청구항 8.

제 7 항에 있어서,

상기 제 2 폴리실리콘층에,

상기 HBr을 25 내지 125mT의 압력하에 120 내지 650sccm으로 120초동안 공급하며;

상기 HeO<sub>2</sub>를 25 내지 125mT의 압력하에 8 내지 36sccm으로 120초동안 공급하며; 그리고,

상기 He를 25 내지 125mT의 압력하에 125 내지 225sccm으로 120초동안 공급하는 것을 특징으로 하는 플래쉬 메모리의 제조방법.

### 청구항 9.

제 1 항에 있어서,

상기 플로팅 게이트를 형성하는 단계는, Cl<sub>2</sub>, HBr, HeO<sub>2</sub>, 및 CF<sub>4</sub>를 사용하여 상기 제 1 폴리실리콘층을 제거하는 단계를 더 포함하는 이루어짐을 특징으로 하는 플래쉬 메모리의 제조방법.

### 청구항 10.

제 9 항에 있어서,

상기 제 1 폴리실리콘층에,

상기 Cl<sub>2</sub>를 3.8 내지 9.0mT의 압력하에 20 내지 90sccm으로 11초동안 공급하며;

상기 HBr을 3.8 내지 9.0mT의 압력하에 12 내지 95sccm으로 11초동안 공급하며;

상기 HeO<sub>2</sub>를 3.8 내지 9.0mT의 압력하에 12 내지 35sccm으로 11초동안 공급하며; 그리고,

상기 CF<sub>4</sub>를 3.8 내지 9.0mT의 압력하에 80 내지 300sccm으로 11초동안 공급하는 것을 특징으로 하는 플래쉬 메모리의 제조방법.

### 청구항 11.

제 1 항에 있어서,

상기 플로팅 게이트를 형성하는 단계는, HBr, HeO<sub>2</sub>, 및 He를 사용하여 상기 제 1 폴리실리콘층을 제거하는 단계를 더 포함하는 것을 더 포함하여 이루어짐을 특징으로 하는 플래쉬 메모리의 제조방법.

### 청구항 12.

제 11 항에 있어서,

상기 제 1 폴리실리콘층에,

상기 HBr을 50 내지 94mT의 압력하에 80 내지 240sccm으로 70초동안 공급하며;

상기 HeO<sub>2</sub>를 50 내지 94mT의 압력하에 10sccm으로 70초동안 공급하며; 그리고,

상기 He를 50 내지 94mT의 압력하에 70 내지 650sccm으로 70초동안 공급하는 것을 특징으로 하는 플래쉬 메모리의 제조방법.

### 청구항 13.

제 1 항에 있어서,

상기 포토레지스트 패턴을 제거하는 단계; 및,

상기 콘트롤 게이트를 마스크로 하여 상기 게이트 산화막을 제거하여 터널 산화막을 형성하는 단계를 더 포함하여 이루어짐을 특징으로 하는 플래시 메모리 장치의 제조방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래쉬 메모리에 관한 것으로, 특히 공정시간을 단축시킬 수 있고 신뢰성을 높일 수 있는 플래쉬 메모리 장치의 제조방법에 관한 것이다.

반도체 메모리 장치는 DRAM(dynamic random access memory) 및 SRAM(static random access memory)과 같이 시간이 지남에 따라 데이터를 잃어버리는 휘발성(volatile)이면서 데이터의 입·출력이 빠른 RAM 제품과, 한번 데이터를 입력하면 그 상태를 유지할 수 있지만 데이터의 입·출력이 느린 ROM(read only memory) 제품으로 크게 구분할 수 있다. 이러한 ROM 제품은 ROM, PROM(programmable ROM), EPROM(erasable PROM), 및 EEPROM(electrically EPROM)으로 분류할 수 있는데, 이 중에서 전기적 방법으로 데이터를 프로그램 및 소거(erase)할 수 있는 EEPROM에 대한 수요가 증가하고 있는 추세이다. 상기한 EEPROM 셀이나 일괄 소거 기능을 갖는 플래쉬 메모리 셀은 플로팅 게이트, 유전체막, 및 콘트롤 게이트가 적층된 스택형 게이트 구조를 갖는다.

여기서, 상기 유전체막은 상기 플로팅 게이트와 상기 콘트롤 게이트 사이에 형성되는데, 상기 플로팅 게이트(또는 콘트롤 게이트)와 상기 유전체막은 서로 다른 식각비를 가지기 때문에, 상기 플로팅 게이트와 상기 콘트롤 게이트를 형성하는 공정을 따로 진행하여야 한다.

또한, 이로 인해 상기 플로팅 게이트와 상기 콘트롤 게이트는 서로 다른 식각 장치에서 식각된다.

결국, 종래의 방법으로 플래쉬 메모리를 제조하게 되면, 많은 시간이 소요되고, 또한 식각 장치간의 유의차로 인해 소자 신뢰성이 떨어지는 문제점이 발생한다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, Cl<sub>2</sub>, Ar, HBr, HeO<sub>2</sub>, He, CF<sub>4</sub>, 및 CHF<sub>3</sub> 가스를 사용하여 동일 식각 장비 내부에서 동시에 플로팅 게이트와 콘트롤 게이트, 및 유전체막을 형성할 수 있는 플래쉬 메모리의 제조방법을 제공하는데 그 목적이 있다.

### 발명의 구성

상기와 같은 목적을 달성하기 위한 본 발명에 따른 플래쉬 메모리의 제조방법은, 반도체 기판의 전면에 차례로 게이트 산화막 제 1 폴리실리콘층, 층간 절연막, 및 제 2 폴리실리콘층을 형성하는 단계; 상기 제 2 폴리실리콘층상에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 마스크로 하여 노출된 상기 제 2 폴리실리콘층을 Cl<sub>2</sub>, HBr, HeO<sub>2</sub>, 및 CF<sub>4</sub>를 사용하여 제거함으로써 콘트롤 게이트를 형성하는 단계; 상기 포토레지스트 패턴을 마스크로 하여 노출된 상기 층간 절연막을 Ar 및 CHF<sub>3</sub>를 사용하여 제거함으로써 유전체막을 형성하는 단계; 및, 상기 포토레지스트 패턴을 마스크로 하여 노출된 상기 제 1 폴리실리콘층을 HBr 및 HeO<sub>2</sub>를 사용하여 제거함으로써 플로팅 게이트를 형성하는 단계를 포함하여 이루어짐을 그 특징으로 한다.

여기서, 상기 제 2 폴리실리콘층에, 상기 Cl<sub>2</sub>를 2 내지 10mT의 압력하에 15 내지 95sccm으로 55초동안 공급하며; 상기 HBr을 2 내지 10mT의 압력하에 80 내지 250sccm으로 55초동안 공급하며; 상기 HeO<sub>2</sub>를 2 내지 10mT의 압력하에 8 내지 64sccm으로 55초동안 공급하며; 그리고, 상기 He를 2 내지 10 mT의 압력하에 125 내지 225sccm으로 55초동안 공급하는 것을 특징으로 한다.

상기 층간 절연막에, 상기 Ar을 0.9 내지 8mT의 압력하에 45 내지 165sccm으로 50초동안 공급하며; 그리고, 상기 CHF<sub>3</sub>을 0.9 내지 8mT의 압력하에 50 내지 350sccm으로 50초동안 공급하는 것을 특징으로 한다.

상기 제 1 폴리실리콘층에, 상기 HBr을 8 내지 21mT의 압력하에 100 내지 250sccm으로 38초동안 공급하며; 그리고, 상기 HeO<sub>2</sub>를 8 내지 21mT의 압력하에 12sccm으로 38초동안 공급하는 것을 특징으로 한다.

상기 콘트롤 게이트를 형성하는 단계는, Ar 및 CF<sub>4</sub>를 사용하여 상기 제 2 폴리실리콘층을 제거하는 단계를 더 포함하여 이루어짐을 특징으로 한다.

상기 제 2 폴리실리콘층에, 상기 Ar을 2 내지 8mT의 압력하에 80 내지 200sccm으로 5초동안 공급하며; 그리고, 상기 CF<sub>4</sub>를 2 내지 8mT의 압력하에 75 내지 195sccm으로 5초동안 공급하는 것을 특징으로 한다.

상기 콘트롤 게이트를 형성하는 단계는, HBr, HeO<sub>2</sub>, 및 He를 사용하여 상기 제 2 폴리실리콘층을 제거하는 단계를 더 포함하여 이루어짐을 특징으로 한다.

상기 제 2 폴리실리콘층에, 상기 HBr을 25 내지 125mT의 압력하에 120 내지 650sccm으로 120초동안 공급하며; 상기 HeO<sub>2</sub>를 25 내지 125mT의 압력하에 8 내지 36sccm으로 120초동안 공급하며; 그리고, 상기 He를 25 내지 125mT의 압력하에 125 내지 225sccm으로 120초동안 공급하는 것을 특징으로 한다.

상기 플로팅 게이트를 형성하는 단계는, Cl<sub>2</sub>, HBr, HeO<sub>2</sub>, 및 CF<sub>4</sub>를 사용하여 상기 제 1 폴리실리콘층을 제거하는 단계를 더 포함하는 이루어짐을 특징으로 한다.

상기 제 1 폴리실리콘층에, 상기 Cl<sub>2</sub>를 3.8 내지 9.0mT의 압력하에 20 내지 90sccm으로 11초동안 공급하며; 상기 HBr을 3.8 내지 9.0mT의 압력하에 12 내지 95sccm으로 11초동안 공급하며; 상기 HeO<sub>2</sub>를 3.8 내지 9.0mT의 압력하에 12 내지 35sccm으로 11초동안 공급하며; 그리고, 상기 CF<sub>4</sub>를 3.8 내지 9.0mT의 압력하에 80 내지 300sccm으로 11초동안 공급하는 것을 특징으로 한다.

상기 플로팅 게이트를 형성하는 단계는, HBr, HeO<sub>2</sub>, 및 He를 사용하여 상기 제 1 폴리실리콘층을 제거하는 단계를 더 포함하는 것을 더 포함하여 이루어짐을 특징으로 한다.

상기 제 1 폴리실리콘층에, 상기 HBr을 50 내지 94mT의 압력하에 80 내지 240sccm으로 70초동안 공급하며; 상기 HeO<sub>2</sub>를 50 내지 94mT의 압력하에 10sccm으로 70초동안 공급하며; 그리고, 상기 He를 50 내지 94mT의 압력하에 70 내지 650sccm으로 70초동안 공급하는 것을 특징으로 한다.

상기 포토레지스트 패턴을 제거하는 단계; 및, 상기 콘트롤 게이트를 마스크로 하여 상기 게이트 산화막을 제거하여 터널 산화막을 형성하는 단계를 더 포함하여 이루어짐을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 플래쉬 메모리의 제조방법을 상세히 설명하면 다음과 같다.

도 1a 내지 도 1f는 본 발명의 실시예에 따른 플래쉬 메모리의 제조방법을 나타낸 공정 단면도이다.

먼저, 도 1a에 도시된 바와 같이, 기판(100)을 준비하고, 이 기판(100)의 전면에 터널 산화막으로 사용될 산화막(또는, 산 질화막)을 96Å 내외의 두께로 성장시킴으로써 단위 셀의 게이트 산화막(101)을 형성한 후, 그 상부에 플로팅 게이트로 사용될 제 1 전극층, 예컨대 제 1 폴리실리콘층(102)을 1000Å 정도의 두께로 증착한다.

이어서, 인(P)을 다량 함유한 POCl<sub>3</sub> 을 침적하여 상기 제 1 폴리실리콘층(102)을 n<sup>+</sup> 형으로 도핑시킨다.

이어서, 상기 제 1 폴리실리콘층(102)을 산화시켜 약 60Å 두께의 제 1 산화막을 성장시킨 후, 그 위에 약 80Å 두께의 질화막을 증착하고 상기 질화막을 산화시켜 60Å 정도의 두께의 제 2 산화막을 성장시킴으로써, ONO(oxide/nitride/oxide)막으로 이루어진 층간 절연막(103)을 형성한다.

다음에, 상기 층간 절연막(103)의 상부에 콘트롤 게이트로 사용될 제 2 전극층, 예컨대 n<sup>+</sup> 형으로 도핑된 2100Å 두께의 제 2 폴리실리콘층(104)을 형성한다.

이어서, 상기 제 2 폴리실리콘층(104)의 상부에 600Å 두께의 반사 방지막(105)(ARC ;Anti-reflection coating)을 형성한다. 이 반사 방지막(105)은 형성하지 않아도 무방하다.

다음으로, 상기 반사 방지막(105)의 상부에 포토레지스트를 도포하고, 이 포토레지스트를 노광 및 현상 공정을 통해 패터닝하여 0.6um 두께의 포토레지스트 패턴(106)을 형성한다.

이후, 상기와 같은 층들이 형성된 기판(100)을 플라즈마 식각 장비의 내부에 로딩시킨다.

이어서, 도 1b에 도시된 바와 같이, 상기 포토레지스트 패턴(106)을 마스크로 하여 노출된 반사 방지막(105) 및 제 2 폴리실리콘층(104)을 제 1 플라즈마 식각 공정을 통해 제거한다. 이에 따라, 상기 포토레지스트 패턴(106)에 의해서 가려진 부분에 콘트롤 게이트(114)가 형성된다.

여기서, 상기 제 1 플라즈마 식각 공정시 상기 플라즈마 식각 장비에 공급되는 가스는 다음과 같다.

상기 제 1 플라즈마 식각 공정은 3단계로 나누어 진행된다.

즉, 제 1 식각 단계는 상기 제 2 폴리실리콘층(104)상에 형성된 자연 산화막을 제거하는 단계로서, 이 단계에 사용되는 가스는 Ar 가스 및 CF<sub>4</sub> 가스이다.

상기 제 1 단계에서는, 상기 플라즈마 식각 장비 내부의 압력을 약 2 내지 8mT로 유지시키고, 이 압력하에서 약 80 내지 200sccm으로 5초동안 상기 Ar 가스를 상기 장비 내부에 공급한다. 이와 동시에, 약 75 내지 195sccm으로 CF<sub>4</sub> 가스를 상기 장비 내부에 공급한다.

이때, 상기 장비 내부에 공급되는 소스 전압의 파워는 약 300 내지 700W 이고, 바이어스 전압의 파워는 약 50 내지 150W 이고, 직류 전압은 약 19.5V임이 바람직하다. 또한, 상기 기관(100)의 배면 중심부의 온도는 약 4T로 유지하고, 상기 기관(100)의 배면 가장자리의 온도는 약 16T로 유지하는 것이 바람직하다. 이 기관(100)의 온도는 He가스를 상기 기관(100)의 배면에 공급함으로써 조절할 수 있다.

이 제 1 플라즈마 식각 공정의 제 1 단계를 거쳐, 상기 제 2 폴리실리콘층(104) 표면에 형성된 자연 산화막이 제거된다.

이후, 제 1 플라즈마 식각 공정의 제 2 단계에서는 Cl<sub>2</sub>, HBr, HeO<sub>2</sub>, 및 CF<sub>4</sub> 가스를 사용하여 상기 제 2 폴리실리콘층(104)을 제거하게 된다.

상기 제 2 단계에서는, 상기 플라즈마 식각 장비 내부의 압력을 약 2 내지 10mT로 유지시키고, 이 압력하에서 15 내지 95sccm으로 55초동안 상기 Cl<sub>2</sub> 가스를 상기 장비 내부에 공급한다. 이와 동시에, 약 80 내지 250sccm으로 HBr 가스를 상기 장비 내부에 공급하고, 약 8 내지 64sccm으로 HeO<sub>2</sub> 가스를 상기 장비 내부에 공급하고, 그리고 약 12 내지 64sccm으로 CF<sub>4</sub> 가스를 상기 장비 내부에 공급한다.

이때, 상기 장비 내부에 공급되는 소스 전압의 파워는 약 450 내지 790W 이고, 바이어스 전압의 파워는 약 35 내지 95W 이고, 직류 전압은 약 11.5V임이 바람직하다. 또한, 상기 기관(100)의 배면 중심부의 온도는 약 4T로 유지하고, 상기 기관(100)의 배면 가장자리의 온도는 약 16T로 유지하는 것이 바람직하다.

이 제 1 플라즈마 식각 공정의 제 2 단계를 거쳐, 상기 노출된 제 2 폴리실리콘층(104)이 거의 제거된다.

이후, 제 1 플라즈마 식각 공정의 제 3 단계에서는 HBr, HeO<sub>2</sub>, 및 He 가스를 사용하여 상기 노출된 제 2 폴리실리콘층(104)을 완전히 제거하게 된다.

상기 제 3 단계에서는, 상기 플라즈마 식각 장비 내부의 압력을 약 25 내지 125mT로 유지시키고, 이 압력하에서 120 내지 650sccm으로 120초동안 상기 HBr 가스를 상기 장비 내부에 공급한다. 이와 동시에, 약 8 내지 36sccm으로 HeO<sub>2</sub> 가스를 상기 장비 내부에 공급하고, 그리고 약 125 내지 225sccm으로 He 가스를 상기 장비 내부에 공급한다.

이때, 상기 장비 내부에 공급되는 소스 전압의 파워는 약 210 내지 680W 이고, 바이어스 전압의 파워는 약 28 내지 135W 이고, 직류 전압은 약 19.5V임이 바람직하다. 또한, 상기 기관(100)의 배면 중심부의 온도는 약 4T로 유지하고, 상기 기관(100)의 배면 가장자리의 온도는 약 16T로 유지하는 것이 바람직하다.

이 제 1 플라즈마 식각 공정의 제 3 단계를 거쳐, 상기 노출된 제 2 폴리실리콘층(104)이 완전히 제거된다.

이와 같이 하여 상기 포토레지스트 패턴(106)을 마스크로 하여 노출된 제 2 폴리실리콘층(104)이 제거되어, 상기 포토레지스트 패턴(106)으로 가려진 부분에는 콘트롤 게이트(114)가 형성된다. 여기서, 상기 포토레지스트 패턴(106)을 마스크로 하여 노출된 반사 방지막(105)도 제거된다.

이어서, 도 1c에 도시된 바와 같이, 상기 포토레지스트 패턴(106)을 마스크로 하여 노출된 층간 절연막(103)을 제 2 플라즈마 식각 공정을 통해 제거한다. 이에 따라, 상기 포토레지스트 패턴(106)에 의해서 가려진 부분에 유전체막(113)이 형성된다.

여기서, 상기 제 2 플라즈마 식각 공정시 상기 플라즈마 식각 장비에 공급되는 가스는 다음과 같다.

즉, 상기 제 2 플라즈마 식각 공정은 상기 층간 절연막(103)상의 일부를 제거하는 단계로서, 이 단계에 사용되는 가스는 Ar 및 CHF<sub>3</sub> 가스이다.

상기 제 2 플라즈마 식각 공정에서, 상기 플라즈마 식각 장비 내부의 압력을 약 0.9 내지 8mT로 유지시키고, 이 압력하에서 약 45 내지 165sccm으로 50초동안 상기 Ar 가스를 상기 장비 내부에 공급한다. 이와 동시에, 약 50 내지 350sccm으로 CHF<sub>3</sub> 가스를 상기 장비 내부에 공급한다.

이때, 상기 장비 내부에 공급되는 소스 전압의 파워는 약 120 내지 595W 이고, 바이어스 전압의 파워는 약 20 내지 250W 이고, 직류 전압은 약 11.5V임이 바람직하다. 또한, 상기 기관(100)의 배면 중심부의 온도는 약 4T로 유지하고, 상기 기관(100)의 배면 가장자리의 온도는 약 16T로 유지하는 것이 바람직하다.

이 제 2 플라즈마 식각 공정을 거쳐, 상기 노출된 층간 절연막(103)이 제거된다.

이어서, 도 1d에 도시된 바와 같이, 상기 포토레지스트 패턴(106)을 마스크로 하여 노출된 제 1 폴리실리콘층(102)을 제 3 플라즈마 식각 공정을 통해 제거한다. 이에 따라, 상기 포토레지스트 패턴(106)에 의해서 가려진 부분에 플로팅 게이트(112)가 형성된다.

여기서, 상기 제 3 플라즈마 식각 공정시 상기 플라즈마 식각 장비에 공급되는 가스는 다음과 같다.

상기 제 3 플라즈마 식각 공정은 제 1 내지 제 3 단계로 나누어 진행된다.

즉, 제 1 식각 단계는 상기 노출된 제 2 폴리실리콘층(104)의 두께를 일부분 제거하는 단계로서, 이 단계에 사용되는 가스는 Cl<sub>2</sub>, HBr, HeO<sub>2</sub>, 및 CF<sub>4</sub> 가스이다.

상기 제 1 단계에서는, 상기 플라즈마 식각 장비 내부의 압력을 약 3.8 내지 9.0mT로 유지시키고, 이 압력하에서 약 20 내지 90sccm으로 11초동안 상기 Cl<sub>2</sub> 가스를 상기 장비 내부에 공급한다. 이와 동시에, 약 12 내지 95sccm으로 HBr 가스를 상기 장비 내부에 공급하며, 약 12 내지 35sccm으로 HeO<sub>2</sub> 가스를 상기 장비 내부에 공급하며, 그리고 약 80 내지 300sccm으로 CF<sub>4</sub> 가스를 상기 장비 내부에 공급한다.

이때, 상기 장비 내부에 공급되는 소스 전압의 파워는 약 400 내지 800W 이고, 바이어스 전압의 파워는 약 12 내지 95W 이고, 직류 전압은 약 8V임이 바람직하다. 또한, 상기 기관(100)의 배면 중심부의 온도는 약 4T로 유지하고, 상기 기관(100)의 배면 가장자리의 온도는 약 16T로 유지하는 것이 바람직하다.

이 제 3 플라즈마 식각 공정의 제 1 단계를 거쳐, 상기 노출된 제 1 폴리실리콘층(102)의 두께가 일부 제거된다.

이후, 제 3 플라즈마 식각 공정의 제 2 단계에서는 HBr 및 HeO<sub>2</sub> 가스를 사용하여 상기 노출된 제 1 폴리실리콘층(102)을 거의 제거하게 된다.

상기 제 2 단계에서는, 상기 플라즈마 식각 장비 내부의 압력을 약 8 내지 21mT로 유지시키고, 이 압력하에서 100 내지 250sccm으로 38초동안 상기 HBr 가스를 상기 장비 내부에 공급한다. 이와 동시에, 약 12sccm으로 HeO<sub>2</sub> 가스를 상기 장비 내부에 공급한다.

이때, 상기 장비 내부에 공급되는 소스 전압의 파워는 약 125 내지 520W 이고, 바이어스 전압의 파워는 약 10 내지 95W 이고, 직류 전압은 약 11.5V임이 바람직하다. 또한, 상기 기관(100)의 배면 중심부의 온도는 약 4T로 유지하고, 상기 기관(100)의 배면 가장자리의 온도는 약 16T로 유지하는 것이 바람직하다.

이 제 3 플라즈마 식각 공정의 제 2 단계를 거쳐, 상기 노출된 제 1 폴리실리콘층(102)이 거의 제거된다.

이후, 제 3 플라즈마 식각 공정의 제 3 단계에서는 HBr, HeO<sub>2</sub>, 및 He 가스를 사용하여 상기 노출된 제 1 폴리실리콘층(102)을 완전히 제거하게 된다.



상기 제 3 단계에서는, 상기 플라즈마 식각 장비 내부의 압력을 약 50 내지 94mT로 유지시키고, 이 압력하에서 80 내지 240sccm으로 70초동안 상기 HBr 가스를 상기 장비 내부에 공급한다. 이와 동시에, 약 10sccm으로 HeO<sub>2</sub> 가스를 상기 장비 내부에 공급하고, 그리고 약 70 내지 650sccm으로 He 가스를 상기 장비 내부에 공급한다.

이때, 상기 장비 내부에 공급되는 소스 전압의 파워는 약 121 내지 670W 이고, 바이어스 전압의 파워는 약 58 내지 130W 이고, 직류 전압은 약 45V임이 바람직하다. 또한, 상기 기판(100)의 배면 중심부의 온도는 약 4T로 유지하고, 상기 기판(100)의 배면 가장자리의 온도는 약 16T로 유지하는 것이 바람직하다.

이 제 3 플라즈마 식각 공정의 제 3 단계를 거쳐, 상기 노출된 제 1 폴리실리콘층(102)이 완전히 제거된다.

다음으로, 도 1e에 도시된 바와 같이, 상기 포토레지스트 패턴(106)을 마스크로 하여 노출된 게이트 산화막(101)을 식각하여, 상기 포토레지스트 패턴(106)에 의해 가려진 부분에 터널 산화막(111)을 형성한다.

이어서, 도 1f에 도시된 바와 같이, 상기 포토레지스트 패턴(106)을 마스크로 하여 n형 불순물을 이온주입함으로써 상기 기판(100)의 액티브 영역에 n+ 형의 소오스/드레인 영역(600, 700)을 형성한다.

이후, 도면에 도시하지 않았지만, 상기 포토레지스트 패턴(106) 및 반사 방지막(105)을 제거한다.

한편, 상기 이온주입 단계에 앞서 상기 포토레지스트 패턴(106) 및 반사 방지막(105)을 먼저 제거하고, 이후 상기 터널 산화막(111), 플로팅 게이트(112), 유전체막(113), 및 콘트롤 게이트(114)로 이루어진 게이트 전극을 마스크로 하여 상기 기판(100)에 이온을 주입하여도 무방하다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 발명의 효과

이상에서 설명한 바와 같은 본 발명에 따른 플래쉬 메모리의 제조방법에는 다음과 같은 효과가 있다.

본 발명에서는 Cl<sub>2</sub>, Ar, HBr, HeO<sub>2</sub>, He, CF<sub>4</sub>, 및 CHF<sub>3</sub> 가스를 조합하여 동일 식각 장비내에서 동시에 콘트롤 게이트, 유전체막, 및 플로팅 게이트를 형성한다.

따라서, 공정 시간을 감소시킬 수 있고, 또한 소자의 신뢰성을 높일 수 있다.

### 도면의 간단한 설명

도 1a 내지 도 1f는 본 발명의 실시예에 따른 플래쉬 메모리의 제조방법을 나타낸 공정 단면도

\* 도면의 주요부에 대한 부호 설명

100 : 기판 101 : 게이트 산화막

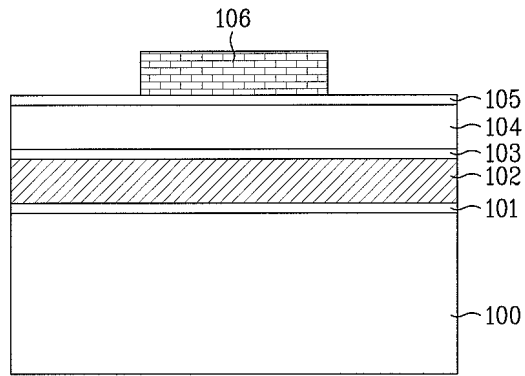
102 : 제 1 폴리실리콘층 103 : 층간 절연막

114 : 콘트롤 게이트 105 : 반사 방지막

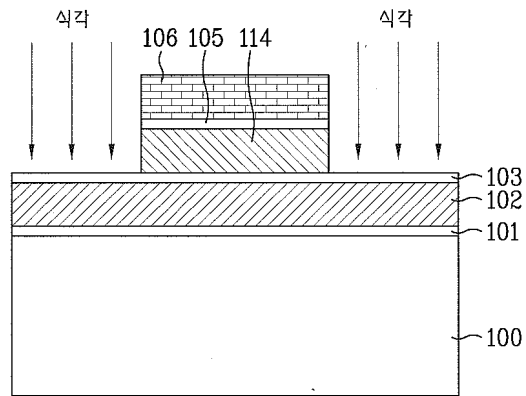
106 : 포토레지스트 패턴

### 도면

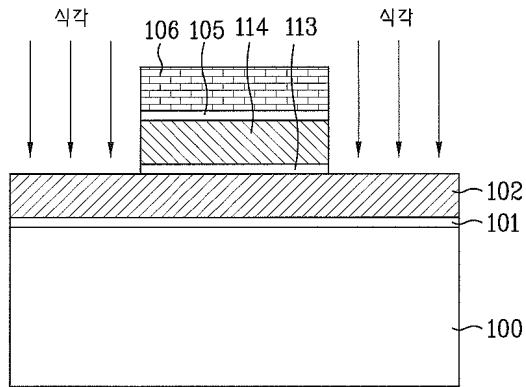
도면1a



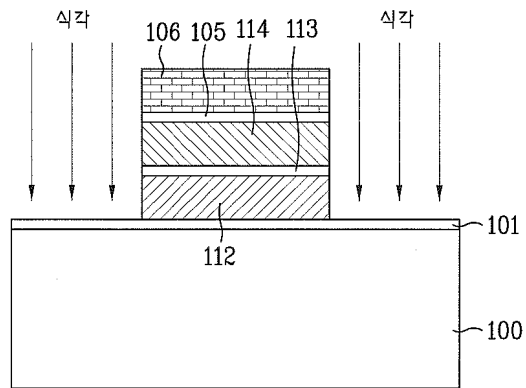
도면1b



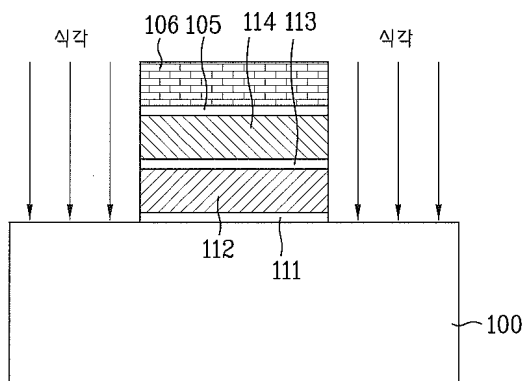
도면1c



도면1d



도면1e



도면1f

