



(12)发明专利申请

(10)申请公布号 CN 105812392 A

(43)申请公布日 2016.07.27

(21)申请号 201610329670.7

(22)申请日 2016.05.18

(71)申请人 西安航天民芯科技有限公司

地址 710075 陕西省西安市高新区锦业路
70号卫星大厦5层

(72)发明人 张建榕 孙权

(74)专利代理机构 西安利泽明知识产权代理有
限公司 61222

代理人 贾晓玲

(51) Int. Cl.

H04L 29/06(2006.01)

H04L 1/00(2006.01)

G06F 13/42(2006.01)

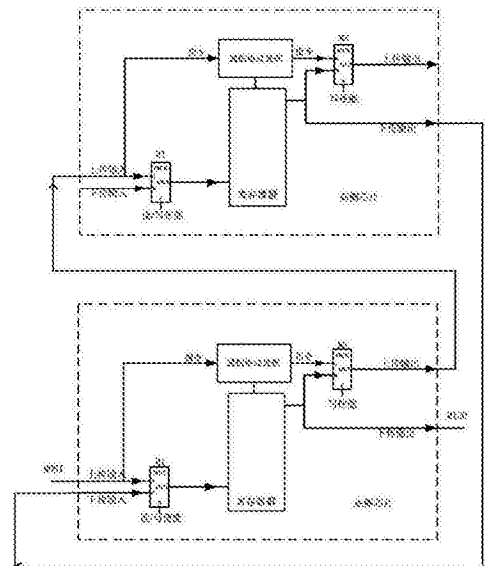
权利要求书3页 说明书16页 附图7页

(54)发明名称

一种应用于电池监控芯片的级联SPI通信系统
及通信方法

(57)摘要

本发明提供一种应用于电池监控芯片的级联通信系统及通信方法,利用传统SPI通信协议的特点,发明一种可以由一个主机与多个子芯片的通信的系统架构,从而实现一点对多点的管理,确保整个系统高效的工作,可以实现单个主机芯片与多个子芯片进行通信,主机可以将指令和数据广播式的发送给子芯片,子芯片将数据串行的传回主机芯片,实现主机芯片对子芯片的管理和控制。



1. 一种应用于电池监控芯片的级联SPI通信系统,其特征在于:包括主控芯片和子级芯片,主控芯片仅和一颗子级芯片相连接以SPI通信协议通信,子级芯片之间通过菊花链的级联方式连接。

2. 如权利要求1所述的一种应用于电池监控芯片的级联SPI通信系统,其特征在于:所述的仅和主控芯片直接相连接子级芯片是底侧子级芯片,其它子级芯片是高侧子级芯片,子级芯片的数量为1-8。

3. 如权利要求1所述的一种应用于电池监控芯片的级联SPI通信系统,其特征在于:所述的一个子级芯片监控1-12节电池。

4. 如权利要求2所述的一种应用于电池监控芯片的级联SPI通信系统,其特征在于:所述底侧子级芯片的上传输入的接口信号与主控芯片的MOSI信号线相连,所述底侧子级芯片的下传输出的接口信号与主控芯片的MISO信号线相连,所述的子级芯片之间通过上传输入端口、上传输出端口、下传输输入端口、下传输输出端口实现子级芯片间的互联和数据包通信,所述的数据包包括指令、数据、循环冗余校验码。

5. 如权利要求1至4所述的任意一种应用于电池监控芯片的级联SPI通信系统,其特征在于:所述的子级芯片包括传输入端口、下传输输入端口、通信协议处理模块、寄存器群、多路选择器(M1)、多路选择器(M2)、上传输出端口、下传输输出端口,所述的子级芯片上传输入端口、下传输输入端口与多路选择器(M1)串联连接,上传输入端口与通信协议处理模块串联连接,多路选择器(M1)与寄存器群串联连接并且与通信协议处理模块并联连接于多路选择器(M2),寄存器群和下传输输出端口相连接,多路选择器(M2)和上传输出端口相连接。

6. 如权利要求5所述的一种应用于电池监控芯片的级联SPI通信系统,其特征在于:所述的寄存器群包括读写寄存器、只读寄存器、多路选通器(P1)、多路选通器(P2)、芯片内部写入模块。

7. 如权利要求6所述的一种应用于电池监控芯片的级联SPI通信系统,其特征在于:所述的通信协议处理模块控制所述的多路选通器(P1)、多路选通器(P2)导通时将主控芯片的数据包写入所述的读写寄存器以及主控芯片读取所述的只读寄存器数据包,所述的读写寄存器是芯片配置寄存器。

8. 如权利要求6所述的一种应用于电池监控芯片的级联SPI通信系统,其特征在于:所述的通信协议处理模块控制所述的多路选通器(P1)、多路选通器(P2)导通时读取所述的只读寄存器数据包,所述的只读寄存器由所述的芯片内部写入模块写入数据,只读寄存器包括芯片电压寄存器、芯片标志寄存器、芯片诊断寄存器和温度寄存器,芯片内部写入模块将采集到的电池电压和温度的数据写入到电池电压寄存器、温度寄存器,将芯片内部逻辑计算数据写入到芯片标志寄存器和芯片诊断寄存器。

9. 如权利要求6所述的应用于电池监控芯片的级联SPI通信系统,其特征在于:所述的读写寄存器、只读寄存器由寄存器组构成,所述的寄存器组由8个存储单元组成,每个存储单元由二选一选择器S1、二选一选择器S2、数据位寄存器(CLK1)、串行链路位寄存器(CLK2)组成,二选一选择器(S1)和所述的数据位寄存器(CLK1)连接,所述的数据位寄存器(CLK1)通过二选一选择器(S2)和所述的串行链路位寄存器(CLK2)连接;所述8个数据位寄存器(CLK1)组成数据寄存器,所述8个串行链路位寄存器(CLK2)组成串行链路寄存器。

10. 一种通信方法,采用应用于电池监控芯片的级联SPI通信系统,其特征在于:所述的

通信方法包括主控芯片向子级芯片写入数据方法和主控芯片对子级芯片的数据包读取方法；

(一)所述主控芯片向子级芯片写入数据方法包括以下步骤：

(A)主控芯片向子级芯片发送写数据的指令及其循环冗余校验码；

(B)子级芯片通信协议处理模块中移入了主控芯片发送的写指令；

(C)循环冗余校验码正确，子级芯片通信协议处理模块确认写数据指令；

(D)主控芯片向子级芯片发送要写入的数据；

(E)数据写入子级芯片的寄存器群，完成子级芯片数据的写入，所述的数据写入子级芯片的寄存器群是所述的数据写入子级芯片的读写寄存器的寄存器组，包括以下步骤：

<1>通信协议处理模块先控制二选一选择器(S2)将OUT与B相通，在串行链路位寄存器(CLK2)时钟驱动下，将所述的数据按位由存储单元(Din1)的串行链路位寄存器(CLK2)依次串行输入到存储单元(Din8)的串行链路位寄存器(CLK2)；

<2>通信协议处理模块再控制二选一选择器(S1)将OUT与A相通，此时在数据位寄存器(CLK1)时钟驱动下，将串行链路寄存器并行加载到数据寄存器中；

<3>数据储存在数据寄存器中，寄存器组写入数据完成；

(二)所述的主控芯片对子级芯片的数据包读取方法包括以下步骤：

(a)所述的主控芯片向所述的子级芯片发送读数据指令及其循环冗余校验码；

(b)所述的子级芯片里移入了所述的主控芯片发送的读指令；

(c)循环冗余校验码正确，子级芯片通信协议处理模块确认写数据指令；

(d)主控芯片向子级芯片发送要读取的数据包；

(e)高侧子级芯片将高侧子级芯片寄存器群的数据包一级级传输给与自己相连的子级芯片，最后数据均传输到底侧子级芯片，由底侧子级芯片将高侧子级芯片数据经过MISO信号线传输给主控芯片；

(f)底侧子级芯片将底侧子级芯片寄存器群的数据包经过MISO信号线传输给主控芯片；

所述的子级芯片将子级芯片寄存器群的数据包传输是从子级芯片的读写寄存器的寄存器组读取数据包以及从子级芯片只读寄存器的寄存器组读取数据包，所述的从子级芯片的读写寄存器读取数据包包括以下步骤：

①通信协议处理模块控制多路选通器(P1)与芯片配置寄存器相通；

②通信协议处理模块控制芯片配置寄存器的寄存器组的二选一选择器(S2)将OUT与A相通，此时在数据位寄存器(CLK1)时钟驱动下，将数据包从数据寄存器并行加载到串行链路寄存器中；

③然后通信协议处理模块控制二选一选择器(S2)将OUT与B相通，在串行链路位寄存器(CLK2)时钟驱动下，将数据包从寄存器组的串行链路寄存器低位串行输出到高位；

④通信协议处理模块控制芯片配置寄存器和多路选通器(P2)相通，数据包从多路选通器(P2)输出，完成芯片配置寄存器的读取；

所述的从子级芯片的只读寄存器的寄存器组读取数据包，包括以下步骤：

(i)芯片内部写入模块将采集到的电池电压和温度的数据写入到电池电压寄存器、温度寄存器，将内部逻辑运算数据写入到芯片标志寄存器和芯片诊断寄存器时，通信协议处

理模块控制二选一选择器(S1)将OUT与B相通；

(ii)芯片内部写入模块将数据并行写入电池电压寄存器和温度寄存器,将内部逻辑运算数据并行写入芯片标志寄存器和芯片诊断寄存器；

(III)通信协议处理模块控制多路选通器(P1)与芯片只读寄存器相通；

(IV)通信协议处理模块控制只读寄存器的寄存器组的二选一选择器(S2)将OUT与A相通,此时在数据位寄存器(CLK1)时钟驱动下,将数据包从数据寄存器并行加载到串行链路寄存器中；

(v)然后通信协议处理模块控制二选一选择器(S2)将OUT与B相通,在串行链路位寄存器(CLK2)时钟驱动下,将数据包从寄存器组的串行链路寄存器低位串行输出到高位；

(vi)通信协议处理模块控制只读寄存器和多路选通器(P2)相通,数据包从多路选通器(P2)输出,完成只读寄存器的读取。

一种应用于电池监控芯片的级联SPI通信系统及通信方法

技术领域

[0001] 本发明涉及通信领域,特别涉及一种多颗电池监控子级芯片间级联,电池主控芯片与想连接的电池监控子级芯片以SPI通信协议通信的通信系统及通信方法。

背景技术

[0002] 近年来电动汽车和混合动力汽车迅猛发展,作为电动汽车的动力电池组,锂电池通常是通过几十节甚至上百节的单体电池串联起来使用,最高电池电压可以达到数百伏的高压,以满足电动汽车的动力需求。对于电池电压监控芯片而言,目前的技术可以达到一颗芯片最多可以监控十几节锂电池组成的串联电池组,如果同时监控近百节串联锂电池,则需要多颗芯片同时工作,并且采用级联的方式进行连接,已达到对串联电池组的分布式监控,每颗芯片监控电池组中的一部分电池。由于每颗芯片都需要与低压工作的主控芯片芯片进行通信,才能够实时监控电池的信息,所以子级芯片与主控芯片芯片之间的通信隔离是必不可少的。随着高性能隔离器数目的增加,系统研发的成本也会增加,并且系统的分立器件也会增多,带来不必要的开销。

发明内容

[0003] 为克服上述现有技术存在的缺陷,本发明提供一种应用于电池监控芯片的级联SPI通信系统,利用传统SPI通信协议的特点,发明一种可以由一颗主控芯片与多颗子级芯片的通信的系统架构,从而实现一点对多点的管理,可以实现单颗主控芯片芯片与多颗子级芯片进行通信,主控芯片将信息传给子级芯片是将指令和数据广播式的发送给子级芯片,底侧子级芯片将信息传给主控芯片是直接将信息传给主控芯片,高侧子级芯片将数据信息传给主控芯片是高侧子级芯片通过与它相连的高侧子级芯片将数据信息一级一级传给底侧子级芯片,最后由底侧子级芯片传回主控芯片。这种级联SPI通信系统实现了主控芯片对子级芯片的管理和控制,不需要隔离器和分立器件,确保整个系统高效的工作,并引入循环冗余(CRC)的校验,保证了主控芯片和子级芯片通信的可靠性。

[0004] 这种级联SPI通信系统是多颗子级芯片之间采用菊链式级联的结构进行连接,有且仅有工作在底侧的底侧子级芯片与主控芯片连接。通信时,底侧子级芯片和主控芯片直接进行通信,其它芯片采用串行级联的通信方式,通过底侧子级芯片与主控芯片进行通信。另外,级联SPI通信系统采用引入循环冗余(CRC)校验的SPI总线协议,该总线协议由指令、数据和校验组成,提高了通信时抗干扰能力,避免外在的干扰对芯片进行误操作。

[0005] 本发明具有以下技术效果:

[0006] (1)这种级联SPI通信系统,通过多颗子级芯片之间采用菊链式级联的结构进行连接,工作在底侧的子级芯片与主控芯片连接,通信系统采用引入循环冗余(CRC)校验的SPI总线协议实现一主控芯片对多颗子级芯片数据的有效管控;

[0007] (2)实现了工作在不同电压域的子级芯片之间的通信,有效的节省了主控芯片对多颗子级芯片的通信系统在隔离部分、分立器件的开销,降低了成本,减小了体积;

[0008] (3)这种级联SPI通信系统加入循环冗余(CRC)的校验后,如果通信过程中数据传输有误,主控芯片和子级芯片都可以得知数据传输有误,方便后续处理。

[0009] 为实现上述目的,本发明提供如下技术方案:

[0010] 本发明公开了一种应用于电池监控芯片的级联SPI通信系统,其特征在于:包括主控芯片和子级芯片,主控芯片仅和一颗子级芯片相连以SPI通信协议通信,子级芯片之间通过菊花链的级联方式连接。

[0011] 优选的,所述的仅和主控芯片直接相连的子级芯片是底侧子级芯片,其它子级芯片是高侧子级芯片,子级芯片的数量为1-8。

[0012] 优选的,所述的一个子级芯片监控1-12节电池。

[0013] 优选的,所述底侧子级芯片的上传输入的接口信号与主控芯片的MOSI信号线相连,所述底侧子级芯片的下传输出的接口信号与主控芯片的MISO信号线相连,所述的子级芯片之间通过上传输入端口、上传输出端口、下传输输入端口、下传输输出端口实现子级芯片间的互联和数据包通信,所述的数据包包括指令、数据、循环冗余校验码。

[0014] 优选的,所述的子级芯片包括通信协议处理模块、寄存器群、多路选择器(M1)、多路选择器(M2),所述的子级芯片上传输入端口与通信协议处理模块串联连接,所述的子级芯片上传输入端口与多路选择器(M1)串联连接,多路选择器(M1)、寄存器群串联连接并且与通信协议处理模块并联连接于多路选择器(M2),多路选择器(M2)和上传输出端口相连接,寄存器群和下传输输出端口相连接。

[0015] 优选的,所述的寄存器群包括读写寄存器、只读寄存器、多路选通器(P1)、多路选通器(P2)、芯片内部写入模块。

[0016] 优选的,所述的通信协议处理模块控制所述的多路选通器(P1)、多路选通器(P2)导通时将主控芯片的数据包写入所述的读写寄存器以及主控芯片读取所述的只读寄存器数据包,所述的读写寄存器是芯片配置寄存器。

[0017] 优选的,所述的通信协议处理模块控制所述的多路选通器(P1)、多路选通器(P2)导通时读取所述的只读寄存器数据包,所述的只读寄存器由所述的芯片内部写入模块写入数据,只读寄存器包括芯片电压寄存器、芯片标志寄存器、芯片诊断寄存器和温度寄存器,芯片内部写入模块将采集到的电池电压和温度的数据写入到电池电压寄存器、温度寄存器,将芯片内部逻辑计算数据写入到芯片标志寄存器和芯片诊断寄存器。

[0018] 优选的,所述的寄存器组由8个存储单元组成,每个存储单元由二选一选择器(S1)、二选一选择器(S2)、数据位寄存器(CLK1)、串行链路位寄存器(CLK2)组成,二选一选择器(S1)和所述的数据位寄存器连接,所述的数据位寄存器(CLK1)通过二选一选择器和所述的串行链路位寄存器(CLK2)连接,所述8个数据位寄存器(CLK1)组成数据寄存器,所述8个串行链路位寄存器(CLK2)组成串行链路寄存器。

[0019] 本发明还公开了一种通信方法,采用应用于电池监控芯片的级联SPI通信系统,其特征在于:所述的通信方法包括主控芯片向子级芯片写入数据方法和主控芯片对子级芯片的数据包读取方法;

[0020] (一)所述主控芯片对子级芯片的数据写入方法包括以下步骤:

[0021] (A)主控芯片向子级芯片发送写数据的指令及其循环冗余校验码;

[0022] (B)子级芯片通信协议处理模块中移入了主控芯片发送的写指令;

- [0023] (C)循环冗余校验码正确,子级芯片通信协议处理模块确认写数据指令;
- [0024] (D)主控芯片向子级芯片发送要写入的数据;
- [0025] (E)数据写入子级芯片的寄存器群,完成子级芯片数据的写入,所述的数据写入子级芯片的寄存器群是数据写入子级芯片的读写寄存器的寄存器组,包括以下步骤:
- [0026] <1>通信协议处理模块先控制二选一选择器(S2)将OUT与B相通,在串行链路位寄存器(CLK2)时钟驱动下,将所述的数据按位由存储单元(Din1)的串行链路寄存器依次串行输入到存储单元(Din8)的串行链路寄存器;
- [0027] <2>通信协议处理模块再控制二选一选择器(S1)将OUT与A相通,此时在数据位寄存器(CLK1)时钟驱动下,将串行链路寄存器并行加载到数据寄存器中;
- [0028] <3>数据储存在数据寄存器中,寄存器组写入数据完成;
- [0029] (二)所述的主控芯片对子级芯片的数据读取方法包括以下步骤:
- [0030] (a)所述的主控芯片向所述的子级芯片发送读数据指令及其循环冗余校验码;
- [0031] (b)所述的子级芯片里移入了所述的主控芯片发送的读指令;
- [0032] (c)循环冗余校验码正确,子级芯片通信协议处理模块确认写数据指令;
- [0033] (d)主控芯片向子级芯片发送要读取的数据包;
- [0034] (e)高侧子级芯片将高侧子级芯片寄存器群的数据包一级级传输给与自己相连的子级芯片,最后数据均传输到底侧子级芯片,由底侧子级芯片将高侧子级芯片数据经过MISO信号线传输给主控芯片;
- [0035] (f)底侧子级芯片将底侧子级芯片寄存器群的数据包经过MISO信号线传输给主控芯片;
- [0036] 所述的子级芯片将子级芯片寄存器群的数据包传输是从子级芯片的读写寄存器的寄存器组读取数据包以及从子级芯片只读寄存器的寄存器组读取数据包,所述的从子级芯片的读写寄存器读取数据包包括以下步骤:
- [0037] ①通信协议处理模块控制多路选通器(P1)与芯片配置寄存器相通;
- [0038] ②通信协议处理模块控制芯片配置寄存器的寄存器组的二选一选择器(S2)将OUT与A相通,此时在数据位寄存器(CLK1)时钟驱动下,将数据包从数据寄存器并行加载到串行链路寄存器中;
- [0039] ③然后通信协议处理模块控制二选一选择器(S2)将OUT与B相通,在串行链路位寄存器(CLK2)时钟驱动下,将数据包从寄存器组的串行链路寄存器低位串行输出到高位;
- [0040] ④通信协议处理模块控制芯片配置寄存器和多路选通器(P2)相通,数据包从多路选通器(P2)输出,完成芯片配置寄存器的读取;
- [0041] 所述的向子级芯片的只读寄存器的寄存器组读取数据包,包括以下步骤:
- [0042] (i)芯片内部写入模块将采集到的电池电压和温度的数据包转化为数字数据包写入到电池电压寄存器、温度寄存器,将内部逻辑运算数据包写入到芯片标志寄存器和芯片诊断寄存器时,通信协议处理模块控制二选一选择器(S1)将OUT与B相通;
- [0043] (ii)芯片内部写入模块数据并行写入电池电压寄存器和温度寄存器,将内部逻辑运算数据并行写入芯片标志寄存器和芯片诊断寄存器;
- [0044] (III)通信协议处理模块控制多路选通器(P1)与芯片只读寄存器相通;
- [0045] (IV)通信协议处理模块控制只读寄存器的寄存器组的二选一选择器(S2)将OUT与

A相通,此时在数据位寄存器(CLK1)时钟驱动下,将数据包从数据寄存器并行加载到串行链路寄存器中;

[0046] (v)然后通信协议处理模块控制二选一选择器(S2)将OUT与B相通,在串行链路位寄存器(CLK2)时钟驱动下,将数据包从寄存器组的串行链路寄存器低位串行输出到高位;

[0047] (vi)通信协议处理模块控制只读寄存器和多路选通器(P2)相通,数据包从多路选通器(P2)输出,完成只读寄存器的读取。

[0048] 其中,电池监控芯片除了应用于监控锂电池,也可应用于其它需要监控的电池。

附图说明

[0049] 图1是子级芯片的结构示意图;

[0050] 图2是子级芯片寄存器群的结构示意图;

[0051] 图3主控芯片和底侧子级芯片SPI通信的系统结构;

[0052] 图4是2颗子级芯片级联的系统结构;

[0053] 图5是主控芯片和8颗子级芯片级联SPI通信的系统结构;

[0054] 图6是子级芯片寄存器群的结构示意图;

[0055] 图7是子级芯片读写寄存器的寄存器组数据通信结构示意图;

[0056] 图8是子级芯片只读寄存器群的寄存器组数据通信结构示意图。

具体实施方式

[0057] 为使本发明实施例的目的、技术方案和技术效果更加清楚,下面将结合本发明的实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。

[0058] 实施例一

[0059] 一种应用于电池监控芯片的SPI通信系统,包括主控芯片和底侧子级芯片,主控芯片和底侧子级芯片连接。

[0060] 底侧子级芯片监控1-12节电池。

[0061] 底侧子级芯片结构如图1所示,底侧子级芯片包括上传输入端口、下传输入端口、通信协议处理模块、寄存器群、多路选择器(M1)、多路选择器(M2)、上传输出端口、下传输出端口。

[0062] 子级芯片上传输入端口、下传输入端口与多路选择器(M1)串联连接,上传输入端口与通信协议处理模块串联连接,多路选择器(M1)与寄存器群串联连接并且与通信协议处理模块并联连接于多路选择器(M2),寄存器群和下传输出端口相连接,多路选择器和上传输出端口相连接。

[0063] 本发明中的底侧子级芯片的寄存器群结构如图2所示,包括读写寄存器、只读寄存器、多路选通器、芯片内部写入模块。

[0064] 多路选通器(P1)串联连接读写寄存器、只读寄存器,芯片内部写入模块串联只读寄存器,读写寄存器和只读寄存器并联连接于多路选通器(P2)。

[0065] 通信协议处理模块控制多路选通器(P1)、多路选通器(P2)导通时将主控芯片的数据包写入读写寄存器以及主控芯片读取只读寄存器数据包,读写寄存器是芯片配置寄存器。

[0066] 通信协议处理模块控制多路选通器(P1)、多路选通器(P2)导通时读取只读寄存器数据包,只读寄存器由芯片内部写入模块写入数据,只读寄存器包括芯片电压寄存器、芯片标志寄存器、芯片诊断寄存器和温度寄存器,芯片内部写入模块将采集到的电池电压和温度的数据写入到电池电压寄存器、温度寄存器,将芯片内部逻辑计算数据写入到芯片标志寄存器和芯片诊断寄存器。

[0067] 芯片配置寄存器由6组寄存器组CFGR0、CFGR1、CFGR2、CFGR3、CFGR4、CFGR5组成

[0068] 芯片标志寄存器由3组寄存器组FLGR0、FLGR1、FLGR2组成。

[0069] 芯片诊断寄存器由2组寄存器组DGNR0、DGNR1组成。

[0070] 温度寄存器由5组寄存器组TMPR0、TMPR1、TMPR2、TMPR3、TMPR4。

[0071] 电池电压寄存器由18组寄存器组CVR00、CVR01、CVR02、CVR03、CVR04、CVR05、CVR06、CVR07、CVR08、CVR09、CVR10、CVR11、CVR12、CVR13、CVR14、CVR15、CVR16、CVR17。

[0072] 一个主控芯片和一个底侧子级芯片SPI通信的系统结构如图3所示,主控芯片的MOSI信号线与底侧子级芯片的上传输入端口相连,底侧子级芯片的下传输输出端口和主控芯片的MISO信号线相连。

[0073] 图1、图2、图3中的箭头方向是数据流向。

[0074] 采用这样的系统结构,主控芯片向底侧子级芯片写入数据方法包括以下步骤:

[0075] (A1)底侧子级芯片中的二选一选择器(M1)、二选一选择器(M2)默认为写使能,则二选一选择器(M1)、二选一选择器(M2)的OUT连接A端口;

[0076] (B1)主控芯片发送写数据的指令及其CRC校验码,写数据的指令传入底侧子级芯片;

[0077] (C1)底侧子级芯片的通信协议处理模块中移入了主控芯片发送的写指令;

[0078] (D1)循环冗余校验码正确,底侧子级芯片通信协议处理模块确认写数据指令,M1不变,M2的OUT连接B端口;

[0079] (E1)主控芯片发送底侧子级芯片要写入的数据及其CRC校验码;

[0080] (F1)数据从MOSI进入底侧子级芯片的寄存器群;

[0081] (G1)数据写入底侧子级芯片的寄存器群,完成子级芯片数据的写入。

[0082] 主控芯片向底侧子级芯片发送数据包的格式为:

[0083] 1.发送写寄存器的指令及其CRC校验码;

[0084] 2.发送底侧子级芯片要写入的数据及其CRC校验码;

[0085] 其中(G1)步骤中,数据写入寄存器群实际是数据写入芯片配置寄存器的每个寄存器组,每个寄存器组的结构如图6所示,子级芯片读写寄存器的每个寄存器组(CFGR),由8个存储单元Din1、Din2、Din3、Din4、Din5、Din6、Din7、Din8依次从低位到高位串行连接。

[0086] 为了方便SPI接口读取数据包,每个存储单元由两个位寄存器CLK1、CLK2和两个二选一选择器S1、S2组成一个闭环回路。

[0087] 二选一选择器(S1)和数据位寄存器(CLK1)连接,数据位寄存器(CLK1)通过二选一选择器(S2)和串行链路位寄存器(CLK2)连接,串行链路位寄存器(CLK2)和二选一选择器(S1)连接。

[0088] 芯片配置寄存器的寄存器组如图6所示的存储单元的连接方式一样,寄存器组(CFGR0)依次串行连接到寄存器组(CFGR5),寄存器组CFGR0、CFGR1、CFGR2、CFGR3、CFGR4、

CFGR5写入数据包方法,如图7所示:

[0089] <1>通信协议处理模块先控制二选一选择器(S2)将OUT与B相通,在串行链路寄存器(CLK2)时钟驱动下,将输入数据由存储单元(Din1)的串行链路寄存器依次串行输入到存储单元(Din8)的串行链路寄存器;

[0090] <2>通信协议处理模块再控制二选一选择器(S1)将OUT与A相通,此时在数据位寄存器(CLK1)时钟驱动下,将串行链路寄存器并行加载到数据寄存器中;

[0091] <3>数据储存在数据寄存器中,寄存器组写入数据完成。

[0092] 主控芯片向底侧子级芯片的读取数据包的方法,包括以下步骤:

[0093] (a1)主控芯片读取底侧子级芯片读写寄存器中的数据包,芯片中的多路选择器(M1)、多路选择器(M2)默认为写使能,则多路选择器(M1)、多路选择器(M2)的OUT连接A端口;

[0094] (b1)主控芯片发送读指令及其CRC校验码读取底侧子级芯片储存的数据包,此时读指令传入底侧子级芯片;

[0095] (c1)底侧子级芯片的通信协议处理模块中移入主控芯片发送的读指令,当通信协议处理模块确认读数据包指令时,多路选择器(M1)将OUT端口连接B端口,多路选择器(M2)也将OUT连接B端口;

[0096] (d1)底侧子级芯片数据包的读取:

[0097] 底侧子级芯片的读写寄存器、只读寄存器储存的数据以及通信协议处理模块计算出的校验码从寄存器群输出到下传输输出端口;

[0098] (e1)底侧子级芯片的数据包从下传输输出端口经过MISO被主控芯片读出底侧子级芯片数据包。

[0099] 主控芯片和底侧子级芯片之间数据包发送格式:

[0100] 1.发送读取寄存器指令及其CRC校验码;

[0101] 2.读出底侧子级芯片数据及其CRC校验码;

[0102] 芯片配置寄存器的寄存器组如图6所示的存储单元的连接方式一样,寄存器组(CFGR0)依次串行连接到寄存器组(CFGR5),寄存器组CFGR0、CFGR1、CFGR2、CFGR3、CFGR4、CFGR5读取数据包方法如图1、7所示:

[0103] ①通信协议处理模块控制多路选通器(P1)与芯片配置寄存器相通;

[0104] ②通信协议处理模块控制芯片配置寄存器的寄存器组的二选一选择器(S2)将OUT与A相通,此时在数据位寄存器(CLK1)时钟驱动下,将数据包从数据寄存器并行加载到串行链路寄存器中;

[0105] ③然后通信协议处理模块控制二选一选择器(S2)将OUT与B相通,在串行链路寄存器(CLK2)时钟驱动下,将数据包从寄存器组的串行链路寄存器低位串行输出到高位;

[0106] ④通信协议处理模块控制芯片配置寄存器和多路选通器(P2)相通,数据包从多路选通器(P2)输出,完成芯片配置寄存器的读取。

[0107] 子级芯片只读寄存器寄存器组的结构如图6所示,由8个存储单元Din1、Din2、Din3、Din4、Din5、Din6、Din7、Din8依次从低位到高位串行连接。

[0108] 为了方便SPI接口读取数据包,每个存储单元由两个位寄存器 CLK1、CLK2和两个二选一选择器S1、S2组成一个闭环回路。

[0109] 二选一选择器(S1)和数据位寄存器(CLK1)连接,数据位寄存器(CLK1)通过二选一选择器(S2)和串行链路位寄存器(CLK2)连接,串行链路位寄存器(CLK2)和二选一选择器(S1)连接。

[0110] 只读寄存器的每个寄存器组如图6所示的存储单元的连接方式一样,芯片标志寄存器的寄存器组(FLGR0)依次串行连接到寄存器组(FLGR2),芯片诊断寄存器的寄存器组(DGNR0)串行连接到寄存器组(DGNR1),温度寄存器的寄存器组(TMPR0)依次串行连接到寄存器组(TMPR4),电池电压寄存器的寄存器组(CVR00)依次串行连接到寄存器组(CVR17),向只读寄存器的寄存器组读取数据包方法参照图1、图2、图8所示,其步骤如下:

[0111] (i)芯片内部写入模块将采集到的电池电压和温度的数据写入到电池电压寄存器、温度寄存器,将内部逻辑运算数据写入到芯片标志寄存器和芯片诊断寄存器时,通信协议处理模块控制二选一选择器(S1)将OUT与B相通;

[0112] (ii)芯片内部写入模块将数据并行写入电池电压寄存器和温度寄存器,将内部逻辑运算数据并行写入芯片标志寄存器和芯片诊断寄存器;

[0113] (III)通信协议处理模块控制多路选通器P1与芯片只读寄存器相连;

[0114] (IV)通信协议处理模块控制只读寄存器的寄存器组的二选一选择器(S2)将OUT与A相通,此时在数据位寄存器(CLK1)时钟驱动下,将数据包从数据寄存器并行加载到串行链路寄存器中;

[0115] (v)然后通信协议处理模块控制二选一选择器(S2)将OUT与B相通,在串行链路位寄存器(CLK2)时钟驱动下,将数据包从寄存器组的串行链路寄存器低位串行输出到高位;

[0116] (vi)通信协议处理模块控制只读寄存器和多路选通器(P2)相通,数据包从多路选通器(P2)输出,完成只读寄存器的读取。

[0117] 图6、图7、图8中的箭头方向是数据流向。

[0118] 实施例二

[0119] 一种应用于电池监控芯片的级联SPI通信系统,包括一颗主控芯片和2颗子级芯片,主控芯片仅和一颗子级芯片连接以SPI通信协议通信,2颗子级芯片之间通过菊花链的级联方式连接。

[0120] 与主控芯片连接的是底侧子级芯片,另一颗子级芯片为高侧子级芯片。

[0121] 一个子级芯片包括1-12节电池。

[0122] 子级芯片结构如图1所示,子级芯片包括上传输入端口、下传输入端口、通信协议处理模块、寄存器群、多路选择器(M1)、多路选择器(M2)、上传输出端口、下传输出端口。

[0123] 子级芯片上传输入端口、下传输入端口与多路选择器(M1)串联连接,上传输入端口与通信协议处理模块串联连接,多路选择器(M1)与寄存器群串联连接并且与通信协议处理模块并联连接于多路选择器(M2),寄存器群和下传输出端口相连接,多路选择器和上传输出端口相连接。

[0124] 本发明中的子级芯片的寄存器群结构如图2所示,包括读写寄存器、只读寄存器、多路选通器、芯片内部写入模块。

[0125] 多路选通器(P1)串联连接读写寄存器、只读寄存器,芯片内部写入模块串联只读寄存器,读写寄存器和只读寄存器并联连接于多路选通器(P2)。

[0126] 通信协议处理模块控制多路选通器(P1)、多路选通器(P2)导通时将主控芯片的数

据包写入读写寄存器以及主控芯片读取只读寄存器数据包,读写寄存器是芯片配置寄存器。

[0127] 通信协议处理模块控制多路选通器(P1)、多路选通器(P2)导通时读取只读寄存器数据包,只读寄存器由芯片内部写入模块写入数据,只读寄存器包括芯片电压寄存器、芯片标志寄存器、芯片诊断寄存器和温度寄存器,芯片内部写入模块将采集到的电池电压和温度的数据写入到电池电压寄存器、温度寄存器,将芯片内部逻辑计算数据写入到芯片标志寄存器和芯片诊断寄存器。

[0128] 芯片配置寄存器由6组寄存器组CFGR0、CFGR1、CFGR2、CFGR3、CFGR4、CFGR5组成。

[0129] 芯片标志寄存器由3组寄存器组FLGR0、FLGR1、FLGR2组成。

[0130] 芯片诊断寄存器由2组寄存器组DGNR0、DGNR1组成。

[0131] 温度寄存器由5组寄存器组TMPR0、TMPR1、TMPR2、TMPR3、TMPR4。

[0132] 电池电压寄存器由18组寄存器组CVR00、CVR01、CVR02、CVR03、CVR04、CVR05、CVR06、CVR07、CVR08、CVR09、CVR10、CVR11、CVR12、CVR13、CVR14、CVR15、CVR16、CVR17。

[0133] 主控芯片和底侧子级芯片SPI通信的系统结构如图3所示,主控芯片的MOSI信号线与底侧子级芯片的上传输入端口相连,底侧子级芯片的下传输输出端口和主控芯片的MISO信号线相连。

[0134] 底侧子级芯片和高侧子级芯片级联的系统结构如图4所示,底侧子级芯片的上传输出端口和高侧子级芯片的上传输入端口相连,高侧子级芯片的下传输输出端口和底侧子级芯片的下传输输入端口相连。

[0135] 图1、图2、图3、图4中的箭头方向是数据流向。

[0136] 采用这样的系统结构,主控芯片向2颗子级芯片写入数据方法包括以下步骤:

[0137] (A2)底侧子级芯片中的多路选择器(M1)、多路选择器(M2)默认为写使能,则多路选择器(M1)、多路选择器(M2)的OUT连接A端口;

[0138] (B2)主控芯片发送写数据的指令及其CRC校验码,写数据的指令不仅传入底侧子级芯片,同时也传入了高侧子级芯片;

[0139] (C2)2颗芯片的通信协议处理模块中移入了主控芯片发送的写指令;

[0140] (D2)当2颗子级芯片通信协议处理模块确认写数据指令时,多路选择器(M1)不变,多路选择器(M2)的OUT连接B端口;

[0141] (E2)主控芯片发送低侧芯片和高侧子级芯片要写入的数据;

[0142] (F2)数据从MOSI通过底侧子级芯片上传输入端口进入底侧子级芯片的寄存器群,同时通过高侧子级芯片上传输入端口进入高侧子级芯片的寄存器群;

[0143] (G2)数据写入底侧子级芯片、高侧子级芯片的寄存器群,完成子级芯片数据的写入。

[0144] 数据包发送的格式为:

[0145] 1.发送写寄存器的指令及其CRC校验码;

[0146] 2.发送底侧子级芯片要写入的数据及其CRC校验码;

[0147] 3.发送高侧子级芯片要写入的数据及其CRC校验码;

[0148] 其中(G2)步骤中,数据写入底侧子级芯片、高侧子级芯片的寄存器群实际是数据写入底侧子级芯片、高侧子级芯片的芯片配置寄存器的每个寄存器组,芯片配置寄存器的

每个寄存器组(CFGR)的结构如图6所示,由8个存储单元Din1、Din2、Din3、Din4、Din5、Din6、Din7、Din8依次从低位到高位串行连接。

[0149] 为了方便SPI接口读取数据,每个存储单元由两个位寄存器CLK1、CLK2和两个二选一选择器S1、S2组成一个闭环回路。

[0150] 二选一选择器(S1)和数据位寄存器(CLK1)连接,数据位寄存器(CLK1)通过二选一选择器(S2)和串行链路位寄存器(CLK2)连接,串行链路位寄存器(CLK2)和二选一选择器(S1)连接。

[0151] 底侧子级芯片和高侧子级芯片的芯片配置寄存器的寄存器组如图6所示的存储单元的连接方式一样,寄存器组(CFGR0)依次串行连接到寄存器组(CFGR5),寄存器组CFGR0、CFGR1、CFGR2、CFGR3、CFGR4、CFGR5写入数据方法,如图7所示:

[0152] <1>通信协议处理模块先控制二选一选择器(S2)将OUT与B相通,在串行链路位寄存器(CLK2)时钟驱动下,将输入数据按位由存储单元(Din1)的串行链路寄存器依次串行输入到存储单元(Din8)的串行链路寄存器;

[0153] <2>通信协议处理模块再控制二选一选择器(S1)将OUT与A相通,此时在数据位寄存器(CLK1)时钟驱动下,将串行链路寄存器并行加载到数据寄存器中;

[0154] <3>数据储存在数据寄存器中,寄存器组写入数据完成。

[0155] 主控芯片向底侧子级芯片、高侧子级芯片的读取数据的方法,如图4所示,包括以下步骤:

[0156] (a2)主控芯片读取底侧子级芯片、高侧子级芯片的数据,芯片中的多路选择器(M1)、多路选择器(M2默认为写使能,则多路选择器(M1)、多路选择器(M2)的OUT连接A端口;

[0157] (b2)主控芯片发送读指令及其CRC校验码读取底侧子级芯片、高侧子级芯片的储存的数据,此时读指令传入底侧子级芯片、高侧子级芯片;

[0158] (c2)底侧子级芯片、高侧子级芯片的通信协议处理模块中移入主控芯片发送的读指令,当通信协议处理模块确认读数据指令时,多路选择器(M1)将OUT端口连接B端口,多路选择器(M2)也将OUT连接B端口;

[0159] (d2)底侧子级芯片被主控芯片读取:

[0160] 底侧子级芯片、高侧子级芯片的读写寄存器、只读寄存器储存的数据以及通信协议处理模块计算出的校验码从寄存器群输出到下传输输出端口,

[0161] 底侧子级芯片的数据从下传输输出端口经过MISO被主控芯片读出底侧子级芯片数据及其CRC校验码。

[0162] (e2)高侧子级芯片的数据被主控芯片读取:

[0163] 高侧子级芯片的读写寄存器、只读寄存器储存的数据以及通信协议处理模块计算出的校验码从寄存器群输出到高侧子级芯片下传输输出端口,

[0164] 高侧子级芯片的数据从高侧子级芯片下传输输出端口传输到底侧子级芯片的下传输输入端口,

[0165] 高侧子级芯片的数据经底侧子级芯片的寄存器群输出到底侧子级芯片下传输输出端口,

[0166] 高侧子级芯片的数据从底侧子级芯片的下传输输出端口经过MISO被主控芯片读出高侧子级芯片数据及其CRC校验码。

[0167] 主控芯片和底侧子级芯片、高侧子级芯片之间数据包发送格式：

[0168] 1. 发送读取寄存器指令及其CRC校验码；

[0169] 2. 读出底侧子级芯片数据及其CRC校验码；

[0170] 3. 读出高侧子级芯片数据及其CRC校验码；

[0171] 底侧子级芯片、高侧子级芯片的读写寄存器的寄存器组如图6所示的存储单元的连接方式一样，寄存器组(CFGR0)依次串行连接到寄存器组(CFGR5)，寄存器组CFGR0、CFGR1、CFGR2、CFGR3、CFGR4、CFGR5读取数据包方法如图1、图2、图7所示：

[0172] ①通信协议处理模块控制多路选通器(P1)与芯片配置寄存器相通；

[0173] ②通信协议处理模块控制芯片配置寄存器的寄存器组的二选一选择器(S2)将OUT与A相通，此时在数据位寄存器(CLK1)时钟驱动下，将数据包从数据寄存器并行加载到串行链路寄存器中；

[0174] ③然后通信协议处理模块控制二选一选择器(S2)将OUT与B相通，在串行链路位寄存器(CLK2)时钟驱动下，将数据包从寄存器组的串行链路寄存器低位串行输出到高位；

[0175] ④通信协议处理模块控制芯片配置寄存器和多路选通器(P2)相通，数据包从多路选通器(P2)输出，完成芯片配置寄存器的读取。

[0176] 底侧子级芯片、高侧子级芯片只读寄存器寄存器组的结构如图6所示，由8个存储单元Din1、Din2、Din3、Din4、Din5、Din6、Din7、Din8依次从低位到高位串行连接。

[0177] 为了方便SPI接口读取数据包，每个存储单元由两个位寄存器CLK1、CLK2和两个二选一选择器S1、S2组成一个闭环回路。

[0178] 二选一选择器(S1)和数据包位寄存器(CLK1)连接，数据包位寄存器(CLK1)通过二选一选择器(S2)和串行链路位寄存器(CLK2)连接，串行链路位寄存器(CLK2)和二选一选择器(S1)连接。

[0179] 只读寄存器的寄存器组如图6所示的存储单元的连接方式一样，芯片标志寄存器的寄存器组(FLGR0)依次串行连接到寄存器组(FLGR2)，芯片诊断寄存器的寄存器组(DGNR0)串行连接到寄存器组(DGNR1)，温度寄存器的寄存器组(TMPR0)依次串行连接到寄存器组(TMPR4)，电池电压寄存器的寄存器组(CVR00)依次串行连接到寄存器组(CVR17)，向只读寄存器的寄存器组读取数据包方法如图1、图2、图8所示，其步骤如下：

[0180] (i) 芯片内部写入模块将采集到的电池电压和温度的数据包转化为数字数据包写入到电池电压寄存器、温度寄存器，将内部逻辑运算数据包写入到芯片标志寄存器和芯片诊断寄存器时，通信协议处理模块控制二选一选择器(S1)将OUT与B相通；

[0181] (ii) 芯片内部写入模块将数字数据包并行写入电池电压寄存器和温度寄存器，将内部逻辑运算数据包并行写入芯片标志寄存器和芯片诊断寄存器；

[0182] (III) 通信协议处理模块控制多路选通器P1与芯片只读寄存器相通；

[0183] (IV) 通信协议处理模块控制只读寄存器的寄存器组的二选一选择器(S2)将OUT与A相通，此时在数据位寄存器(CLK1)时钟驱动下，将数据包从数据寄存器并行加载到串行链路寄存器中；

[0184] (v) 然后通信协议处理模块控制二选一选择器(S2)将OUT与B相通，在串行链路寄存器(CLK2)时钟驱动下，将数据包从寄存器组的串行链路寄存器低位串行输出到高位；

[0185] (vi) 通信协议处理模块控制只读寄存器和多路选通器(P2)相通，数据包从多路选

通器(P2)输出,完成只读寄存器的读取。

[0186] 图6、图7、图8中的箭头方向是数据流向。

[0187] 实施例三

[0188] 一种应用于电池监控芯片的级联SPI通信系统,包括一颗主控芯片和8颗子级芯片,主控芯片仅和一颗子级芯片连接以SPI通信协议通信,8颗子级芯片之间通过菊花链的级联方式连接。

[0189] 一颗子级芯片包括1-12节电池。

[0190] 与主控芯片连接的是底侧子级芯片,其余7颗子级芯片为高侧子级芯片。

[0191] 8颗子级芯片按照如图5所示级联的方式连接。

[0192] 与主控芯片相连的子级芯片称为底侧子级芯片,其它7颗子级芯片称为高侧子级芯片,底侧子级芯片与主控芯片之间以SPI通信协议连接,底侧子级芯片与7颗高侧子级芯片之间以级联的方式连接。

[0193] 子级芯片结构如图1所示,子级芯片包括子级芯片包括上传输入端口、下传输输入端口、通信协议处理模块、寄存器群、多路选择器(M1)、多路选择器(M2)、上传输出端口、下传输输出端口。

[0194] 子级芯片上传输入端口、下传输输入端口与多路选择器(M1)串联连接,上传输入端口与通信协议处理模块串联连接,多路选择器(M1)与寄存器群串联连接并且与通信协议处理模块并联连接于多路选择器(M2),寄存器群和下传输输出端口相连接,多路选择器和上传输出端口相连接。

[0195] 本发明中的底侧子级芯片的寄存器群结构如图2所示,包括读写寄存器、只读寄存器、多路选通器、芯片内部写入模块。

[0196] 多路选通器(P1)串联连接读写寄存器、只读寄存器,芯片内部写入模块串联只读寄存器,读写寄存器和只读寄存器并联连接于多路选通器(P2)。

[0197] 通信协议处理模块控制多路选通器(P1)、多路选通器(P2)导通时将主控芯片的数据包写入读写寄存器以及主控芯片读取只读寄存器数据包,读写寄存器是芯片配置寄存器。

[0198] 通信协议处理模块控制多路选通器(P1)、多路选通器(P2)导通时读取只读寄存器数据包,只读寄存器由芯片内部写入模块写入数据,只读寄存器包括芯片电压寄存器、芯片标志寄存器、芯片诊断寄存器和温度寄存器,芯片内部写入模块将采集到的电池电压和温度的数据写入到电池电压寄存器、温度寄存器,将芯片内部逻辑计算数据写入到芯片标志寄存器和芯片诊断寄存器。

[0199] 芯片配置寄存器由6组寄存器组CFGR0、CFGR1、CFGR2、CFGR3、CFGR4、CFGR5组成。

[0200] 芯片标志寄存器由3组寄存器组FLGR0、FLGR1、FLGR2组成。

[0201] 芯片诊断寄存器由2组寄存器组DGNR0、DGNR1组成。

[0202] 温度寄存器由5组寄存器组TMPR0、TMPR1、TMPR2、TMPR3、TMPR4。

[0203] 电池电压寄存器由18组寄存器组CVR00、CVR01、CVR02、CVR03、CVR04、CVR05、CVR06、CVR07、CVR08、CVR09、CVR10、CVR11、CVR12、CVR13、CVR14、CVR15、CVR16、CVR17。

[0204] 主控芯片和底侧子级芯片SPI通信的系统结构如图3所示,主控芯片的MOSI信号线与底侧子级芯片的上传输入端口相连,底侧子级芯片的下传输输出端口和主控芯片的MISO信

号线相连接。

[0205] 主控芯片和8颗子级芯片级联SPI通信的系统结构如图5所示,主控芯片(1)通过MOSI和底侧子级芯片(2)的上传输入端口相连接,底侧子级芯片(2)的下传输输入端口通过MISO信号线和主控芯片(1)相连接,底侧子级芯片(1)的上传输出端口和高侧子级芯片(2)的上传输入端口相连接,高侧子级芯片(2)的下传输输出端口与底侧子级芯片(1)的下传输输入端口相连接,高侧子级芯片(2)的上传输出端口和高侧子级芯片(3)的上传输入端口相连接,高侧子级芯片(3)的上传输出端口和高侧子级芯片(4)的上传输入端口相连接,高侧子级芯片(3)的下传输输出端口和高侧子级芯片(2)的下传输输入端口相连接,高侧子级芯片(4)的上传输出端口和高侧子级芯片(5)的上传输入端口相连接,高侧子级芯片(4)的下传输输出端口和高侧子级芯片(3)的下传输输入端口相连接,高侧子级芯片(5)的上传输出端口和高侧子级芯片(6)的上传输入端口相连接,高侧子级芯片(5)的下传输输出端口和高侧子级芯片(4)的下传输输入端口相连接,高侧子级芯片(6)的上传输出端口和高侧子级芯片(7)的上传输入端口相连接,高侧子级芯片(6)的下传输输出端口和高侧子级芯片(5)的下传输输入端口相连接,高侧子级芯片(7)的上传输出端口和高侧子级芯片(8)的上传输入端口相连接,高侧子级芯片(7)的下传输输出端口和高侧子级芯片(6)的下传输输入端口相连接,高侧子级芯片(8)的上传输出端口和高侧子级芯片(9)的上传输入端口相连接,高侧子级芯片(8)的下传输输出端口和高侧子级芯片(7)的下传输输入端口相连接,高侧子级芯片(9)的下传输输出端口和高侧子级芯片(8)的下传输输入端口相连接。

[0206] 图1、图2、图3、图4、图5中的箭头方向是数据流向。

[0207] 采用这样的系统结构,主控芯片向8颗子级芯片写入数据方法包括以下步骤:

[0208] (A3)8颗子级芯片中的多路选择器(M1)、多路选择器(M2)默认为写使能,则多路选择器(M1)、多路选择器(M2)的OUT连接A端口;

[0209] (B3)主控芯片(1)发送写数据的指令及其CRC校验码,写数据的指令不仅传入底侧子级芯片,同时也传入了7颗高侧子级芯片;

[0210] (C3)8颗芯片的通信协议处理模块中移入了主控芯片(1)发送的写指令;

[0211] (D3)当8颗子级芯片通信协议处理模块确认写数据指令时,多路选择器(M1)不变,多路选择器(M2)的OUT连接B端口;

[0212] (E3)主控芯片(1)发送低侧芯片(2)和7颗高侧子级芯片3、4、5、6、7、8要写入的数据及其CRC校验码;

[0213] (F3)8颗子级芯片要写入的数据从MOSI通过底侧子级芯片(2)上传输入端口进入底侧子级芯片的寄存器群,底侧子级芯片的要写入的数据写入底侧子级芯片的寄存器群;

[0214] (G3)7颗高侧子级芯片要写入的数据从底侧子级芯片(2)的寄存器群出来通过高侧子级芯片(3)上传输入端口进入高侧子级芯片(2)的寄存器群,高侧子级芯片(2)的要写入的数据写入高侧子级芯片(2)的寄存器群;

[0215] (H3)6颗高侧子级芯片要写入的数据从高侧子级芯片(3)的寄存器群出来通过高侧子级芯片(4)上传输入端口进入高侧子级芯片(4)的寄存器群,高侧子级芯片(4)的要写入的数据写入高侧子级芯片(4)的寄存器群;

[0216] (I3)5颗高侧子级芯片要写入的数据从高侧子级芯片(4)的寄存器群出来通过高侧子级芯片(5)上传输入端口进入高侧子级芯片(5)的寄存器群,高侧子级芯片(5)的要写

入的数据写入高侧子级芯片(5)的寄存器群；

[0217] (J3)4颗高侧子级芯片要写入的数据从高侧子级芯片(5)的寄存器群出来通过高侧子级芯片(6)上传输入端口进入高侧子级芯片(6)的寄存器群,高侧子级芯片(6)的要写入的数据写入高侧子级芯片(6)的寄存器群；

[0218] (K3)3颗高侧子级芯片要写入的数据从高侧子级芯片(6)的寄存器群出来通过高侧子级芯片(7)上传输入端口进入高侧子级芯片(7)的寄存器群,高侧子级芯片(7)的要写入的数据写入高侧子级芯片(7)的寄存器群；

[0219] (L3)2颗高侧子级芯片要写入的数据从高侧子级芯片(7)的寄存器群出来通过高侧子级芯片(8)上传输入端口进入高侧子级芯片(8)的寄存器群,高侧子级芯片(8)的要写入的数据写入高侧子级芯片(8)的寄存器群；

[0220] (M3)1颗高侧子级芯片要写入的数据从高侧子级芯片(8)的寄存器群出来通过高侧子级芯片(9)上传输入端口进入高侧子级芯片(9)的寄存器群,高侧子级芯片(9)的要写入的数据写入高侧子级芯片(9)的寄存器群。

[0221] 数据包发送的格式为：

[0222] 1.发送写寄存器的指令及其CRC校验码；

[0223] 2.发送底侧子级芯片要写入的数据及其CRC校验码；

[0224] 3.发送高侧子级芯片要写入的数据及其CRC校验码；

[0225] 其中(F3)至(M3)步骤中,向底侧子级芯片(2)、高侧子级芯片3、4、5、6、7、8、9的寄存器群写入数据实际是向底侧子级芯片、高侧子级芯片的芯片配置寄存器的每个寄存器组写入数据,芯片配置寄存器的每个寄存器组(CFGR)的结构如图6所示,由8个存储单元Din1、Din2、Din3、Din4、Din5、Din6、Din7、Din8依次从低位到高位串行连接。

[0226] 为了方便SPI接口读取数据,每个存储单元由两个位寄存器CLK1、CLK2和两个二选一选择器S1、S2组成一个闭环回路。

[0227] 二选一选择器(S1)和数据位寄存器(CLK1)连接,数据位寄存器(CLK1)通过二选一选择器(S2)和串行链路位寄存器(CLK2)连接,串行链路位寄存器(CLK2)和二选一选择器(S1)连接。

[0228] 底侧子级芯片(2)和高侧子级芯片3、4、5、6、7、8、9的芯片配置寄存器的寄存器组如图6所示的存储单元的连接方式一样,寄存器组(CFGR0)依次串行连接到寄存器组(CFGR5),寄存器组CFGR0、CFGR1、CFGR2、CFGR3、CFGR4、CFGR5写入数据方法,如图7所示：

[0229] <1>通信协议处理模块先控制二选一选择器(S2)将OUT与B相通,在串行链路寄存器(CLK2)时钟驱动下,将输入数据按位由存储单元(Din1)的串行链路寄存器依次串行输入到存储单元(Din8)的串行链路寄存器；

[0230] <2>通信协议处理模块再控制二选一选择器(S1)将OUT与A相通,此时在数据位寄存器(CLK1)时钟驱动下,将串行链路寄存器并行加载到数据寄存器中；

[0231] <3>数据储存在数据寄存器中,寄存器组写入数据完成。

[0232] 主控芯片(1)向底侧子级芯片(2)、高侧子级芯片3、4、5、6、7、8、9的读取数据包的方法,如图4所示,包括以下步骤：

[0233] (a3)主控芯片(1)读取底侧子级芯片(2)、高侧子级芯片3、4、5、6、7、8、9的数据包,芯片中的二选一选择器M1、M2默认为写使能,则多路选择器M1、M2的OUT连接A端口；

[0234] (b3)主控芯片(1)发送读指令及其CRC校验码读取底侧子级芯片(2)、高侧子级芯片3、4、5、6、7、8、9的储存的数据包,此时读指令传入底侧子级芯片(2)、高侧子级芯片3、4、5、6、7、8、9;

[0235] (c3)底侧子级芯片(2)、高侧子级芯片3、4、5、6、7、8、9的通信协议处理模块中移入主控芯片(1)发送的读指令,当通信协议处理模块确认读数据包指令时,多路选择器(M1)将OUT端口连接B端口,多路选择器(M2)也将OUT连接B端口;

[0236] (d3)底侧子级芯片(2)被主控芯片(1)读取:

[0237] 底侧子级芯片(2)的读写寄存器、只读寄存器储存的数据包以及通信协议处理模块计算出的校验码从寄存器群输出到底侧子级芯片(2)下传输输出端口;

[0238] 底侧子级芯片(2)的数据包从下传输输出端口经过MISO被主控芯片(1)读取底侧子级芯片(2)数据包及其CRC校验码;

[0239] (e3)高侧子级芯片3、4、5、6、7、8、9的数据包被主控芯片读取:

[0240] 高侧子级芯片(3)的读写寄存器、只读寄存器储存的数据包以及通信协议处理模块计算出的校验码从寄存器群输出到高侧子级芯片(3)下传输输出端口,

[0241] 高侧子级芯片(3)的数据包从高侧子级芯片下传输输出端口传输到底侧子级芯片(2)的下传输输入端口,

[0242] 高侧子级芯片(3)的数据包经底侧子级芯片(2)的寄存器群输出到底侧子级芯片(2)下传输输出端口,

[0243] 高侧子级芯片(3)的数据包从底侧子级芯片(2)的下传输输出端口经过MISO被主控芯片读取高侧子级芯片(3)数据包及其CRC校验码;

[0244] 与高侧子级芯片(3)数据包的传输路径一样,高侧子级芯片(4)的数据包依次传输到高侧子级芯片(3)、底侧子级芯片(2),经过MISO被主控芯片读取高侧子级芯片(4)数据包及其CRC校验码;

[0245] 与高侧子级芯片3、4数据包的传输路径一样,高侧子级芯片(5)的数据包依次传输到高侧子级芯片4、3、底侧子级芯片(2),经过MISO被主控芯片读取高侧子级芯片(5)数据包及其CRC校验码;

[0246] 与高侧子级芯片3、4、5数据包的传输路径一样,高侧子级芯片(6)的数据包依次传输到高侧子级芯片5、4、3、底侧子级芯片(2),经过MISO被主控芯片读取高侧子级芯片(6)数据包及其CRC校验码;

[0247] 与高侧子级芯片3、4、5、6数据包的传输路径一样,高侧子级芯片(7)的数据包依次传输到高侧子级芯片(3)、底侧子级芯片(2),经过MISO被主控芯片读取高侧子级芯片(4)数据包及其CRC校验码;

[0248] 与高侧子级芯片3、4、5、6、7数据包的传输路径一样,高侧子级芯片(8)的数据包依次传输到高侧子级芯片7、6、5、4、3、底侧子级芯片(2),经过MISO被主控芯片读取高侧子级芯片(8)数据包及其CRC校验码;

[0249] 与高侧子级芯片3、4、5、6、7、8数据包的传输路径一样,高侧子级芯片(9)的数据包依次传输到高侧子级芯片8、7、6、5、4、3,底侧子级芯片(2),经过MISO被主控芯片读取高侧子级芯片(9)数据包。

[0250] 主控芯片和底侧子级芯片、高侧子级芯片之间数据包发送格式:

[0251] 1.发送读取寄存器指令及其CRC校验码；

[0252] 2.读出底侧子级芯片数据及其CRC校验码；

[0253] 3.读出高侧子级芯片数据及其CRC校验码。

[0254] 底侧子级芯片(2)、高侧子级芯片3、4、5、6、7、8、9的读写寄存器的寄存器组如图6所示的存储单元的连接方式一样,寄存器组(CFGR0)依次串行连接到寄存器组(CFGR5),寄存器组CFGR0、CFGR1、CFGR2、CFGR3、CFGR4、CFGR5读取数据包方法如图1、图2、图7所示:

[0255] ①通信协议处理模块控制多路选通器P1与芯片配置寄存器相通;

[0256] ②通信协议处理模块控制芯片配置寄存器的寄存器组的二选一选择器(S2)将OUT与A相通,此时在数据位寄存器(CLK1)时钟驱动下,将数据包从数据寄存器并行加载到串行链路寄存器中;

[0257] ③然后通信协议处理模块控制二选一选择器(S2)将OUT与B相通,在串行链路位寄存器(CLK2)时钟驱动下,将数据包从寄存器组的串行链路寄存器低位串行输出到高位;

[0258] ④通信协议处理模块控制芯片配置寄存器和多路选通器(P2)相通,数据包从多路选通器(P2)输出,完成芯片配置寄存器的读取。

[0259] 底侧子级芯片(2)、高侧子级芯片3、4、5、6、7、8、9只读寄存器寄存器组的结构如图6所示,由8个存储单元Din1、Din2、Din3、Din4、Din5、Din6、Din7、Din8依次从低位到高位串行连接。

[0260] 为了方便SPI接口读取数据包,每个存储单元由两个位寄存器CLK1、CLK2和两个二选一选择器S1、S2组成一个闭环回路。

[0261] 二选一选择器(S1)和数据包位寄存器(CLK1)连接,数据包位寄存器(CLK1)通过二选一选择器(S2)和串行链路位寄存器(CLK2)连接,串行链路位寄存器(CLK2)和二选一选择器(S1)连接。

[0262] 只读寄存器的寄存器组如图6所示的存储单元的连接方式一样,芯片标志寄存器的寄存器组FLGR0依次串行连接到寄存器组(FLGR2),芯片诊断寄存器的寄存器组(DGNR0)串行连接到寄存器组(DGNR1),温度寄存器的寄存器组(TMPRO)依次串行连接到寄存器组(TMPR4),电池电压寄存器的寄存器组(CVR00)依次串行连接到寄存器组(CVR17),向只读寄存器的寄存器组读取数据包方法如图1、图2、图8所示,其步骤如下:

[0263] (i)芯片内部写入模块将采集到的电池电压和温度的数据包转化为数字数据包写入到电池电压寄存器、温度寄存器,将内部逻辑运算数据包写入到芯片标志寄存器和芯片诊断寄存器时,通信协议处理模块控制二选一选择器(S1)将OUT与B相通;

[0264] (ii)芯片内部写入模块将数字数据包并行写入电池电压寄存器和温度寄存器,将内部逻辑运算数据包并行写入芯片标志寄存器和芯片诊断寄存器;

[0265] (III)通信协议处理模块控制多路选通器(P1)与芯片只读寄存器相通;

[0266] (IV)通信协议处理模块控制只读寄存器的寄存器组的二选一选择器(S2)将OUT与A相通,此时在数据位寄存器(CLK1)时钟驱动下,将数据包从数据寄存器并行加载到串行链路寄存器中;

[0267] (v)然后通信协议处理模块控制二选一选择器(S2)将OUT与B相通,在串行链路寄存器(CLK2)时钟驱动下,将数据包从寄存器组的串行链路寄存器低位串行输出到高位;

[0268] (vi)通信协议处理模块控制只读寄存器和多路选通器(P2)相通,数据包从多路选

通器(P2)输出,完成只读寄存器的读取。

[0269] 图6、图7、图8中的箭头方向是数据流向。

[0270] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

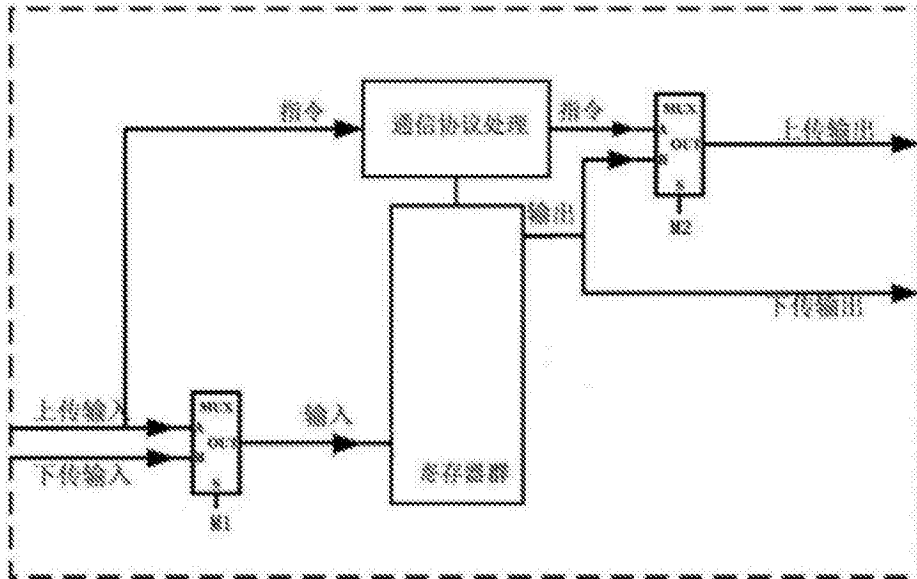


图1

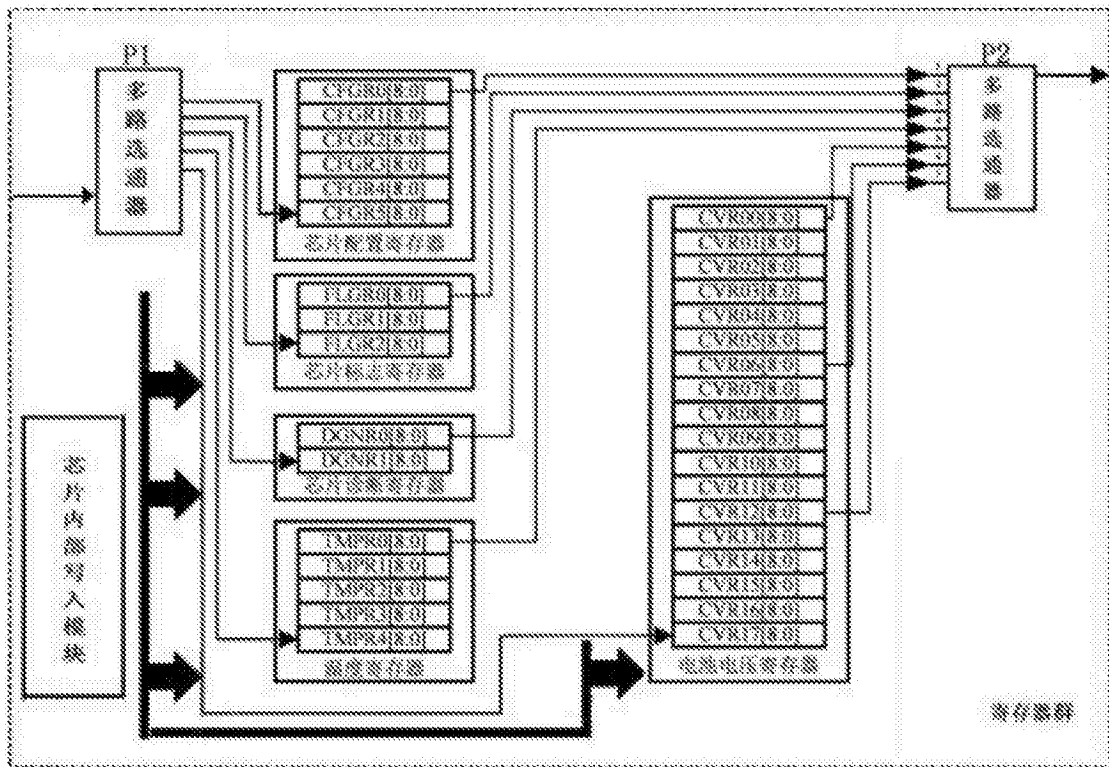


图2

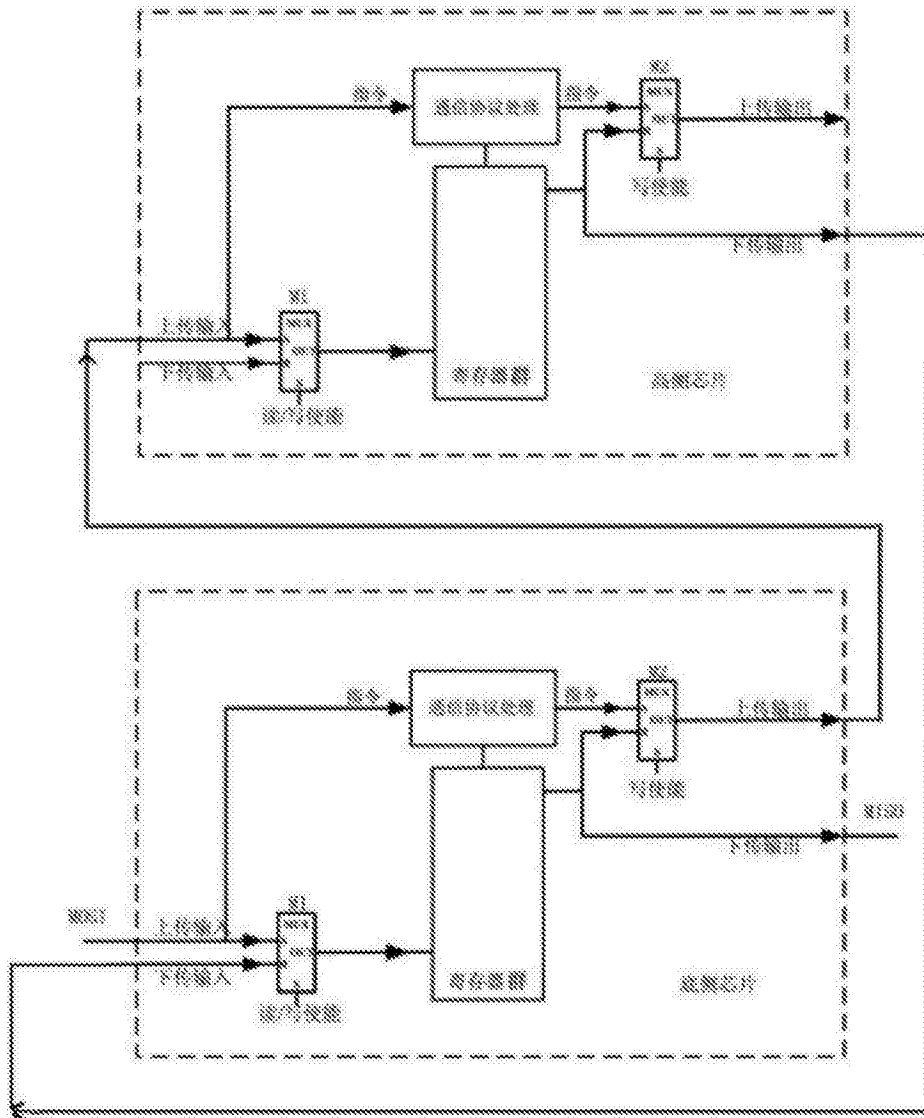


图4

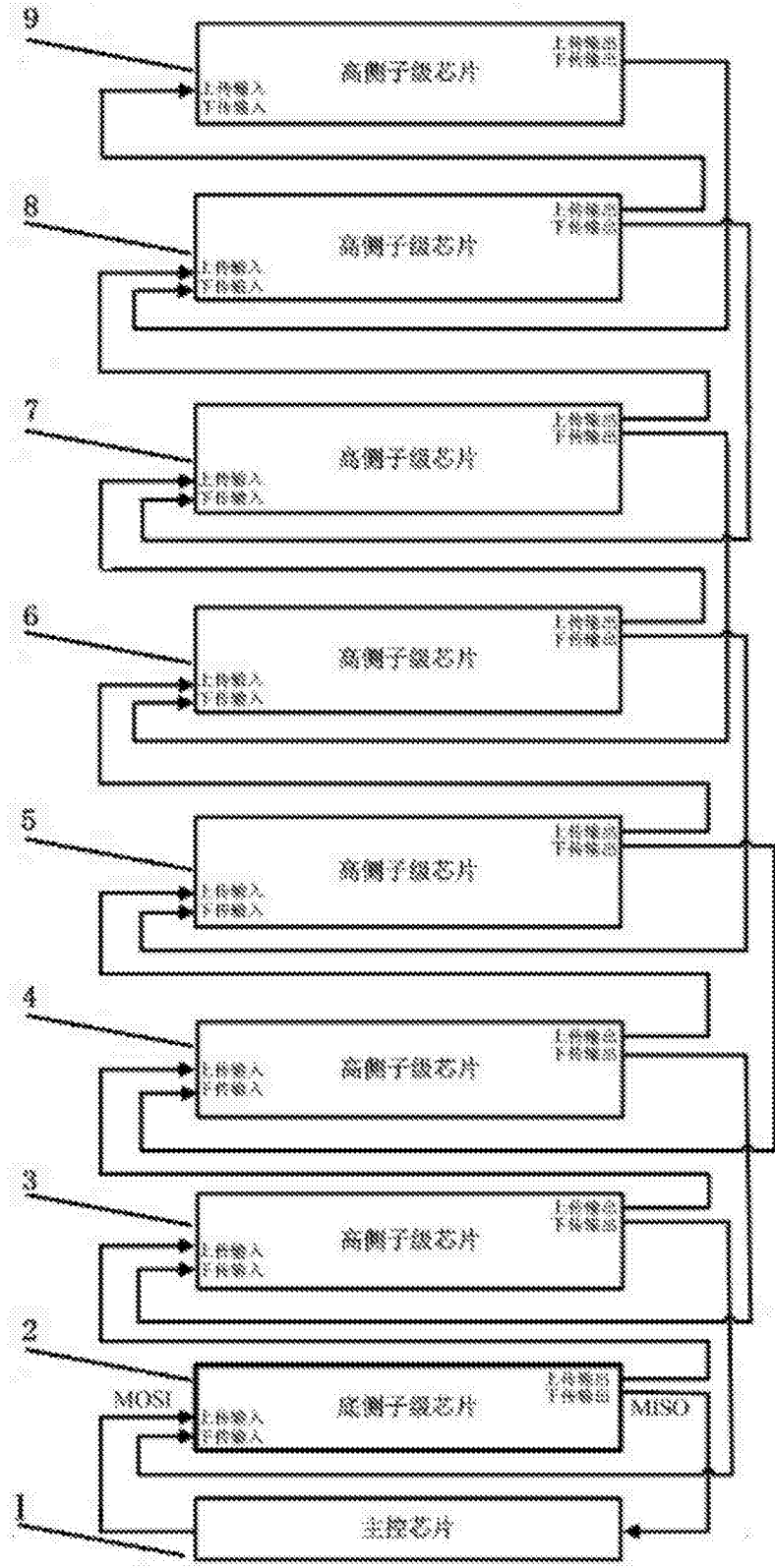


图5

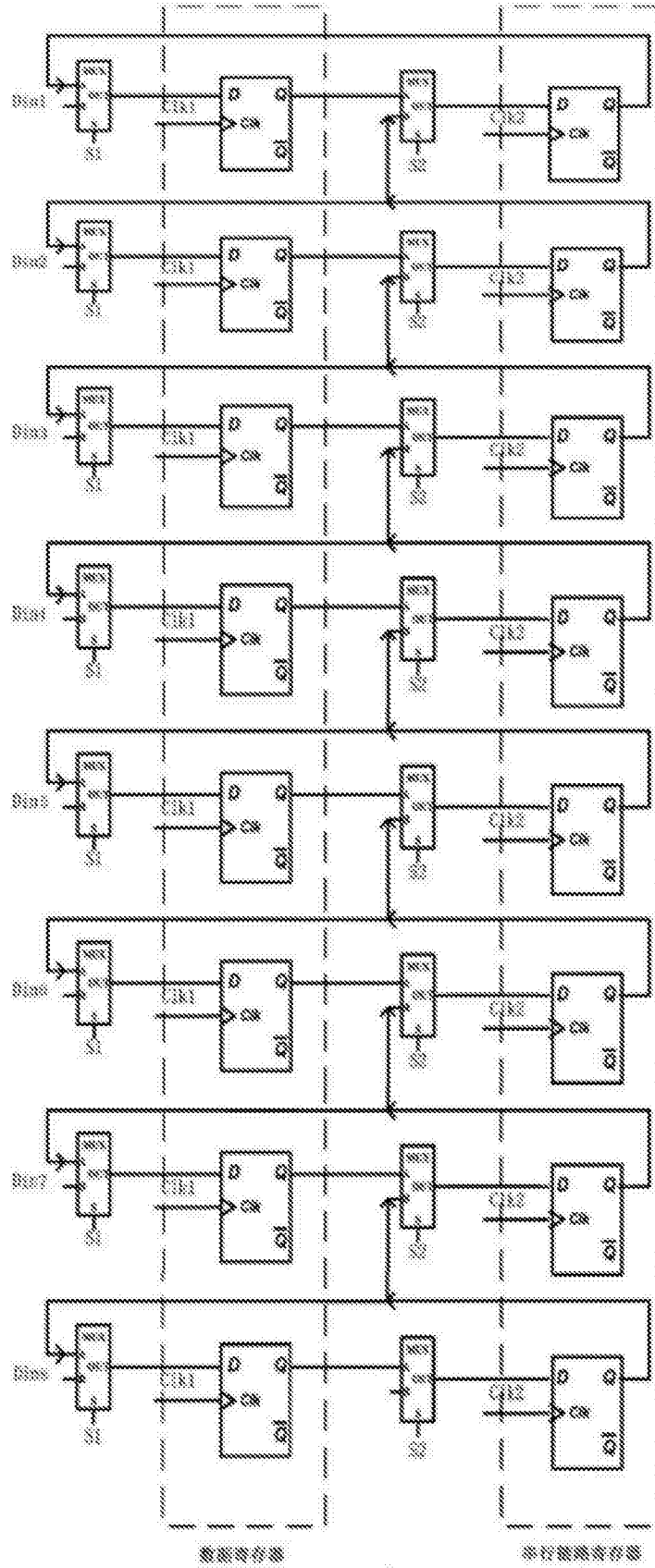


图6

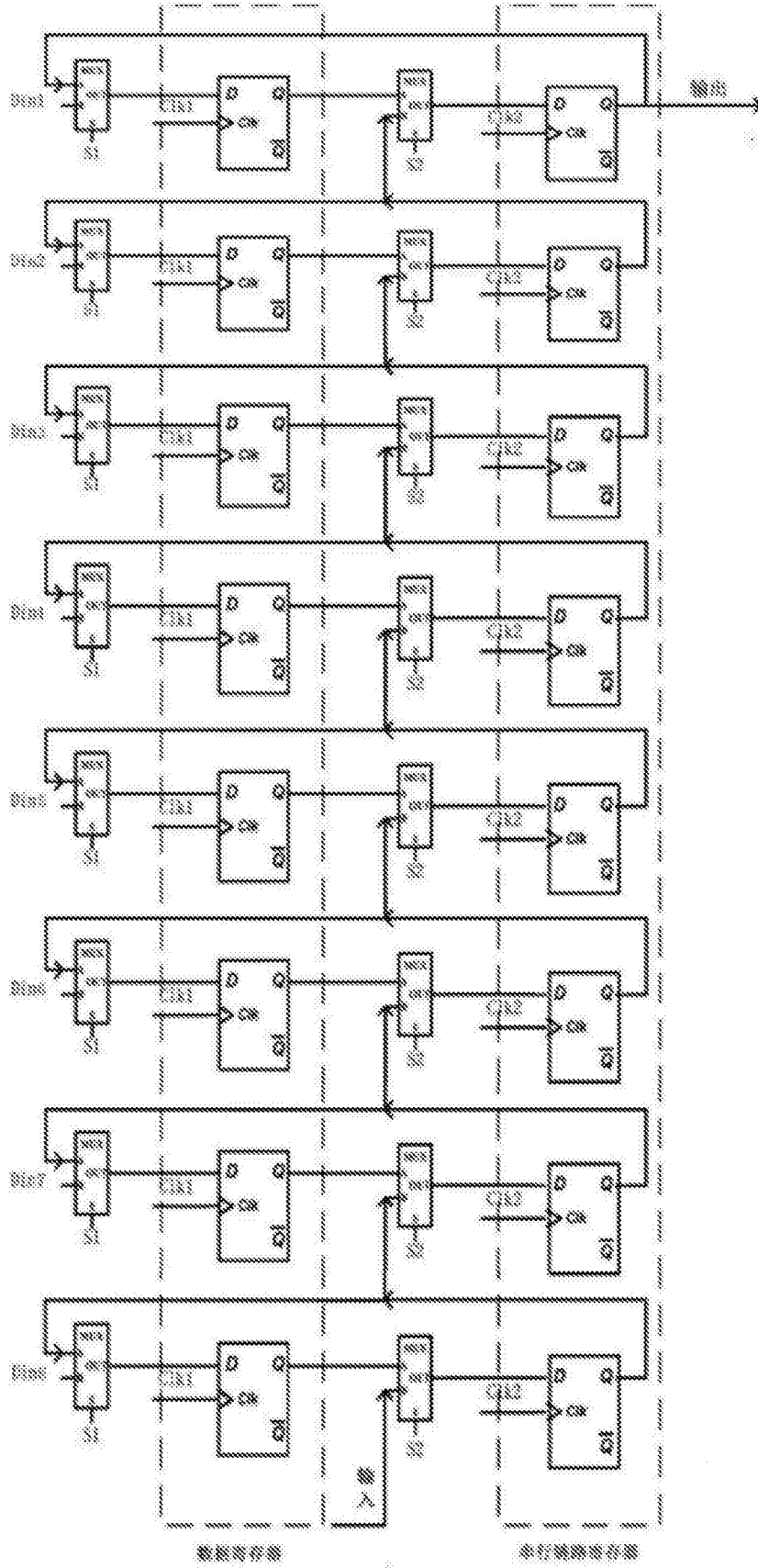


图7

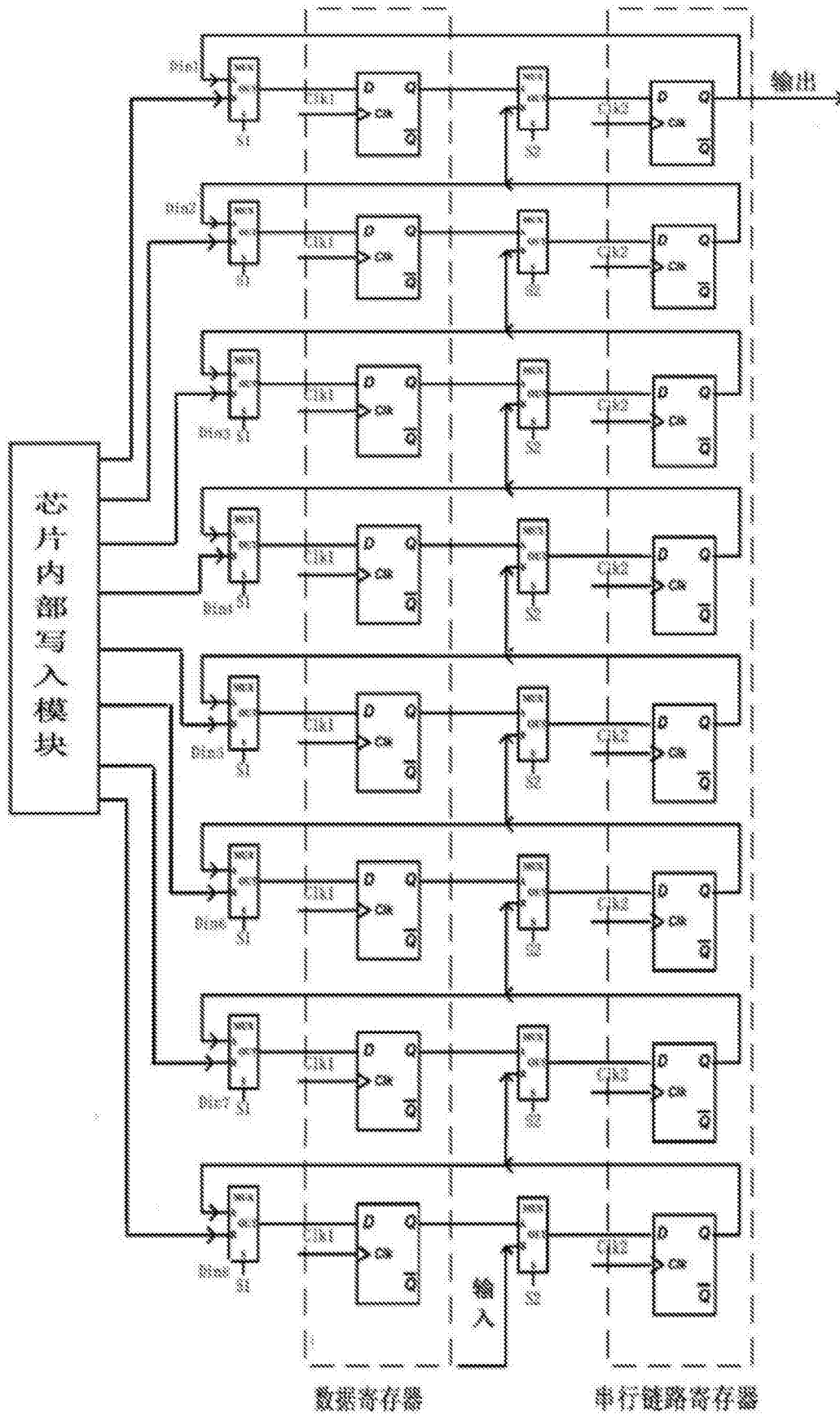


图8