

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3551909号
(P3551909)

(45) 発行日 平成16年8月11日(2004.8.11)

(24) 登録日 平成16年5月14日(2004.5.14)

(51) Int. Cl.⁷

F I

HO 1 L 21/316
HO 1 L 21/336
HO 1 L 29/78

HO 1 L 21/316 S
HO 1 L 21/316 P
HO 1 L 29/78 652C
HO 1 L 29/78 652J
HO 1 L 29/78 652K

請求項の数 28 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2000-310865 (P2000-310865)
(22) 出願日 平成12年10月11日(2000.10.11)
(65) 公開番号 特開2001-210637 (P2001-210637A)
(43) 公開日 平成13年8月3日(2001.8.3)
審査請求日 平成13年5月23日(2001.5.23)
(31) 優先権主張番号 特願平11-328478
(32) 優先日 平成11年11月18日(1999.11.18)
(33) 優先権主張国 日本国(JP)

(73) 特許権者 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(74) 代理人 100100022
弁理士 伊藤 洋二
(74) 代理人 100108198
弁理士 三浦 高広
(74) 代理人 100111578
弁理士 水野 史博
(72) 発明者 天野 伸治
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72) 発明者 奥野 英一
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

炭化珪素からなる半導体層(5)が備えられた基板を用意して、前記半導体層の表面に酸化膜(7)を形成する酸化膜形成工程を有し、該酸化膜形成工程が、熱酸化により該酸化膜を形成する工程を有してなる炭化珪素半導体装置の製造方法において、前記酸化膜形成工程における前記熱酸化工程は、 T を温度()、 R を気体定数、 $[O_2]$ を標準状態に対する $m o l$ 比率としたときに、酸素 $m o l$ 比率 $[O_2]$ が、

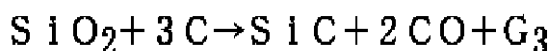
【数1】

$$\frac{624.96 \times 10^3 - 354.23(T + 273)}{+2R(T + 273) \ln [O_2]} \leq 0$$

で示される条件を満たし、

酸化珪素(SiO_2)と炭素(C)との反応で示される炭化珪素(SiC)の再結晶化反応式、

【化1】



におけるGibbsの自由エネルギー G_3 が負になるような条件下で前記熱酸化を行うことを特徴とする炭化珪素半導体装置の製造方法。

【請求項2】

炭化珪素からなる半導体層(5)が備えられた基板を用意して、前記半導体層の表面に酸化膜(7)を形成する酸化膜形成工程を有し、該酸化膜形成工程が、熱酸化により該酸化膜を形成する工程を有してなる炭化珪素半導体装置の製造方法において、
前記酸化膜形成工程における前記熱酸化工程は、Tを温度()、Rを気体定数、[H₂O]を標準状態に対するmol比率としたときに、水蒸気mol比率[H₂O]が、

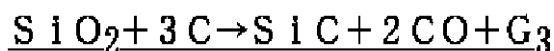
【数2】

$$624.96 \times 10^3 - 354.23 (T + 273) + 2R (T + 273) \ln [H_2O] \leq 0$$

で示される条件を満たし、

酸化珪素(SiO₂)と炭素(C)との反応で示される炭化珪素(SiC)の再結晶化反応式、

【化1】



におけるGibbsの自由エネルギーG₃が負になるような条件下で前記熱酸化を行うことを特徴とする炭化珪素半導体装置の製造方法。

【請求項3】

前記熱酸化工程では、前記熱酸化温度を1000以上とすることを特徴とする請求項1又は2に記載の炭化珪素半導体装置の製造方法。

【請求項4】

前記熱酸化工程は、Tを温度()、Rを気体定数、[O₂]を標準状態に対するmol比率としたときに、酸素mol比率[O₂]が、

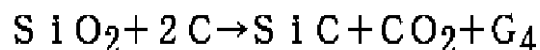
【数3】

$$452.59 \times 10^3 - 173.24 (T + 273) + R (T + 273) \ln [O_2] \leq 0$$

で示される条件を満たし、

酸化珪素(SiO₂)と炭素(C)との反応で示される炭化珪素(SiC)の再結晶化反応式、

【化2】



におけるGibbsの自由エネルギーG₄が負になるような条件下で前記熱酸化を行うことを特徴とする請求項1乃至3のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項5】

前記熱酸化工程は、Tを温度()、Rを気体定数、[H₂O]を標準状態に対するmol比率としたときに、水蒸気mol比率[H₂O]が、

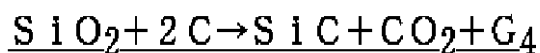
【数4】

$$452.59 \times 10^3 - 173.24 (T + 273) + R (T + 273) \ln [H_2O] \leq 0$$

で示される条件を満たし、

酸化珪素(SiO₂)と炭素(C)との反応で示される炭化珪素(SiC)の再結晶化反応式、

【化2】



におけるGibbsの自由エネルギーG₄が負になるような条件下で前記熱酸化を行うことを特徴とする請求項1乃至3のいずれか1つに記載の炭化珪素半導体装置の製造方法。

10

20

30

40

50

【請求項 6】

前記熱酸化工程では、前記熱酸化温度を 1200 以上とすることを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

【請求項 7】

前記酸化膜形成工程では、前記熱酸化工程後における前記酸化膜の膜厚の増加量を 6 nm 以下となるようにすることを特徴とする請求項 1 乃至 6 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

【請求項 8】

前記熱酸化工程の後に、前記基板の周囲に存在する酸化ガスの分圧が前記熱酸化工程時における酸化レートの $1/10$ となるように調整する分圧調整工程を行うことを特徴とする請求項 1 乃至 7 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。 10

【請求項 9】

前記分圧調整工程は、前記酸化装置内に存在する酸化ガスを不活性ガスで置換することにより、前記酸化ガスを減圧する工程であることを特徴とする請求項 8 に記載の炭化珪素半導体装置の製造方法。

【請求項 10】

前記分圧調整工程は、前記基板に対して前記不活性ガスを吹き付けることにより、該基板近傍における酸化ガスの分圧を調整するものであることを特徴とする請求項 8 に記載の炭化珪素半導体装置の製造方法。

【請求項 11】

前記熱酸化工程と前記分圧調整工程とを異なる装置内で行い、前記熱酸化工程を行う酸化装置から前記分圧調整工程を行う装置内へ前記基板を移動させることにより、前記基板の周囲における酸化ガスの分圧を調整することを特徴とする請求項 8 に記載の炭化珪素半導体装置の製造方法。 20

【請求項 12】

前記熱酸化工程では、前記熱酸化温度を 1250 以上かつ 1400 以下とすることを特徴とする請求項 1 乃至 11 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

【請求項 13】

前記酸化膜形成工程は、前記熱酸化工程後に 1000 以下の温度で第 1 のアニール処理を行う工程を有していることを特徴とする請求項 12 に記載の炭化珪素半導体装置の製造方法。 30

【請求項 14】

前記酸化膜形成工程は、前記第 1 のアニール処理後に、1250 以上の温度で第 2 のアニール処理を行う工程を有していることを特徴とする請求項 13 に記載の炭化珪素半導体装置の製造方法。

【請求項 15】

前記第 2 のアニール処理を 1300 以上の温度で行うことを特徴とする請求項 14 に記載の炭化珪素半導体装置の製造方法。

【請求項 16】

前記熱酸化工程の温度と前記第 2 のアニール処理の温度とを同一温度に設定することを特徴とする請求項 14 又は 15 に記載の炭化珪素半導体装置の製造方法。 40

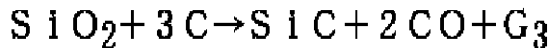
【請求項 17】

前記酸化膜形成工程は、熱酸化工程よりも後に、 H_2 を雰囲気ガスとして用いた H_2 アニール処理を行う工程を有していることを特徴とする請求項 12 乃至 16 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

【請求項 18】

前記酸化膜形成工程は、前記熱酸化工程後に高温下でアニール処理を施すアニール処理工程を有しており、
該アニール処理工程では、酸化珪素 (SiO_2) と炭素 (C) との反応で示される炭化珪素 (SiC) の再結晶化反応式、

【化3】



におけるGibbsの自由エネルギー G_3 が負になるような条件下で前記アニール処理を行うことを特徴とする請求項1乃至6のいずれか1つに記載の炭化珪素半導体装置の製造方法。

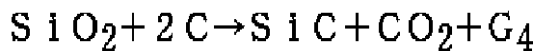
【請求項19】

前記アニール処理工程では、前記アニール処理温度を1000以上とすることを特徴とする請求項18に記載の炭化珪素半導体装置の製造方法。

【請求項20】

前記アニール処理工程では、酸化珪素 (SiO_2) と炭素 (C) との反応で示される炭化珪素 (SiC) の再結晶化反応式、

【化5】



におけるGibbsの自由エネルギー G_4 が負になるような条件下で前記アニール処理を行うことを特徴とする請求項18又は19に記載の炭化珪素半導体装置の製造方法。

【請求項21】

前記アニール処理工程では、前記アニール処理温度を1200以上とすることを特徴とする請求項18乃至20のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項22】

前記熱酸化工程と前記アニール処理工程との熱処理温度を同等にすることを特徴とする請求項18乃至21のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項23】

前記アニール処理工程は、不活性ガスを含む雰囲気とすることを特徴とする請求項18乃至22のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項24】

前記アニール処理工程は、水素ガスを含む雰囲気とすることを特徴とする請求項18乃至23のいずれか1つに記載の炭化珪素半導体装置の製造方法。

【請求項25】

第1導電型の半導体基板(101)の主表面上の所定領域に、所定深さを有する第2導電型のソース領域(103)及びドレイン領域(104)を形成する工程と、

前記ソース領域及び前記ドレイン領域の間において、前記ソース領域と前記ドレイン領域とを繋ぐように、炭化珪素よりなる第2導電型の表面チャネル層(102)を形成する工程と、

前記表面チャネル層上の所定領域にゲート酸化膜(105)を形成する工程と、

前記ゲート酸化膜の上にゲート電極(106)を形成する工程と、

前記ソース領域と接するようにソース電極を形成する工程と、

前記ドレイン領域と接するようにドレイン電極を形成する工程と、を有してなる炭化珪素半導体装置の製造方法において、

請求項1乃至24のいずれか1つに記載の酸化膜形成工程を用いて、前記ゲート酸化膜を形成することを特徴とする炭化珪素半導体装置の製造方法。

【請求項26】

主表面及び該主表面の反対面である裏面を有し、炭化珪素よりなる第1導電型の半導体基板(1、21)の前記主表面上に、前記半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2、22)を形成する工程と、

前記半導体層の表層部の所定領域に、所定深さを有する第2導電型のベース領域(3、23)を形成する工程と、

前記ベース領域の表層部の所定領域に、該ベース領域の深さよりも浅い第1導電型のソース領域(4、25)を形成する工程と、

前記ベース領域の表面部及び前記半導体層の表面部において、前記ソース領域と前記半導

体層とを繋ぐように、炭化珪素よりなる第1導電型の表面チャネル層(5、28)を形成する工程と、

前記表面チャネル層の表面にゲート酸化膜(7、29)を形成する工程と、

前記ゲート酸化膜の上にゲート電極(8、30)を形成する工程と、

前記ベース領域及び前記ソース領域に接触するようにソース電極(10、32)を形成する工程と、

前記半導体基板の裏面にドレイン電極(11、33)を形成する工程と、を有してなる炭化珪素半導体装置の製造方法において、

請求項1乃至24のいずれか1つに記載の酸化膜形成工程を用いて、前記ゲート酸化膜を形成することを特徴とする炭化珪素半導体装置の製造方法。

10

【請求項27】

炭化珪素よりなる半導体基板のセル領域に素子を形成し、前記セル領域を囲むようにガードリングを形成すると共に該ガードリングの上に酸化膜を形成してなる炭化珪素半導体装置の製造方法において、

請求項1乃至24のいずれか1つに記載の酸化膜形成工程を用いて、前記ガードリング上の酸化膜を形成することを特徴とする炭化珪素半導体装置の製造方法。

【請求項28】

炭化珪素よりなる半導体基板に複数の素子を形成すると共に、前記半導体基板の表面に形成された素子分離用酸化膜によって前記複数の素子のそれぞれを絶縁分離してなる炭化珪素半導体装置の製造方法において、

20

請求項1乃至24のいずれか1つに記載の酸化膜形成工程を用いて、前記素子分離用酸化膜を形成することを特徴とする炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、炭化珪素表面上に酸化膜を形成する炭化珪素半導体装置に関するもので、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用に用いられる縦型パワーMOSFETに用いて好適である。

【0002】

【従来の技術】

30

従来、炭化珪素を用いた絶縁ゲート型の電界効果トランジスタにおいて、オン抵抗を低減することが要望されている。

【0003】

例えば、このオン抵抗の低減を目的とした絶縁ゲート型の電界効果トランジスタが特開平10-308510号公報で提案されている。

【0004】

この従来公報に示される絶縁ゲート型の電界効果トランジスタは、ゲート酸化膜下に形成される半導体層を蓄積層とすることにより、チャネル形成層の導電性を反転させることなく、チャネルを誘起する蓄積モードで作動させるようにし、反転モードのMOSFETよりもチャネル移動度が高くなるようにしている。

40

【0005】

【発明が解決しようとする課題】

しかしながら、MOSFETのさらなるオン抵抗低減が望まれている。

【0006】

本発明は上記点に鑑みて、炭化珪素よりなる絶縁ゲート型の電界効果トランジスタにおいて、さらなるオン抵抗低減を図ることを目的とする。

【0007】

【課題を解決するための手段】

本発明者らは、オン抵抗低減を図るために、オン抵抗を決定する一要因となるチャネル移動度について以下の検討を行った。

50

【0008】

従来より、炭化珪素とゲート絶縁膜との界面状態がチャネル移動度に影響を及ぼすことが知られており、この界面状態を良好にすることで、チャネル移動度の向上を図ることが行われている。例えば、炭化珪素表面を再酸化することによって炭化珪素表面の状態を良好にし、その後、炭化珪素表面上にゲート酸化膜を形成することで、炭化珪素とゲート酸化膜との界面状態を良好にする技術がある。

【0009】

しかしながら、本発明者らが上記した再酸化技術を用いて試作、検討を行った結果、再酸化によって炭化珪素とゲート酸化膜との界面状態を改善しても十分なチャネル移動度が得られなかった。

10

【0010】

そこで、炭化珪素とゲート酸化膜との界面付近におけるD i t密度を調査したところ、この界面においてD i t密度が大きくなっていることが判った。

【0011】

これについてさらに検討を行ったところ、本発明者らは、この界面のD i t密度特性が炭素の sp_2 軌道のD i t密度特性に似ていることを見出した。このことから、炭化珪素とゲート酸化膜との界面に残留炭素が存在しており、この残留炭素が不純物散乱を生じさせ、チャネル移動度低下要因となっており、オン抵抗の増大を引き起こしているものと推測される。

【0012】

従来の再酸化技術を用いた場合においても、炭化珪素とゲート酸化膜との界面における残留炭素が再酸化前の5%程度に低減されるということが報告されている。しかしながら、この場合になお残っている残留炭素がチャネル移動度に影響を与えているのであると考えられる。このため、再酸化工程後の残留炭素の量を算出したところ、約 10^{23} cm^{-3} 程度になり、また、この場合のチャネル移動度を調査したところ、チャネル移動度が約10程度と低かった。つまり、再酸化によって残留炭素を低減する効果が多少得られているものの不純物散乱を抑制できる程度ではなく、十分なチャネル移動度が得られないのであると考えられる。

20

【0013】

そこで、本発明者らは、チャネル移動度低減を目的とし、残留炭素を低減することについて更なる検討を行った。

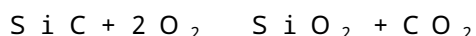
30

【0014】

例えばドライ雰囲気により炭化珪素表面にゲート酸化膜を形成するとき、炭化珪素と雰囲気中の酸素とは以下の酸化反応を示す。

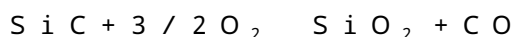
【0015】

【化6】



【0016】

【化7】



40

また、上記化学式において、酸化反応が完全に完了しない場合には、以下のように余剰炭素が生成される。

【0017】

【化8】



この化学式に示されるように、炭素が残留し、この残留炭素が上記したチャネル移動度低下の原因になっていると考えられる。従って、この残留炭素を低減することでチャネル移動度の向上が望めると言える。

【0018】

ここで、古典的な粒子状の炭化珪素作成方法として、 SiO_2 とグラファイトを混在させ

50

た状態で高温化（1800 以上）とする方法が存在する。このときの炭化珪素再結晶化反応は以下のように示される。

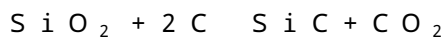
【0019】

【化9】



【0020】

【化10】



すなわち、これら各化学式9、10に示される化学反応が炭化珪素とゲート酸化膜の界面で行われるようにすれば、残留炭素をSiC（炭化珪素）と一酸化炭素（CO）若しくは二酸化炭素（CO₂）に変え、炭化珪素とゲート酸化膜との界面から除去することができると思われる。

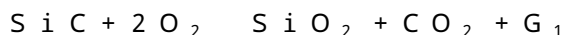
10

【0021】

また、Gibbsの自由エネルギーGを用いて上記した化学式6、7、9、10を表記すると、以下のように示される。

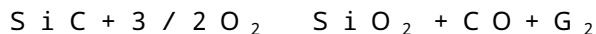
【0022】

【化11】



【0023】

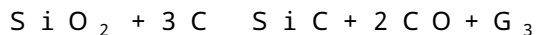
【化12】



20

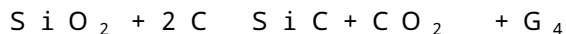
【0024】

【化13】



【0025】

【化14】



そして、これら各化学式11～14それぞれのGibbsの自由エネルギーGを計算すると、以下ようになる。

【0026】

【数5】

$$G^0_1 = -1232.6 \times 10^3 + 161.09(T + 273) \text{ (J/mol)}$$

30

【0027】

【数6】

$$G^0_2 = -949.67 \times 10^3 + 72.02(T + 273) \text{ (J/mol)}$$

【0028】

【数7】

$$G^0_3 = 624.96 \times 10^3 - 354.23(T + 273) \text{ (J/mol)}$$

【0029】

【数8】

$$G^0_4 = 452.59 \times 10^3 - 173.24(T + 273) \text{ (J/mol)}$$

40

但し、Tは温度（ ）であり、G⁰₁、G⁰₂、G⁰₃、G⁰₄ はそれぞれの標準状態におけるGibbsの自由エネルギーを示している。なお、ここでいう標準状態とは、気体に対しては298.15Kかつ101325Paのもとでの仮想的な理想気体の状態、固体に対しては298.15Kかつ101325Paのもとでの純粋な状態をいう。

【0030】

この式により求めた各Gibbsの自由エネルギーの温度特性を図表に示すと図16、図17の実線のように表わされる。なお、図16は、化学式12と化学式13におけるGibbsの自由エネルギーの温度特性を示した図であり、図17は、化学式11と化学式14におけるGibbsの自由エネルギーの温度特性を示した図である。これらの図におい

50

て、G i b b s の自由エネルギーが負の範囲（図中零の線より下方）に入ると、その反応が自発的に発生することを示しており、この自発的な反応は、G i b b s の自由エネルギーが小さくなればなるほど活発になる。

【0031】

ところで、通常、ゲート酸化膜形成は、1080 程度で行われるが、この温度においては、上記した化学式11、12の反応のみが自発的に行われる。このとき、上述した化学式8のように酸化が完全に行われない場合も発生し、残留炭素が発生する。

【0032】

これに対し、図16、図17に示されるように、化学式13、14で表わされる炭化珪素 10
 際結晶化反応（ SiO_2 と炭素（C）との反応）は、通常のゲート酸化膜形成温度よりも
 高温（例えば、化学式13の反応の場合には約1500 以上）になると自発的に行われ
 るようになる。

【0033】

つまり、化学式13、14の反応を起こさせ、残留炭素をSiCとCO若しくは CO_2 に
 変化させることにより、COや CO_2 は外部に放出され、SiCはあたかもゲート絶縁膜
 下にもともと存在している炭化珪素のように残るため、炭化珪素とゲート酸化膜との界面
 の残留炭素を十分に低減することが可能になるのである。

【0034】

なお、ここではドライ酸化によってゲート酸化膜を形成する場合について、ドライ酸化時
 に生じ得る反応（図16、図17に示す反応）を例に挙げたが、ウェット酸化であっても 20
 同様のことがいえる。

【0035】

ウェット酸化の場合には以下の酸化反応を生じる。

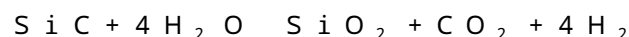
【0036】

【化15】



【0037】

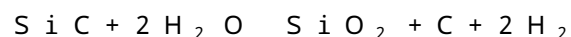
【化16】



また、酸化反応が完全に完了しない場合には、以下の反応のように余剰炭素が生じる。 30

【0038】

【化17】



また、ウェット酸化時における炭化珪素再結晶化反応は上記した化学式9、10に示され
 る反応と同様である。

【0039】

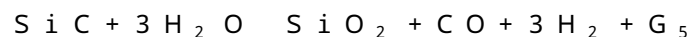
このため、ドライ酸化時と同様に、ウェット酸化時においても各化学式9、10に示され
 る化学反応が炭化珪素とゲート酸化膜の界面で行われるようにすれば、ドライ酸化時と同
 様に残留炭素を炭化珪素とゲート酸化膜との界面から除去することができると考えられる 40
 。

【0040】

また、G i b b s の自由エネルギーGを用いて上記した化学式を表記すると、以下のよう
 に示される。

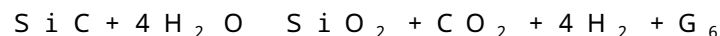
【0041】

【化18】



【0042】

【化19】



なお、化学式9、10に示される反応をG i b b s の自由エネルギーGを用いて表記した 50

場合は、上記した化学式 13、14 と同様である。この自由エネルギーの温度特性を図表に示すと、図 18、図 19 のように示される。なお、図 18 は、化学式 18 と化学式 13 における Gibbs の自由エネルギーの温度特性を示した図であり、図 19 は、化学式 19 と化学式 14 における Gibbs の自由エネルギーの温度特性を示した図である。この図からも、ウェット酸化の場合にもドライ酸化と同様のことが言えるとわかる。

【0043】

従って、ウェット酸化の場合においても化学式 13、14 に示される反応が自発的に起きるようにすれば、ドライ酸化のときと同様の効果が得られる。

【0044】

なお、ここまでの説明ではゲート酸化膜と炭化珪素との界面における残留炭素の低減について説明してきたが、ゲート酸化膜以外の酸化膜と炭化珪素との界面においても同様のことが言える。すなわち、LOCOS 酸化膜や STI (Shallow trench isolation) 酸化膜等の素子分離用の酸化膜、セル領域の外周に配置されるガードリング等の上に形成される酸化膜等においては、酸化膜と炭化珪素との界面状態によって耐圧に影響を与えるため、これらの界面状態を良好にすることにより耐圧を向上させられる。

【0045】

そこで、請求項 1 に記載の発明においては、炭化珪素からなる半導体層 (5) が備えられた基板を用意して、半導体層の表面に酸化膜 (7) を形成する酸化膜形成工程を有し、該酸化膜形成工程が、熱酸化により該酸化膜を形成する工程を有してなる炭化珪素半導体装置の製造方法において、酸化膜形成工程における熱酸化工程は、酸化珪素 (SiO₂) と炭素 (C) との反応で示される炭化珪素 (SiC) の再結晶化反応式となる化学式 1 における Gibbs の自由エネルギー G₃ が負になるような条件下で熱酸化を行うことを特徴としている。

【0046】

これにより、残留炭素を炭化珪素 (SiC) と一酸化炭素 (CO) に変化させ、炭化珪素はあたかも酸化膜下にもともと存在している炭化珪素のように残り、一酸化炭素は外部に放出されるため、残留炭素を低減することができる。

【0047】

一方、請求項 4、5 に記載の発明においては、熱酸化工程では、酸化珪素 (SiO₂) と炭素 (C) との反応で示される炭化珪素 (SiC) の再結晶化反応式となる化学式 2 における Gibbs の自由エネルギー G₄ が負になるような条件下で前記熱酸化を行うことを特徴としている。

【0048】

これにより、残留炭素を炭化珪素 (SiC) と二酸化炭素 (CO₂) に変化させ、炭化珪素はあたかも酸化膜下にもともと存在している炭化珪素のように残り、二酸化炭素は外部に放出されるため、残留炭素を低減することができる。

【0049】

ところで、上記化学式 13、14 の反応が自発的に起こるようになるためには、通常のゲート酸化膜形成工程の温度よりも高温にしなければならない。これに対し、ゲート酸化膜が安定して存在できる温度 (溶融等しない温度) は、化学式 13、14 が十分に活発的に反応しうる温度よりも低温 (約 1700) であるためゲート酸化膜の歩留まり等の観点から、あまり高温にするのは好ましくないと言える。そこで、本発明者らはさらなる検討を行った。

【0050】

上記各化学式 11 ~ 14 における Gibbs の自由エネルギーは、標準状態に対する酸素 mol 比率を [O₂] とすれば、上記数 5 ~ 8 より、それぞれ以下のように示される。

【0051】

【数 9】

$$G_1 = G^0_1 + R(T + 273) \ln [O_2]$$

10

20

30

40

50

【 0 0 5 2 】

【 数 1 0 】

$$G_2 = G^0_2 - 1 / 2 R (R + 2 7 3) \ln [O_2]$$

【 0 0 5 3 】

【 数 1 1 】

$$G_3 = G^0_3 + 2 R (T + 2 7 3) \ln [O_2]$$

【 0 0 5 4 】

【 数 1 2 】

$$G_4 = G^0_4 + R (T + 2 7 3) \ln [O_2]$$

ただし、数 1 1 の導出は、以下のように行った。二酸化珪素 (SiO_2) と炭素 (C) の反応である化学式 1 4 は、標準状態に対する二酸化炭素 (CO_2) の mol 比率に依存している。一方、反応系全体を示す二酸化炭素 (CO_2) の大半は、炭化珪素 (SiC) の酸化反応 (化学式 1 1) から生成される。この酸化反応における二酸化炭素 (CO_2) mol 比率 [CO_2] は、酸素 (O_2) mol 比率 [O_2] と化学式 1 4 により関係付けられている。また、反応部位近傍では化学式 1 4 が平衡状態にあると考えられるから、二酸化炭素 (CO_2) mol 比率 [CO_2] は酸素 (O_2) mol 比率 [O_2] に一致する。以上の考察から [CO_2] = [O_2] を代入して計算している。また、数 1 2 の導出についても同様に行っている。

10

【 0 0 5 5 】

これら数 9 ~ 1 2 にかから判るように、各 $Gibbs$ の自由エネルギーは、酸素 mol 比率を小さくすることにより変化する。具体的には、酸化反応の $Gibbs$ の自由エネルギーは酸素 mol 比率を小さくすることにより正方向にシフトし、炭化珪素再結晶化反応の $Gibbs$ の自由エネルギーは酸素 mol 比率を小さくすることにより負方向にシフトする。酸素 mol 比率 [O_2] を小さくした場合における $Gibbs$ の自由エネルギーの変化を図 1 6 及び図 1 7 中に点線及び二点鎖線で示す。なお、ここでは、[O_2] = 10^{-1} と [O_2] = 10^{-3} とした場合を示してある。

20

【 0 0 5 6 】

これらの図から判るように、炭化珪素再結晶化反応のうち化学式 9 で示されるものは約 1 0 0 0 以上、化学式 1 0 で示されるものは約 1 2 0 0 以上で $Gibbs$ の自由エネルギーが負に転じ、自発的に反応が起こるようになる。

30

【 0 0 5 7 】

具体的に、化学式 9 及び化学式 1 0 に示す各反応が自発的に起こるようになる条件、つまり $Gibbs$ の自由エネルギーが負になる条件を、数 1 1、数 1 2 から求めると以下の式で表される。

【 0 0 5 8 】

【 数 1 3 】

$$6 2 4 . 9 6 \times 1 0^3 - 3 5 4 . 2 3 (T + 2 7 3) + 2 R (T + 2 7 3) \ln [O_2]$$

【 0 0 5 9 】

【 数 1 4 】

$$4 5 2 . 5 9 \times 1 0^3 - 1 7 3 . 2 4 (T + 2 7 3) + R (T + 2 7 3) \ln [O_2]$$

40

これら数 1 3、数 1 4 を満たすように酸素 mol 比率を調整することによって、 $Gibbs$ の自由エネルギーを負にすることが可能になる。そして、これら数 1 3、数 1 4 より酸素 mol 比率と熱処理時の温度とが相関関係にあることが判るため、酸素 mol 比率を調節することによってゲート酸化膜が安定に存在しうる温度以下で $Gibbs$ の自由エネルギーを負にすることが可能となる。

【 0 0 6 0 】

また、ウェット酸化の場合に上記化学式 9、1 0 の反応が自発的に起こるようになるときもドライ酸化の場合と同様のことが言える。このウェット酸化の場合の $Gibbs$ の自由

50

エネルギーが負になる条件は、数 13、14 と同様の方法によって求めることができ、以下の式で表わされる。

【0061】

【数15】

$$624 \cdot 96 \times 10^3 - 354 \cdot 23 (T + 273) + 2R (T + 273) \ln [H_2O] = 0$$

【0062】

【数16】

$$452 \cdot 59 \times 10^3 - 173 \cdot 24 (T + 273) + R (T + 273) \ln [H_2O] = 0$$

従って、請求項 1 に示すように、酸素 mol 比率 [O₂] が、数 1 で示される条件を満たすように熱酸化条件を設定すれば、ドライ酸化時に化学式 1 の反応が自発的に起こることができる。また、請求項 2 に示すように、水蒸気 mol 比率 [H₂O] が、数 2 で示される条件を満たすように熱酸化条件を設定すれば、ウェット酸化時に化学式 1 の反応が自発的に起こることができる。

【0063】

また、請求項 4 に示すように、酸素 mol 比率 [O₂] が、数 3 で示される条件を満たすように熱酸化条件を設定すれば、ドライ酸化時に化学式 2 の反応が自発的に起こることができる。また、請求項 5 に示すように、水蒸気 mol 比率 [H₂O] が、数 4 で示される条件を満たすように熱酸化条件を設定すれば、ウェット酸化時に化学式 2 の反応が自発的に起こることができる。

【0064】

そして、請求項 6 に示すように、熱処理温度を 1200 以上とすれば、化学式 1 及び化学式 2 の反応がともに自発的に起こることができる。

【0065】

一方、熱酸化工程後に装置内を低温化させる際等において、酸化膜が形成され、その酸化膜と半導体層との界面に残留炭素が発生することも考えられる。このため、請求項 7 に記載の発明においては、酸化膜形成工程では、熱酸化工程後における酸化膜の膜厚の増加量を 6 nm 以下となるようにすることを特徴としている。

【0066】

このように、熱酸化工程後における酸化膜厚の増加をできる限り少なくとどめることで、界面準位密度の増加を防ぐことができ、良質な酸化膜と炭化珪素の界面を得ることができる。

【0071】

請求項 8 に記載の発明においては、熱酸化工程の後に、基板の周囲に存在する酸化ガスの分圧が熱酸化工程時における酸化レートの 1/10 となるように調整する分圧調整工程を行うことを特徴としている。このように、酸化ガスの分圧を調整することによっても、熱酸化工程時と比べて酸化レートを低下させることができ、酸化膜厚の増加を少なくすることができる。これにより、界面準位密度の増加を防ぐことができ、良質な酸化膜と炭化珪素の界面を得ることができる。

【0072】

例えば、請求項 9 に示すように、分圧調整工程は、酸化装置内に存在する酸化ガスを不活性ガスで置換し、酸化ガスの減圧することによって行う。また、請求項 10 に示すように、分圧調整工程は、基板に対して不活性ガスを吹き付けることにより、基板の周囲における酸化ガスの分圧を調整することで行うこともできる。さらに、請求項 11 に示すように、熱酸化工程と分圧調整工程とを異なる装置内で行い、熱酸化工程を行う酸化装置から分圧調整工程を行う装置内へ基板を移動させることにより行うことも可能である。

【0073】

請求項 12 に記載の発明においては、熱酸化工程では、熱酸化温度を 1250 以上かつ 1400 以下とすることを特徴としている。

10

20

30

40

50

【0077】

請求項13に記載の発明においては、酸化膜形成工程は、熱酸化工程後に1000以下の温度で第1のアニール処理を行う工程を有していることを特徴としている。このような第1のアニール処理を行うことで、valenceband側の界面準位をさらに低減させることができるため、炭化珪素界面の総トラップ電荷量を減少させることができ、より装置の信頼性を向上させることもできる。

【0078】

請求項14に記載の発明においては、酸化膜形成工程は、第1のアニール処理後に、1250以上の温度で第2のアニール処理を行う工程を有していることを特徴としている。

【0079】

このような第2のアニール処理を行っても、残留炭素を低減することができると共に、OH基の電子トラップを減らすことができる。これにより、さらにチャネル移動度を向上させることができ、オン抵抗のさらなる低減を図ることができる。好ましくは、請求項15に示すように、第2のアニール処理を1300以上の温度で行えば、より効率よく残留炭素を低減することができる。

【0080】

また、請求項16に示すように、熱酸化工程の温度と第2のアニール処理の温度とを同一温度に設定すれば、製造工程の簡略化を図ることも可能である。

【0081】

請求項17に記載の発明においては、酸化膜形成工程は、熱酸化工程よりも後に、 H_2 を雰囲気ガスとして用いた H_2 アニール処理を行う工程を有していることを特徴としている。

【0082】

このような H_2 アニール処理を行うことで、炭化珪素界面に形成されたSiのダングリングボンドを水素終端することができ、界面準位密度をさらに低減できると共に、高温酸化や高温アニールによるH原子抜けを防止することができる。

【0083】

さらに、上述したように、熱酸化時において化学式9及び化学式10に示す炭化珪素再結晶化反応が自発的に起こるようにGibbsの自由エネルギーが負になるようにしたが、酸化膜形成後のアニール処理時においても同様に炭化珪素再結晶化反応を起こさせることができる。

【0084】

そこで、請求項18に記載の発明においては、アニール処理工程では、酸化珪素(SiO_2)と炭素(C)との反応で示される炭化珪素(SiC)の再結晶化反応式として化学式3(化学式4)におけるGibbsの自由エネルギー G_3 が負になるような条件下で前記アニール処理を行うことを特徴としており、アニール処理時において請求項1と同様の効果を得ることができる。

【0085】

請求項22に記載の発明においては、熱酸化工程とアニール処理工程との熱処理温度を同等にすることを特徴としている。

【0086】

このように、熱酸化工程とアニール処理工程の熱処理温度を同等にすれば、これらの工程の移行に際し、装置内温度の昇降の必要性を無くすることができるため、製造工程の簡略化を図ることができる。

【0087】

なお、アニール処理時の雰囲気は、請求項23に示すように、不活性ガスを含む雰囲気、請求項24に示すように、水素ガスを含む雰囲気等とすることができる。不活性ガス雰囲気としては、アルゴン、窒素、ヘリウムなどが適用できる。また、不活性ガスと水素ガスを混合した混合雰囲気としてもよい。また、必要に応じて酸素(O_2)や水蒸気(H_2O)を混入したり、シラン(SiH_4)を混入してもよい。

10

20

30

40

50

【0096】

なお、このような酸化膜と炭化珪素との間における残留炭素の低減方法を用いた炭化珪素の製造方法は、請求項25に示すようなラテラルMOSFETを構成する炭化珪素半導体装置、もしくは、請求項26に示すように、蓄積型の縦型パワーMOSFETを構成する炭化珪素半導体装置の製造方法に適用すると好適である。

【0097】

また、請求項27に示すように、ガードリングの上に酸化膜を形成してなる炭化珪素半導体装置、請求項28に示すように、複数の素子のそれぞれを絶縁分離する素子分離酸化膜を有してなる炭化珪素半導体装置の製造方法に適用すると好適である。

10

【0098】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0099】

【発明の実施の形態】

(第1実施形態)

図1に、本発明の一実施形態を適用して形成したnチャネルタイプのプレーナ型MOSFET(以下、縦型パワーMOSFETという)の断面構成を示す。以下、図1に基づいて、縦型パワーMOSFETの構成について説明する。

【0100】

炭化珪素からなる n^+ 型基板1は上面を主表面1aとし、主表面1aの反対面である下面を裏面1bとしている。この n^+ 型基板1の主表面1a上には、基板1よりも低いドーパント濃度を有する炭化珪素からなる n^- 型エピタキシャル層(以下、 n^- 型エピ層という)2が積層されている。

20

【0101】

このとき、 n^+ 型基板1の主表面1a及び n^- 型エピ層2の上面が(0001)Si面もしくは(11-20)a面としている。これは、(0001)Si面とすることにより低い表面状態密度が得られ、(11-20)a面とすることにより低い表面状態密度でかつ完全に螺旋転位の無い結晶が得られるからである。

【0102】

n^- 型エピ層2の表層部における所定領域には、所定深さを有するp型ベース領域3が形成されている。このp型ベース領域3はBをドーパントとして形成されており、略 $1 \times 10^{17} \text{ cm}^{-3}$ 以上の濃度となっている。また、p型ベース領域3の表層部の所定領域には、該ベース領域3よりも浅い n^+ 型ソース領域4が形成されている。

30

【0103】

さらに、 n^+ 型ソース領域4と n^- 型エピ層2とを繋ぐように、p型ベース領域3の表面部には n^- 型SiC層5が延設されている。この n^- 型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものを用いている。尚、この n^- 型SiC層5はデバイスの動作時にチャンネル形成層として機能する。以下、 n^- 型SiC層5を表面チャンネル層という。

40

【0104】

表面チャンネル層5はN(窒素)をドーパントに用いて形成されており、そのドーパント濃度は、例えば $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度で、かつ、 n^- 型エピ層2及びp型ベース領域3のドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。

【0105】

そして、p型ベース領域3の間に位置する n^- 型エピ層2がいわゆるJ-FET部6を構成している。

【0106】

表面チャンネル層5の上面および n^+ 型ソース領域4の上面には熱酸化にてゲート酸化膜

50

7が形成されている。

【0107】

さらに、ゲート酸化膜7の上にはポリシリコンゲート電極8が形成されている。ポリシリコンゲート電極8は絶縁膜9にて覆われている。絶縁膜9としてLTO(Low Temperature Oxide)膜が用いられている。この絶縁膜9の上にはソース電極10が形成され、ソース電極10は n^+ 型ソース領域4およびp型ベース領域3と接している。また、 n^+ 型基板1の裏面1bには、ドレイン電極層11が形成されている。

【0108】

このように構成されたプレーナ型MOSFETは、チャネル形成層の導電性を反転させることなくチャネルを誘起する蓄積モードで動作するため、導電性を反転させる反転モードのMOSFETに比べチャネル移動度を大きくすることができ、オン抵抗を低減させることができる。

10

【0109】

そして、本実施形態における縦型パワーMOSFETでは、後述する方法により、表面チャネル層5とゲート酸化膜7の界面における残留炭素が低減されている。このため、さらにチャネル移動度が高めることができ、さらにオン抵抗を低減することができる。

【0110】

以下、本実施形態における縦型パワーMOSFETの製造方法について説明する。図2～図4に、本実施形態の縦型パワーMOSFETの製造工程を示し、これらの図に基づいて説明する。

20

【0111】

〔図2(a)に示す工程〕

まず、 n 型4H、6H、3C又は15R-SiC基板、すなわち n^+ 型基板1を用意する。ここで、 n^+ 型基板1はその厚さが400 μm であり、主表面1aが(0001)Si面、又は、(112-0)a面である。この基板1の主表面1aに厚さ5 μm の n^- 型エピ層2をエピタキシャル成長する。本例では、 n^- 型エピ層2は下地の基板1と同様の結晶が得られ、 n 型4H、6H、3C又は15R-SiC層となる。

【0112】

〔図2(b)に示す工程〕

n^- 型エピ層2の上の所定領域にLTO膜20を配置し、これをマスクとして B^+ (若しくはアルミニウム)をイオン注入して、p型ベース領域3を形成する。このときのイオン注入条件は、温度が700で、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ としている。

30

【0113】

〔図2(c)に示す工程〕

LTO膜20を除去した後、 n^- 型エピ層2の表面部及びp型ベース領域3の表面部に表面チャネル層5を化学気相成長法(CVD法)によりエピタキシャル成長させる。

【0114】

また、このとき、縦型パワーMOSFETをノーマリオフ型にするために、表面チャネル層5の厚み(膜厚)は以下の数式に基づいて決定している。縦型パワーMOSFETをノーマリオフ型とするためには、ゲート電圧を印加していない状態の際に、表面チャネル層5に広がる空乏層が電気伝導を妨げるように十分なバリア高さを有している必要がある。この条件は次式にて示される。

40

【0115】

【数17】

$$T_{epi} = \sqrt{\frac{2\epsilon_s}{q} \cdot \frac{N_D + N_A}{N_D N_A} \cdot V_{built}} + \sqrt{\frac{2\epsilon_s}{q} \cdot \frac{1}{N_D} \left(\phi_{ms} - \frac{Q_s + Q_{fc} + Q_i + Q_{ss}}{C_{ox}} \right)}$$

【0116】

但し、 T_{epi} は表面チャネル層5に広がる空乏層の高さ、 m_s は金属と半導体の仕事関数差（電子のエネルギー差）、 Q_s はゲート酸化膜7中の空間電荷、 Q_{fc} はゲート酸化膜（ SiO_2 ）と表面チャネル層5との間の界面の固定電荷、 Q_i は酸化膜中の可動イオン、 Q_{ss} はゲート酸化膜7と表面チャネル層5の界面の表面電荷、 C_{ox} はゲート絶縁膜7の容量である。

10

【0117】

この数1に示される右辺第1項は表面チャネル層5とp型ベース領域3とのPN接合のビルトイン電圧 V_{built} による空乏層の伸び量、すなわちp型ベース領域3から表面チャネル層5に広がる空乏層の伸び量であり、第2項はゲート絶縁膜7の電荷と m_s による空乏層の伸び量、すなわちゲート絶縁膜7から表面チャネル層5に広がる空乏層の伸び量である。従って、p型ベース領域3から広がる空乏層の伸び量と、ゲート絶縁膜7から広がる空乏層の伸び量との和が表面チャネル層5の厚み以上となるようにすれば縦型

20

【0118】

このようなノーマリオフ型の縦型パワーMOSFETは、故障などによってゲート電極に電圧が印加できないような状態となっても、電流が流れないようにすることができるため、ノーマリオン型のものとは比べて安全性を確保することができる。

【0119】

〔図3(a)に示す工程〕

表面チャネル層5の上の所定領域にLTO膜21を配置し、これをマスクとしてN（窒素）等のn型不純物をイオン注入し、 n^+ 型ソース領域4を形成する。このときのイオン注

30

【0120】

〔図3(b)に示す工程〕

LTO膜21を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてRIEによりp型ベース領域3上の表面チャネル層5を部分的にエッチング除去する。

【0121】

〔図3(c)に示す工程〕

そして、LTO膜22をマスクにして B^+ をイオン注入し、ディープベース層30を形成する。これにより、p型ベース領域3の一部が厚くなったものとなる。このディープベース層30は、 n^+ 型ソース領域4に重ならない部分に形成されると共に、p型ベース領域3のうちディープベース層30が形成された厚みが厚くなった部分が、ディープベース層30が形成されていない厚みの薄い部分よりも不純物濃度が濃く形成される。

40

【0122】

〔図4(a)に示す工程〕

さらに、LTO膜22を除去した後、基板の上に酸素雰囲気としたドライ酸化による熱処理によってゲート酸化膜7を形成する。このとき、酸化装置内の酸素 mol 比率 $[O_2]$ が 10^{-3} となるようにし、雰囲気温度は1250として

【0123】

このような雰囲気でゲート酸化膜7を形成すれば、上記した図16、図17で示したよう

50

に、化学式 9 及び化学式 10 で示される炭化珪素再結晶化反応が両方とも起こるようにすることができる。このため、ゲート酸化膜 7 の形成中に、ゲート酸化膜 7 と表面チャネル層 5 との界面等に発生する残留炭素を低減することができる。これにより、チャネル移動度を向上させることができ、オン抵抗のさらなる低減を図ることができる。

【0124】

また、このあと、必要に応じてアニール処理を行う。このアニール処理では、上記化学式 9 及び化学式 10 で示す炭化珪素再結晶化反応を起こさせ、ゲート酸化膜 7 と表面チャネル層 5 との界面等の残留炭素をさらに低減する。

【0125】

このアニール処理においては、不活性ガス雰囲気とし、上記熱酸化と同等以上の雰囲気温度とする処理を行う。不活性ガスとしては、窒素、ヘリウム、アルゴン等を用いることができる。また、不活性ガスに変えて水素を用いたり、不活性ガスに水素を加えた混合ガスを用いたりすることも可能である。また、必要に応じて酸素や水蒸気を混入したり、シラン (SiH_4) を混入したりしてもよい。

【0126】

このようなアニール処理を行うことにより、化学式 9 及び化学式 10 に示した炭化珪素再結晶化反応を起こさせ、残留炭素を低減することが可能になる。これにより、さらに残留炭素を低減することができ、さらにチャネル移動度を向上させ、オン抵抗低減を図ることができる。

【0127】

その後、ゲート酸化膜 7 の上に LPCVD によりポリシリコン層を成膜する。このときの成膜温度は 600 としている。この後、ポリシリコン層をパターニングしてゲート電極 8 を形成する。

【0128】

〔図 4 (b) に示す工程〕

引き続き、ゲート酸化膜 7 の不要部分を除去した後、LTO よりなる絶縁膜 9 を形成してゲート電極 8 及びゲート酸化膜 7 を覆う。より詳しくは、成膜温度は 425 であり、成膜後に 1000 のアニールを行う。

【0129】

〔図 4 (c) に示す工程〕

そして、室温での金属スパッタリングによりソース電極 10 及びドレイン電極 11 を配置する。また、成膜後に 1000 のアニールを行う。

【0130】

このようにして、図 1 に示す MOSFET が完成する。

【0131】

(第 2 実施形態)

熱酸化処理もしくはアニール処理後に、酸化装置内を低温化させると、酸化装置内の温度が上記化学式 9 及び化学式 10 に示す炭化珪素再結晶化反応が自発的に起こらない範囲となり、ゲート酸化膜 7 と表面チャネル層 5 との界面などに発生する残留炭素が増大してしまう場合が想定される。

【0132】

そこで、実際に炭化珪素を 1250 で熱酸化した後に、酸化装置内に酸化ガスが残留した状態で酸化装置の温度を低下させながら酸化膜厚の増加量と界面準位密度との関係を調べた。その結果を図 5 に示す。なお、図 5 (a) は結果をリニアプロットで示したものであり、図 5 (b) は結果を log プロットで示したものである。この図に示されるように、酸化装置内を低温化させる際に酸化膜厚が増加し、その増加量に応じて界面準位密度が増加することが分かる。これは、最終的な炭化珪素と酸化膜との界面が、上記化学式 9 及び化学式 10 に示す炭化珪素再結晶化反応が自発的に起こらない範囲で形成されてしまい、この界面に残留炭素が多く生成されるからである。

【0133】

10

20

30

40

50

従って、本実施形態では、熱酸化処理もしくはアニール処理後における酸化装置内の低温化の際に、ゲート酸化膜7と表面チャネル層5との界面などに発生する残留炭素が増大してしまうことを防止する。

【0134】

以下、本実施形態における炭化珪素半導体装置の製造方法について説明するが、熱酸化処理もしくはアニール処理までの工程に関しては第1実施形態と同様であるため、ここでは省略する。

【0135】

まず、第1実施形態の図2(a)に示す工程から図4(a)に示す工程を行い、ゲート酸化膜7を形成する熱酸化処理、もしくは必要に応じて行うアニール処理まで実施する。

10

【0136】

その後、酸化停止工程として酸化装置内、少なくとも n^+ 型基板1を急冷する冷却工程を行う。例えば、酸化装置として急加熱・急冷が容易に行えるランプ加熱装置を用いたり、酸化装置内に備えられた酸化炉心管を空冷もしくは水冷によって冷却したり、若しくは n^+ 型基板1に不活性ガスやフッ素ガス等の冷却ガスを吹き付けることによって、上記急冷を行う。

【0137】

具体的には、図5に表されるように、酸化膜厚が6nmになると界面準位密度の増加の傾斜が非常に大きくなり、指数的に界面準位密度が増加することことから、低温化時に形成される酸化膜厚が6nm以下となるように急冷を行う。仮に、上記熱酸化処理もしくはアニール処理を1200以上で行っていたとすると、例えば10min以内に酸化装置内の温度が900以下となるようにする。

20

【0138】

このような急冷を行うことで、短時間で酸化を停止させることができるため、酸化装置の低温化時に形成される酸化膜厚をできる限り薄くすることができると共に、ゲート酸化膜7と表面チャネル層5との界面に発生する残留炭素の量を最小限に抑えることができる。

【0139】

このように、熱酸化処理、もしくはアニール処理の後に、酸化装置内を急冷することにより、ゲート酸化膜7と表面チャネル層5との界面に発生する残留炭素の量を最小限に抑えることができ、チャネル移動度の向上を図ることができると共に、さらなるオン抵抗の低減を図ることができる。

30

【0140】

なお、本実施形態のように冷却工程は、熱酸化処理やアニール処理が行われる酸化装置内で行っても良いが、これら各処理を異なる装置内で行い、直接、 n^+ 型基板1を熱酸化処理やアニール処理が行われた酸化装置よりも低温に設定された場所に移動させるようにすれば、容易に急冷を行うことができる。

【0141】

また、 n^+ 型基板1に対して、冷却ガス(例えば、 N_2 、Ar、He等の不活性ガス)を吹き付けることによって行うこともできる。

【0142】

(第3実施形態)

本実施形態では、第2実施形態とは異なる方法で、熱酸化処理もしくはアニール処理後に、ゲート酸化膜7と表面チャネル層5との界面などに発生する残留炭素が増大してしまうことを防止する。

40

【0143】

以下、本実施形態における炭化珪素半導体装置の製造方法について説明するが、熱酸化処理もしくはアニール処理までの工程に関しては第1実施形態と同様であるため、ここでは省略する。

【0144】

まず、第1実施形態の図2(a)に示す工程から図4(a)に示す工程を行い、ゲート酸

50

化膜 7 を形成する熱酸化処理、もしくは必要に応じて行うアニール処理まで実施する。

【 0 1 4 5 】

その後、酸化停止工程として、温度は 1 2 0 0 以上に保ったまま、酸化装置内の酸化ガス分圧（内圧）を調整する内圧調整工程を行い、熱酸化処理時よりも低く設定する。この酸化装置内の酸化ガス分圧は、以下のように設定している。

【 0 1 4 6 】

図 6 (a)、図 6 (b) に、ドライ酸化時における酸化ガス分圧（ O_2 分圧）と酸化レートと酸化温度との関係と、ウェット酸化時における酸化ガス分圧（ H_2O 分圧）と酸化レートと酸化温度との関係を調べた結果を示す。

【 0 1 4 7 】

これらの図において、 O_2 分圧もしくは H_2O 分圧が $10^4 Pa \sim 0.105 MPa$ であるときが常圧、つまり熱酸化処理もしくはアニール処理時における酸化装置内の圧力である。これらの図から分かるように、例えば 1 2 0 0 以上においては、 O_2 分圧もしくは H_2O 分圧が常圧の $1/100$ 程度になると、酸化レートが $1/10$ 程度まで下がること分かる。つまり、 O_2 分圧もしくは H_2O 分圧を低下させることにより、あまり酸化膜が形成されないようにできる。

【 0 1 4 8 】

そして、このように酸化ガス分圧を低下させることにより、第 2 実施形態の図 5 で示したように酸化膜厚が 6 nm 以下となるようにすれば、熱酸化処理もしくはアニール処理後に形成される酸化膜の厚みを薄くすることができると共に、ゲート酸化膜 7 と表面チャネル層 5 との界面に発生する残留炭素の量を最小限に抑えることができる。

【 0 1 4 9 】

図 7 (a) に、酸化ガス分圧の減圧時間に対する酸化装置内の酸化ガス分圧比の関係を示す。この図は、図 7 (b) に示すように、酸化装置の容量を $V [l]$ と想定し、酸化ガスではない注入ガス（例えば窒素、アルゴン、ヘリウム等の 100% 不活性ガス）を $t [min]$ の間に $a [l/min]$ 導入した後、瞬間的に酸化装置内の酸化ガスの濃度が均等になり、その濃度が関数 $f(t + t)$ で表され、酸化装置から排出される酸化ガスの濃度が $f(t + t) \cdot a \cdot t$ で表されるとすると、次式が導き出される。

【 0 1 5 0 】

【 数 1 8 】

$$f(t + \Delta t) = \frac{f(t)V - f(t + \Delta t) \cdot a \cdot t}{V}$$

【 0 1 5 1 】

また、この数 1 8 を関数 $f(t + t)$ についてまとめると、次式となる。

【 0 1 5 2 】

【 数 1 9 】

$$f(t + \Delta t) = \frac{f(t)V}{V \left(1 + \frac{a \cdot \Delta t}{V} \right)}$$

【 0 1 5 3 】

そして、この数 1 9 で示される微分方程式を解くと、図 7 (a) の結果が得られる。なお、この図 7 (a) では、注入ガスの流量を $V/3 [l/min]$ 、 $V/10 [l/min]$ とした場合について図示してある。

【 0 1 5 4 】

この図から分かるように、酸化ガス分圧を $1/100$ 程度に低下させるのに、注入ガスの流量が $V/10$ であれば 4 5 分程度、 $V/3$ であれば 1 5 分程度かかる。これらの時間中

10

20

30

40

50

に形成される酸化膜の厚みは、酸化装置内の温度が1200以上に保たれているとすると、図6(a)、図6(b)からほぼ6nm以下となることが分かる。

【0155】

このように、酸化装置内の温度と酸化レートを考慮しつつ酸化装置内への注入ガスの流量を設定することで、熱酸化処理もしくはアニール処理後に形成される酸化膜の厚みを6nm以下とすることができる。これにより、第2実施形態と同様の効果を得ることができる。

【0156】

参考として、図8に伝導帯からのエネルギー $E_c - E$ (eV)と界面準位との関係について調べた結果を示す。この図に示されるように、1080でウェット酸化するよりも1250でドライ酸化する方が界面準位密度が減少している。これは、残留炭素に起因する電子トラップが減少したからであると考えられる。さらに、酸化ガスをArガスに置換することによって酸化ガス分圧を低下させることにより、1250のドライ酸化よりもさらに界面準位密度が減少している。このように、本実施形態を適用することにより、さらなる界面準位密度の低減を図ることが可能となる。

10

【0157】

なお、本実施形態では酸化装置内に不活性ガスを注入することにより、酸化ガスを不活性ガスに置換し、酸化装置内の酸化ガス分圧を低下させるようにしたが、酸化ガスを引き抜くことによって酸化装置内を減圧するようにしても良い。また、 n^+ 型基板1に不活性ガスを吹き付けることにより、 n^+ 型基板1の近傍における酸化ガス分圧を調整するようにしてもよい。

20

【0158】

また、本実施形態のように酸化ガス分圧の減圧は、熱酸化処理やアニール処理が行われる酸化装置内で行っても良いが、直接、 n^+ 型基板1を熱酸化処理やアニール処理が行われた酸化装置よりも酸化ガス分圧が低圧に設定された場所に移動させるようにすれば、容易に酸化ガス分圧の減圧を行うことができる。

【0159】

(第4実施形態)

本実施形態は、第1～第3実施形態に対して、酸化温度と酸化雰囲気、酸化後のアニール温度を変化させることで、MOS界面の更なる改善効果を図るものである。本実施形態におけるMOSFETの製造方法についての考察を図9～図12を基に説明する。

30

【0160】

図9は、図10に示すMOSダイオード、すなわち p^+ 型基板200上に p 型エピタキシャル層(p^- 型エピ層という)201を形成すると共に、 p^- 型エピ層201上にソース領域202を形成し、さらに p^- 型エピ層201上にゲート酸化膜203を介してゲート電極204を形成した構造を用いてC-V特性を測定したものであり、酸化雰囲気と温度の関係調べた結果を表している。図9のゲート電圧が正の電圧の方は、MOS表面が反転する側を表し、負の電圧の方が蓄積する側を表している。

【0161】

図9から、ウェット雰囲気では酸化温度を高くするほど反転する電圧が低くなるという結果が得られた。また、1080に比べ1200、1250では、傾きが急峻になった。この傾きや反転する電圧は、界面の電子トラップの量に関係している。すなわち、傾きが緩やかであることは、ゲート電極へ印加した電圧が、界面の電子トラップに電子をトラップさせることに費やされてしまい、炭化珪素表面のポテンシャルが変化し難くなって、ゲートへの印加電圧に対するキャパシタンスの変化として変化し難くなっていることを表している。また、反転する電圧は、電子トラップにトラップされた電子量の変化により変化し、電子トラップが多いほどC-V特性の波形がゲート電圧の正の方向にシフトする。そして、酸化温度により反転する電圧と傾きが変化することは、酸化膜中の残留炭素に起因する電子トラップの量や、Siで知られるようにOH基からなる電子トラップの量に関係していると考えられる。

40

50

【0162】

このように、高温で酸化することにより反転する電圧が小さくなること、また、1080 に比べ1200、1250 では傾きが急峻になることは、残留炭素の量が減少し、ウェット酸化により形成されるOH基の電子トラップがアニールアウトされて減少したためであると考えられる。

【0163】

また、蓄積側のウェット酸化のC-V特性の波形は、ドライに比べ高いゲート電圧で蓄積状態になる。このことは、ウェット酸化を用いることによりvalence band側の界面準位の量が低減していることを表している。このことは、炭化珪素の界面準位の総量を低減し、トラップ電荷量を低減できることを表している。このように、蓄積側に関して

10

【0164】

さらに、ウェット酸化において、酸化温度を1000以下、好ましくは950以下まで低減すると、1200や1250のウェット酸化に比べてさらに高いゲート電圧で蓄積状態となり、これ以下の温度では、valence band側の界面準位の量をさらに低減する効果があることもわかった。これは、1000以下にすることで、酸化膜がほとんど形成されないような条件でのアニール処理を行え、酸化膜形成時に生じる残留炭素の発生を防止できるからである。この1000以下の酸化(以下、再酸化法と呼ぶ)を残留カーボンを引き抜く高温での酸化の後に行う方法と組み合わせることで、valence band側の界面準位の量をさらに低減することが可能になる。

20

【0165】

一方、ドライ酸化では、反転側では1250の方が1200に比べ傾きが急峻になった。これは、ドライ酸化の場合にはウェット酸化と異なり、ウェット酸化時に形成されるOH基の電子トラップが存在しないことから、残留炭素の量が減少し、残留炭素による電子トラップが減少したことが原因であると考えられる。また、ドライ酸化を1200から1250とすることにより高いゲート電圧で蓄積状態になる。このことは、valence band側の界面準位の量が低減していることを表しており、ドライ酸化の高温化によりvalence band側のホールトラップを低減する効果もあるといえる。このように、反転側に関しては、ドライ酸化を用いることで、より装置の信頼性の向上を図ることができる。

30

【0166】

続いて、図11に、1080でのウェット酸化を行った後に、Ar雰囲気下において1200、1300の温度でアニール処理を行った場合におけるラテラルMOSFETの $I_D - V_G$ 特性の変化を見た結果を示す。

【0167】

この図からわかるようにアニール処理を行うことにより、 $I_D - V_G$ 特性は、負の側にシフトすると共に、傾きが急峻になる(1×10^{10} A付近)。これは、アニール処理により、残留炭素の量を減少させられると共に、OH基をアニールアウトし電子トラップ量を減少させられるからであると考えられる。従って、これにより、 $I_D - V_G$ 特性の傾きと比例の関係にあるチャンネル移動度を高くすることができる。

40

【0168】

また、1080でのウェット酸化の後にアニール処理を行わない場合と1300でのアニール処理を行った場合について、I-V特性の波形を比較すると、ゲート電圧の負側への変化量は、図9の反転側の1080のウェット酸化から1250のドライ酸化のC-V特性の変化量とほぼ一致する。このことは、1300以上のアニールを行うことにより、ウェット酸化時に形成されるOH基に起因する電子トラップを回復できたことを示していると考えられる。

【0169】

さらに、高温酸化による効果とアニールによる効果を組合せた場合の実験も行った。図12は、酸化方法とアニール方法とを変化させてn型のエピタキシャルウェハ上にゲート酸

50

化膜を形成した場合に、それぞれのMOSダイオードのC-V特性を測定し、その特性から界面準位密度のエネルギー分布を算出したものである。なお、ここでは、1080のウェット酸化を行った場合、1250のドライ酸化を行った場合、1250でのドライ酸化後にAr雰囲気下で1250のアニール処理を1時間行った場合の3水準について図示している。

【0170】

上記3水準において、各酸化膜の厚みは、全て40nmであった。そして、この場合において、1080でウェット酸化するよりも1250でドライ酸化した方が界面準位が減少していることが分かる。これは、残留炭素に起因する電子トラップが減少したからであると考えられる。さらに、Arアニールを加えることにより、1250のドライ酸化の場合よりも界面準位密度が減少している。これも、アニール処理により残留Cをさらに減少させ電子トラップが減少したからであると考えられる。

10

【0171】

以上の考察に基づき、本実施形態におけるMOSFETの製造方法について説明を行う。ただし、本実施形態では、第1実施形態に示した製造方法に対して追加または変更を施したものであるため、図2～図4を参照して説明を行う。

【0172】

まず、第1実施形態と同様に図2、図3に示す工程を行う。続いて、第1実施形態の図4(a)に示す工程として、以下の工程を施す。

【0173】

LTO膜22を除去した後、基板の上に水蒸気雰囲気としたウェット酸化によってゲート酸化膜7を形成する。このとき、雰囲気温度は1250以上としている。このような雰囲気でゲート酸化膜7を形成すれば、上述した炭化珪素再結晶化反応が起きるようにできる。このため、ゲート酸化膜7の形成中に、ゲート酸化膜7と表面チャンネル層5との界面等に発生する残留炭素を低減することができる。また、ウェット酸化を高温で行うことによりウェット酸化時に形成される電子トラップとして知られているOH基もアニールアウト効果により低減することができる。これにより、残留炭素に起因した電子トラップとOH基に起因した電子トラップを共に減らすことができるため、不純物散乱の影響を小さくでき、チャンネル移動度の向上によるオン抵抗の低減を図ることができる。また、酸化雰囲気をウェット酸化とすることによりvalence band側の界面準位を低減することもできるため、炭化珪素界面の総トラップ電荷量を減らすことができる。

20

30

【0174】

この後、引き続き、熱処理を1000以下で行う。この場合、ウェット酸化雰囲気で行う。温度が1000以下のような比較的低温度で熱酸化を行った場合、珪素は酸化されるが、炭化珪素は酸化されない。このため、この程度の温度でゲート酸化膜7を形成することにより、炭素が外部に放出された部分のみ酸化されるようにでき、より炭素含有量の少ないゲート酸化膜7とすることができる。

【0175】

その後、1250以上の温度、より好ましくは1300以上の温度で、Ar雰囲気にてアニール処理を施す。これにより、上述した炭化珪素再結晶化反応により、さらに残留炭素を低減できる。また、ウェット酸化時に形成されたOH基も、このアニール処理によりさらに低減できる。これにより、チャンネル移動度のさらなる向上を図ることができ、オン抵抗の低減を図ることができる。また、1000以下の熱処理を行わずに、このアニール処理の温度を先に行ったウェット酸化時の温度と同じにすれば、ウェット酸化およびアニール処理を施す際に使用される酸化装置内の温度を変化させる必要がないため、工程の簡略化を図ることができる。

40

【0176】

なお、ここでは、上記ウェット酸化やアニール処理を1400以下の温度で行うようにしている。これは、1400を超える温度とすると、ゲート酸化膜7がクリストバル化する可能性があるからである。従って、このような温度とすることで、ゲート酸化膜7の

50

クリストバル化による劣化を防止することができる。

【0177】

その後、水素 (H_2) ガスを含む雰囲気にて H_2 アニール処理を行う。例えば、1000の温度でこの処理を行う。これにより、炭化珪素界面に形成された Si のダングリングボンドを水素終端することができ、界面準位密度をさらに低減できると共に、高温酸化や高温アニールによる H 原子抜けを防止することができる。

【0178】

これにより、チャネル移動度のさらなる向上を図ることができ、オン抵抗の低減を図ることができる。

【0179】

なお、ここで示した製造方法においてはウェット酸化によってゲート酸化膜7を形成しているが、上述したようにドライ酸化によっても全く同様の製造方法を適用することができる。ただし、ドライ酸化の場合には、ウェット酸化の場合と異なり、ウェット酸化時に形成される OH 基の電子トラップが存在しないため、より移動度の向上が図れ、オン抵抗の低減を図ることができる。

【0180】

(第5実施形態)

本実施形態では、第2～第3実施形態と異なる方法でオン抵抗の低減を図る。図13に本実施形態における $MOSFET$ の製造工程を示し、この図に基づいて $MOSFET$ の製造方法を説明する。ただし、本実施形態においても、第1実施形態に示した $MOSFET$ の製造方法とほぼ同様であるため、同様の部分に関しては図2～図4を参照して説明を行う。

【0181】

まず、第1実施形態と同様に図2、図3に示す工程を行う。続いて、第1実施形態の図4(a)に示す工程の代りに、図13に示す工程を施す。

【0182】

(図13に示す工程)

LTO 膜22を除去した後、基板上に CVD 装置もしくは $LP-CVD$ 装置により、ゲート膜となる酸化膜としての LTO 膜300をデポジションする。このときの供給ガスは SiH_4 と O_2 とし、デポジション温度は450としていいる。なお、このとき、デポジションレートを $1nm/min$ 以上かつ $5nm/min$ 以下という遅いデポジションレートとしている。このように形成した LTO 膜300を用いれば、 $400\mu m$ のゲート面積においてほぼ100%の歩留りを確保することができる。また、酸化膜の屈折率は1.35以上かつ1.50以下となるようにしている。このような構成にすることで、極めて良好なゲート特性を得ることが可能となる。

【0183】

そして、 LTO 膜300をデポジションした後に、酸素雰囲気中において、1250以上かつ1400以下の温度で熱酸化工程を行う。これにより、 LTO/SiC 界面を良質化することができる。このような酸化により、 LTO 膜300と表面チャネル層5との界面を改質することができ、チャネル移動度をさらに向上させられ、オン抵抗の低減を図ることができる。なお、必要に応じて、熱酸化工程の後に、熱酸化工程時以上の温度で熱処理工程を行うようにすれば、より LTO 膜300と表面チャネル層5との界面を改質することができる。この場合、熱処理工程は、 Ar 雰囲気で行えばより効率的である。また、この熱処理工程は5min以上かつ10min以下で行うと、酸化膜厚の増加を最大でも5nmとすることができるため、残留炭素の影響を極めて抑制することができる。

【0184】

本実施形態では、 LTO 膜300のデポジション後の酸化温度を1250以上としているが、少なくとも上記化学式9の $Gibbs$ の自由エネルギーが負になって、炭化珪素再結晶化反応が自発的に起こるようにされれば、 LTO 膜300と表面チャネル層5との界面は改質化される。例えば、1200以上とすることで、化学式9および化学式10が

10

20

30

40

50

共に負に転じ、効率の良い改質が行える。

【0185】

また、本実施形態では、LTO膜300のデポジション後の酸化雰囲気 O_2 としているが、上記と同様に、化学式9および化学式10が共に負に転じていれば、 H_2O や O_2 と H_2O との混合ガスでも効率の良い改質を行うことができる。

【0186】

(第6実施形態)

上記第1実施形態ではプレーナ型の縦型パワーMOSFETに本発明を適用した場合を示したが、本実施形態では、溝ゲート型の縦型パワーMOSFETに本発明を適用する場合を示す。

【0187】

図14に溝ゲート型のMOSFETを示す。溝ゲート型のMOSFETには、例えば n^+ 型半導体基板21上に、 n^- 型エピ層22とp型ベース層23とが積層されたものが基板24として用いられる。

【0188】

そして、この基板24表面から、p型ベース層23の表層部に位置するソース領域25と共にp型ベース層23を貫通する溝27が形成されており、この溝27の側面27aに表面チャンネル層28が形成されている。また、溝27内にゲート酸化膜29を介してゲート電極30が形成されており、ゲート電極30上には、ソース領域25及びp型ベース層23に接続されるソース電極32が層間絶縁膜31を介して形成されている。さらに、基板24の裏面側にはドレイン電極33が備えられている。

【0189】

このような構成を有する溝ゲート型のMOSFETの場合には、第1実施形態と同様に、ゲート酸化膜29形成時に行われる熱酸化工程や、その後必要に応じて行うアニール処理において、上記実施形態と同様に、炭化珪素再結晶化反応のGibbsの自由エネルギーが負になるようにすることで第1実施形態と同様の効果を得ることができる。

【0190】

(第7実施形態)

本実施形態では、ラテラルMOSFETに本発明を適用した場合を示す。

【0191】

図15にラテラルMOSFETを示す。ラテラルMOSFETには、例えばp型半導体基板101を基板として用いている。この基板101の所定領域には、イオン注入等によって表面チャンネル層102が形成されており、この表面チャンネル層102の両側にはソース層103、ドレイン層104が形成されている。また、表面チャンネル層102上にはゲート酸化膜105を介してゲート電極が備えられている。

【0192】

このように構成されたラテラルMOSFETの場合においても、第1実施形態と同様に、ゲート酸化膜105形成時に行われる熱酸化工程や、その後必要に応じて行うアニール処理において、上記実施形態と同様に、炭化珪素再結晶化反応のGibbsの自由エネルギーが負になるようにすることで第1実施形態と同様の効果が得られる。

【0193】

(他の実施形態)

1 上記実施形態では、ゲート酸化膜7を形成する際の熱酸化雰囲気における酸素mol比率 $[O_2]$ を 10^{-3} とし、温度を1250度としているが、少なくとも化学式9のGibbsの自由エネルギーが負になって、炭化珪素再結晶化反応が自発的に起こるようにすれば残留炭素を低減することが可能である。

【0194】

例えば、図16に示すように酸素mol比率 $[O_2]$ を 10^{-3} とした場合には、約800以上で化学式9のGibbsの自由エネルギーが負に転じるため、少なくとも約800以上とすれば残留炭素を低減することが可能になる。この場合において、化学式10

10

20

30

40

50

のGibbsの自由エネルギーが負に転じるのは、図17に示すように約1200 以上であるため、化学式9と化学式10の反応を共に起こさせるためには約1200 以上とすればよい。

【0195】

また、図16に示すように酸素mol比率 $[O_2]$ を 10^{-1} とした場合には、約1000 以上で化学式9のGibbsの自由エネルギーが負に転じるため、約1000 以上とすれば残留炭素を低減することが可能になる。この場合には、図17に示すように約1500 以上とすれば化学式10の反応を化学式3の反応と共に起こさせることができる。ただし、上述したように、ゲート酸化膜7をクリスタル化させず、アモルファス状態のままにするためには約1400 以下のアニール処理をするのが好ましいため、この観点から見ると上述した酸素mol比率 $[O_2]$ が 10^{-3} とした場合の方が好ましい。

10

【0196】

2 また、上記実施形態では、ゲート酸化膜7をドライ酸化で形成しているが、ウェット酸化で形成しても上記と同様に残留炭素を低減することが可能である。

【0197】

例えば、水蒸気を雰囲気としたウェット酸化($H_2 + O_2$ によるパイロジェニック法を含む)による熱酸化によってゲート酸化膜7を形成してもよい。また、水素と酸素との混合ガスを用いてもよく、水蒸気や水素と酸素の混合ガスに不活性ガス(例えば、窒素、アルゴン、ヘリウム等)を混合したものをを用いてもよい。

【0198】

3 また、ゲート酸化膜7の表面よりゲート酸化膜7の裏面(表面チャンネル層5側の面)の方が高温になるように温度勾配を設定しながら熱酸化処理やアニール処理を行うようにしてもよい。例えば、ゲート酸化膜7の表面側よりも n^+ 型基板1の裏面側を高温にして熱酸化処理やアニール処理を行ってもよい。

20

【0199】

このように、ゲート酸化膜7の表面温度が基板裏面温度よりも低温となるようにすることで、ゲート酸化膜7と表面チャンネル層5の界面がゲート酸化膜7よりも高温になるようにすることができる。これにより、ゲート酸化膜7の変質(クリスタル化)を防止しつつゲート酸化膜7と表面チャンネル層5との界面における残留炭素を低減することが可能になる。

30

【0200】

4 上記各実施形態では、蓄積型のプレーナ型、溝ゲート型、ラテラル型のMOSFETに本発明を適用した場合について説明したが、炭化珪素上に酸化膜を形成するような構成であれば、他の構造であっても本発明を適用することが可能である。

【0201】

例えば、炭化珪素基板に形成された複数の素子を素子分離する素子分離用の酸化膜と炭化珪素との界面の残留炭素を低減する場合においても本発明を適用することができる。このような素子分離用の酸化膜としては、LOCOS酸化法によるLOCOS酸化膜や、炭化珪素基板表面(若しくは炭化珪素基板表面に備えられた炭化珪素エピタキシャル層表面)に形成された溝内を埋め込むように設けられたSTI膜等が挙げられる。

40

【0202】

このような素子分離用の酸化膜と炭化珪素との界面において残留炭素を低減することにより、素子分離耐圧を向上させることができる。

【0203】

また、セル領域に上記第1～第7実施形態に示したようなMOSFETを複数配置し、セル領域の外周を囲うようにガードリングを配置する場合には、ガードリングを構成する不純物層上に酸化膜が配置されることになる。例えば、第1～第3実施形態MOSFETの場合には、 n^- 型エピ層2の表層部に所定間隔おきに複数のp型層がガードリングとして備えられる。

【0204】

50

このようなガードリングが形成される領域の炭化珪素と酸化膜との界面の残留炭素を低減する場合においても本発明を適用することができる。この場合には、ガードリングが形成される領域における絶縁耐圧を向上させることができる。

【0205】

5 さらに、第2実施形態においては、ゲート酸化膜7を形成する際の熱酸化処理もしくはアニール処理後の低温化を、第1実施形態に示すような化学式9及び化学式10に示す炭化珪素再結晶化反応が両方とも起こるようにしたものと組み合わせた場合について説明しているが、単独でも上記効果を得ることができる。すなわち、チャネル移動度はゲート酸化膜7のうちでも特に表面チャネル層5との界面における残留炭素の影響を受けると考えられるため、この界面についてだけ残留炭素の低減を図るようにしても十分にチャネル移動度の向上によるオン抵抗の低減を図ることができる。

10

【図面の簡単な説明】

【図1】本発明の第1実施形態におけるプレーナ型のMOSFETの断面構成を示す図である。

【図2】図1に示すMOSFETの製造工程を示す図である。

【図3】図2に続くMOSFETの製造工程を示す図である。

【図4】図3に続くMOSFETの製造工程を示す図である。

【図5】酸化膜厚の増加量と界面準位密度との関係を調べた図である。

【図6】ドライ酸化時における酸化ガス分圧(O_2 分圧)と酸化レートと酸化温度との関係と、ウェット酸化時における酸化ガス分圧(H_2O 分圧)と酸化レートと酸化温度との

20

【図7】酸化ガス分圧の減圧時間に対する酸化装置内の酸化ガス分圧比の関係を示す図である。

【図8】伝導帯からのエネルギー $E_c - E$ (eV)と界面準位との関係を示す図である。

【図9】MOSダイオードのC-V特性を示した図である。

【図10】図9に示すC-V特性の検査に用いたMOSダイオードの断面構成を示した図である。

【図11】アニール処理を行った場合におけるラテラルMOSFETの $I_D - V_G$ 特性の変化を示す図である。

【図12】界面準位密度のエネルギー分布を算出した結果を示す図である。

30

【図13】第5実施形態に示すMOSFETの製造工程を示す図である。

【図14】本発明の第2実施形態における溝ゲート型のMOSFETの断面構成を示す図である。

【図15】本発明の第3実施形態におけるラテラル型のMOSFETの断面構成を示す図である。

【図16】化学式12及び化学式13に示される反応のGibbsの自由エネルギーの酸素mol比率依存性を示す図である。

【図17】化学式11及び化学式14に示される反応のGibbsの自由エネルギーの酸素mol比率依存性を示す図である。

【図18】化学式18及び化学式13に示される反応のGibbsの自由エネルギーの酸素mol比率依存性を示す図である。

40

【図19】化学式19及び化学式14に示される反応のGibbsの自由エネルギーの酸素mol比率依存性を示す図である。

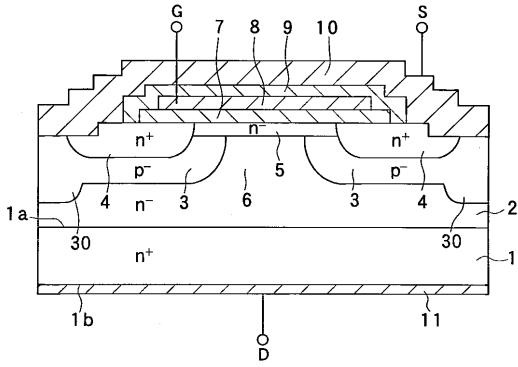
【符号の説明】

1... n^+ 型基板、2... n^- 型エピ層、3...p型ベース領域、

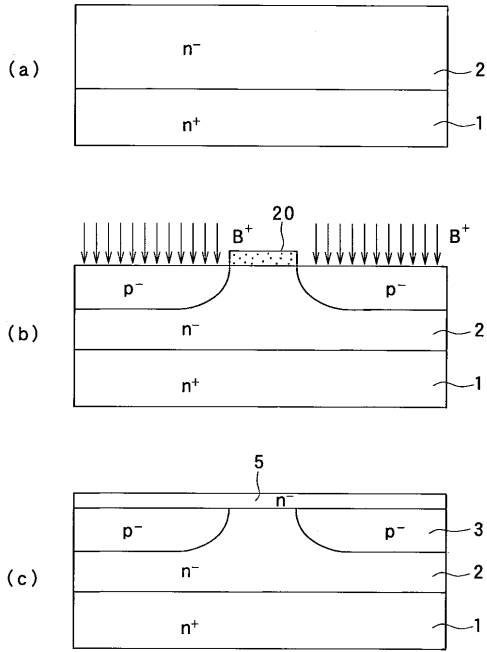
4... n^+ 型ソース領域、5...表面チャネル層、6...J-FET部、

7...ゲート酸化膜、8...ゲート電極、10...ソース電極、11...ドレイン電極。

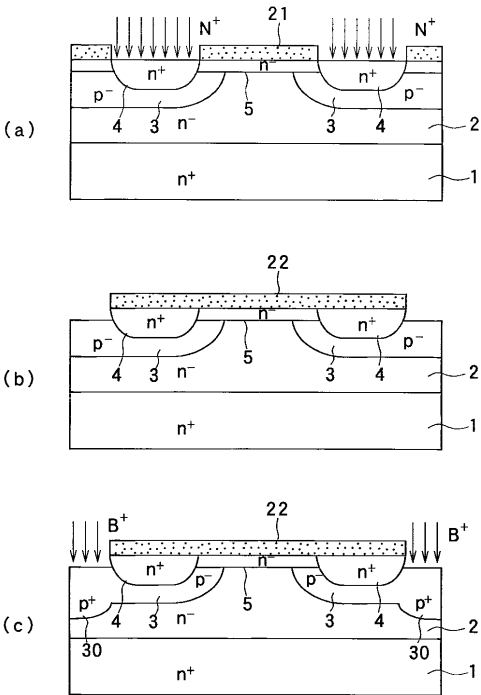
【 図 1 】



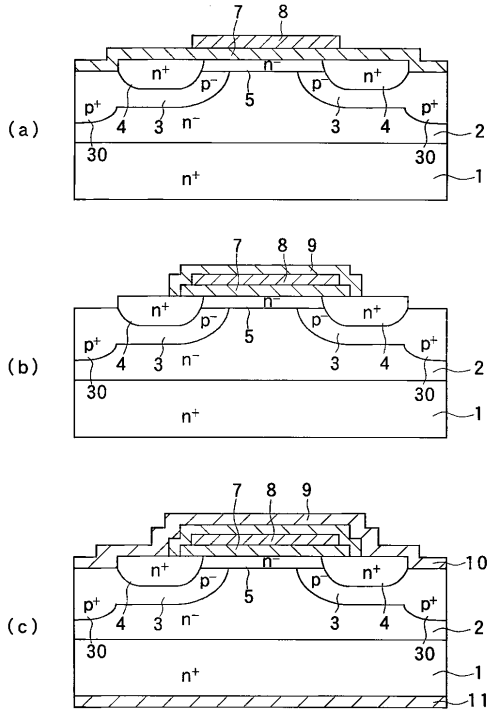
【 図 2 】



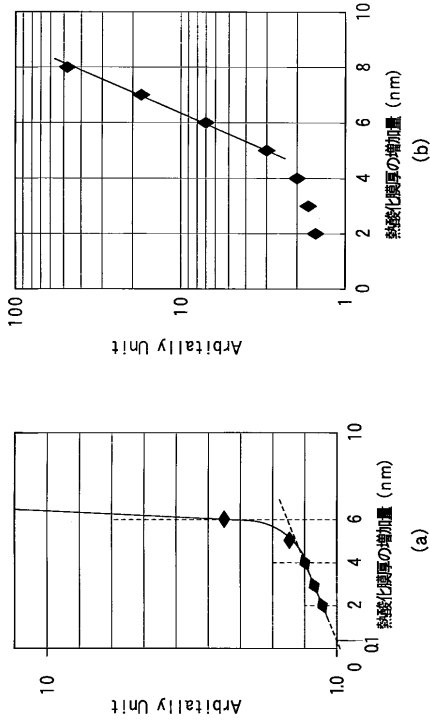
【 図 3 】



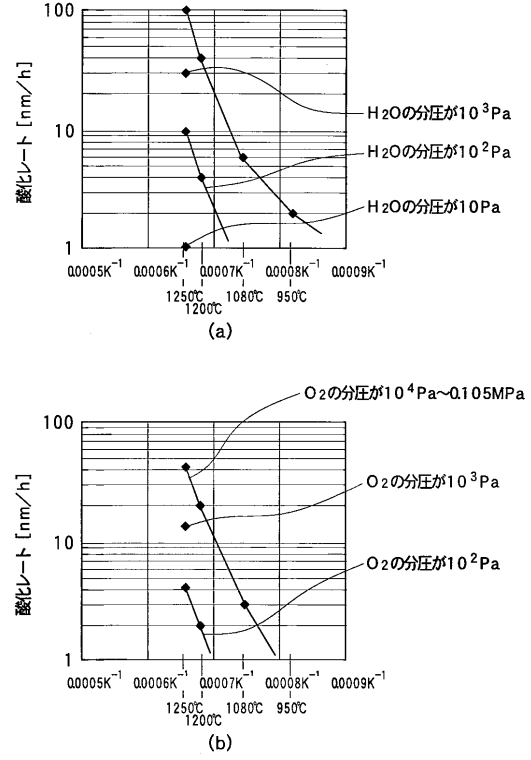
【 図 4 】



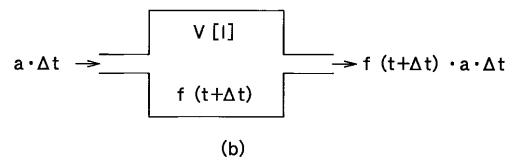
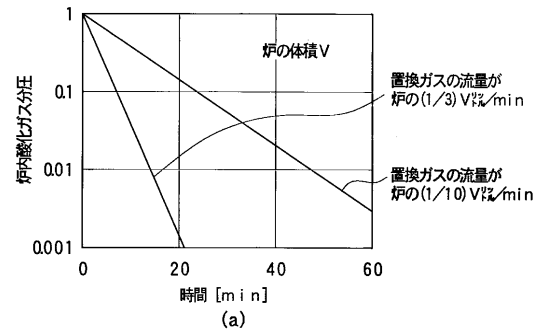
【 図 5 】



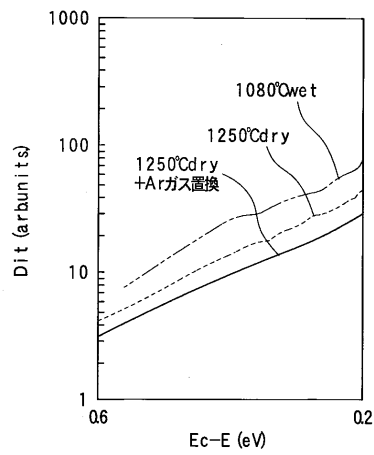
【 図 6 】



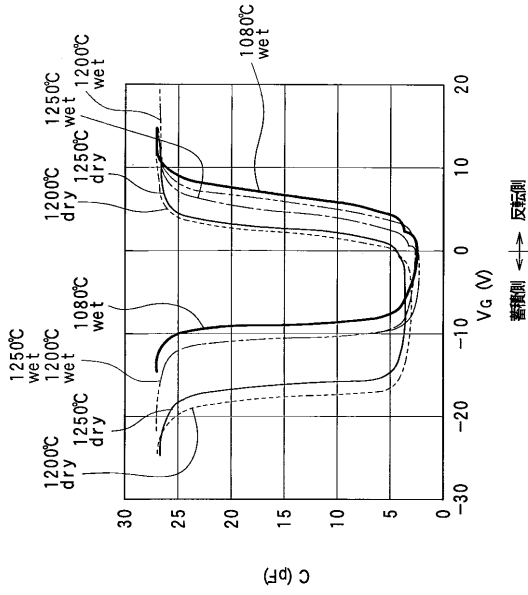
【 図 7 】



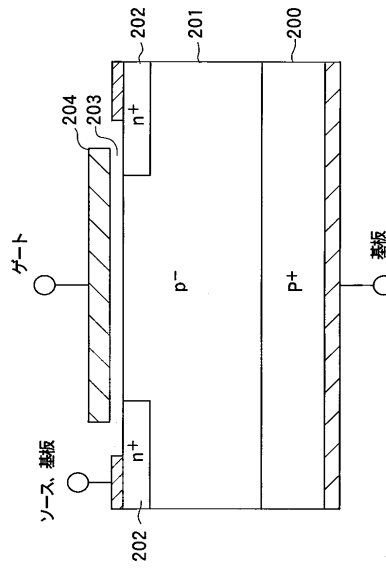
【 図 8 】



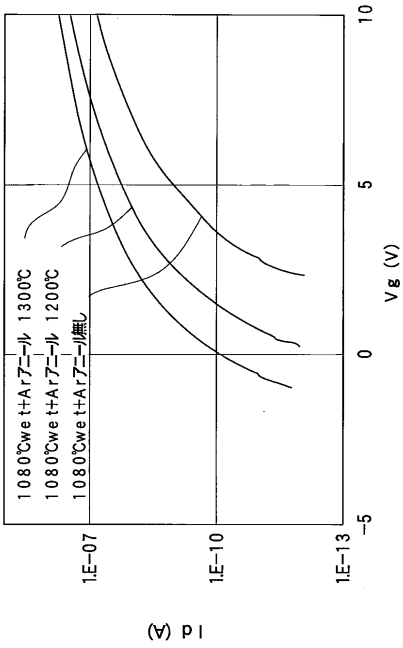
【 図 9 】



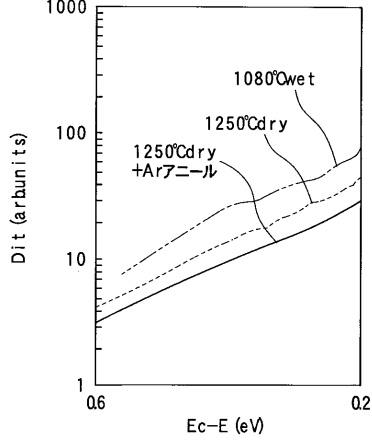
【 図 10 】



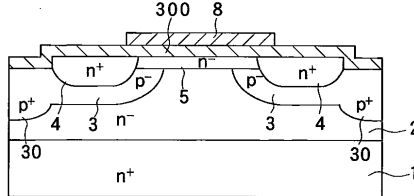
【 図 11 】



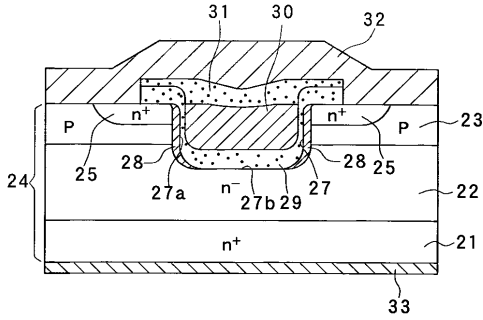
【 図 12 】



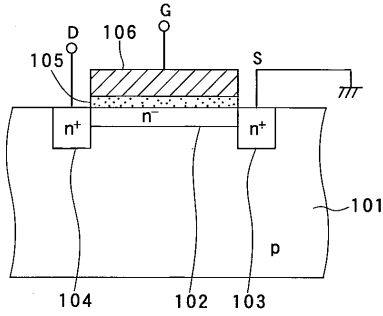
【 図 13 】



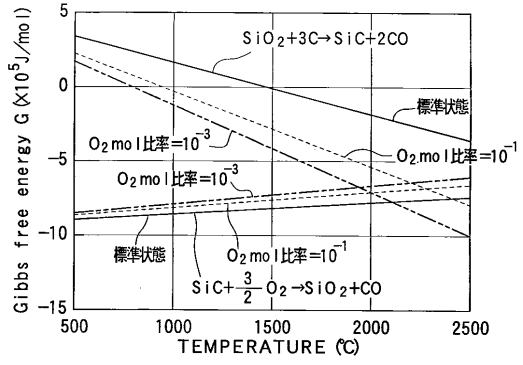
【 図 1 4 】



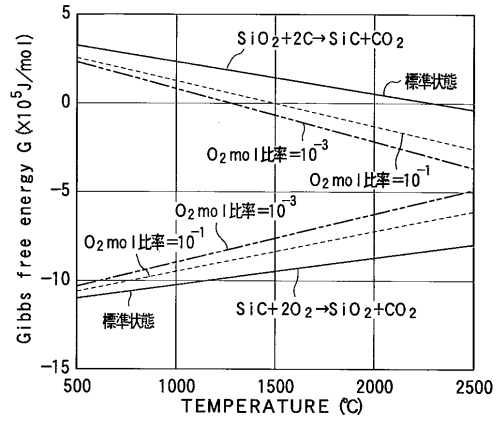
【 図 1 5 】



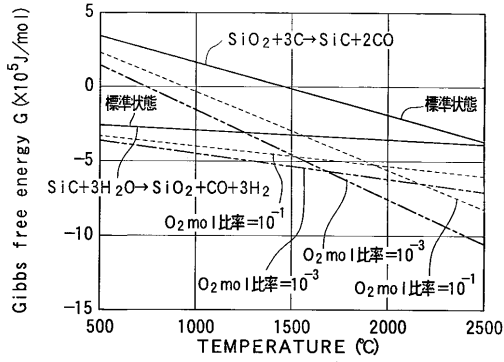
【 図 1 6 】



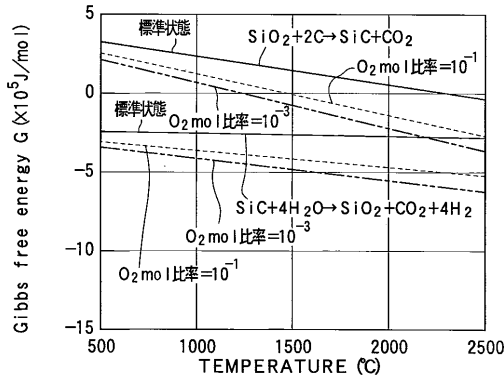
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



フロントページの続き

(51) Int.Cl.⁷

F I

H 0 1 L	29/78	6 5 2 T
H 0 1 L	29/78	6 5 3 A
H 0 1 L	29/78	3 0 1 G
H 0 1 L	29/78	3 0 1 B
H 0 1 L	29/78	3 0 1 F
H 0 1 L	29/78	6 5 8 F

(72)発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 田中 永一

(56)参考文献 特開平7 - 240409 (JP, A)

特表平11 - 505073 (JP, A)

特開平11 - 145020 (JP, A)

特開平11 - 238742 (JP, A)

特開平11 - 261061 (JP, A)

特開平11 - 274487 (JP, A)

特開平9 - 27489 (JP, A)

特開平8 - 288500 (JP, A)

特開平11 - 111709 (JP, A)

特開平11 - 186256 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/312

H01L 21/314

H01L 21/316

H01L 21/318

H01L 21/336

H01L 29/78