



(12) 发明专利

(10) 授权公告号 CN 102931218 B

(45) 授权公告日 2015. 03. 18

(21) 申请号 201210371525. 7

(22) 申请日 2012. 09. 29

(73) 专利权人 西安龙腾新能源科技发展有限公司

地址 710021 陕西省西安市凤城十二路 1 号  
出口加工区

(72) 发明人 陈桥梁 姜贯军 陈仕全 马治军  
杜忠鹏

(74) 专利代理机构 西安新思维专利商标事务所  
有限公司 61114

代理人 李罡

(51) Int. Cl.

H01L 29/06(2006. 01)

H01L 29/78(2006. 01)

H01L 21/265(2006. 01)

(56) 对比文件

CN 102694027 A, 2012. 09. 26,

US 2011/0057256 A1, 2011. 03. 10,

审查员 刘辉

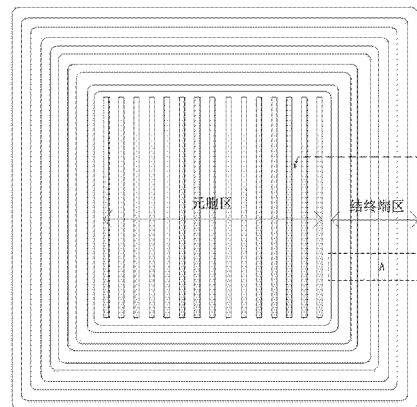
权利要求书1页 说明书4页 附图2页

(54) 发明名称

超结器件的结终端结构

(57) 摘要

本发明涉及一种超结器件的结终端结构。本发明的结终端结构的结终端区设置若干个不均匀掺杂 P 柱, P 柱的补偿注入掩膜板上设置有不连续的阻挡图形; 若干个不均匀掺杂 P 柱通过对均匀掺杂 P 柱的不均匀杂质补偿注入来实现, 在深槽刻蚀及外延填充或多次外延多次离子注入方式形成均匀掺杂 P 柱后, 从版图设计上进行相应调整 P 柱的磷离子补偿注入的有效注入面积; 不连续的阻挡图形通过调整磷离子补偿注入区域的阻挡图形的大小与数目, 决定了 P 柱的补偿注入的有效注入面积。本发明可以有效地改善结终端器件的击穿电压特性, 并且具有较短的结终端长度, 使得器件的总体器件面积得到缩小, 在相同的芯片面积上进一步减小了器件导通电阻。



1. 一种超结器件的结终端结构,其特征在於:所述的结终端结构的结终端区设置若干个不均匀掺杂P柱,P柱的补偿注入掩膜板上设置有不连续的阻挡图形;若干个不均匀掺杂P柱通过对均匀掺杂P柱的不均匀杂质补偿注入来实现,在深槽刻蚀及外延填充或多次外延多次离子注入方式形成均匀掺杂P柱后,从版图设计上进行相应调整P柱的磷离子补偿注入的有效注入面积,从而实现了不同P柱的杂质补偿注入总量的不同,不均匀掺杂P柱的纵向掺杂不均匀分布是通过随着磷离子注入能量的减小而磷离子注入剂量增大的多次离子注入来实现,通过调整P柱补偿磷离子注入的有效注入面积、磷离子注入能量及磷离子注入剂量,并借助栅氧化过程的高温热过程形成若干个不均匀掺杂P柱,使达到击穿电压时P柱区完全耗尽;不连续的阻挡图形通过调整磷离子补偿注入区域的阻挡图形的大小与数目,决定了P柱的补偿注入的有效注入面积,从而控制了各个P柱用于杂质补偿注入的磷离子的总剂量;所述的阻挡图形为直径为 $0.5 \sim 2\mu\text{m}$ 的圆形或正六边形,并且在P柱的补偿注入掩膜板的补偿注入区域中均匀排布。

2. 根据权利要求1所述的超结器件的结终端结构,其特征在於:所述的超结器件的结终端结构的制作工艺的具体步骤如下:

(1)、在电阻率为 $0.001 \Omega \cdot \text{cm}$ 的 $\text{N}^+$ 硅片衬底上生长 $45 \mu\text{m}$ 的N外延层,N外延层的典型掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ ,然后使用P柱掩膜板掩膜利用深槽刻蚀工艺在需要制作P柱的区域刻蚀出 $35 \mu\text{m}$ 的深槽,使用外延填充工艺在深槽中生长出均匀掺杂的P柱,元胞区P柱典型掺杂浓度为 $3 \times 10^{15} \text{cm}^{-3}$ ;

(2)、利用P柱补偿注入掩膜板掩膜,采用 $10\text{MeV}$ 的高能磷离子注入剂量 $5 \times 10^{10} \text{cm}^{-2}$ ,此后重复注入9次且磷离子的注入能量每次递减 $1\text{MeV}$ ,而注入剂量增加 $5 \times 10^{10} \text{cm}^{-2}$ ,最后采用 $80\text{KeV}$ 注入磷离子剂量 $5 \times 10^{11} \text{cm}^{-2}$ ;

(3)、采用干氧加湿氧加干氧的方式形成 $900\text{nm}$ 厚的场氧化层,并进行刻蚀形成有源区;

(4)、干氧生长 $100\text{nm}$ 厚的栅氧化层,之后淀积 $400\text{nm}$ 厚的多晶硅,并刻蚀多晶硅形成多晶硅栅电极与多晶硅场板结构;

(5)、采用剂量硼离子注入并在 $1000^\circ\text{C}$ 氮气氛围下推结100分钟,形成元胞区及主结处的P阱;

(6)、高浓度的砷离子注入,形成 $\text{N}^+$ 源区和 $\text{N}^+$ 截止环,典型掺杂浓度约为 $10^{20} \text{cm}^{-3}$ ;

(7)、高浓度的硼离子注入,形成 $\text{P}^+$ 区,典型掺杂浓度约为 $5 \times 10^{19} \text{cm}^{-3}$ ;

(8)、淀积 $2 \mu\text{m}$ 厚的BPSG层,在 $950^\circ\text{C}$ 氮气氛围下回流30分钟,并刻蚀接触孔;

(9)、在整个器件的上表面淀积一层金属,并反刻金属形成源金属电极、栅电极及截止环金属,钝化,背面金属化形成漏电极。

## 超结器件的结终端结构

### 技术领域

[0001] 本发明属于半导体器件与工艺制造领域,具体涉及一种超结器件的结终端结构。

### 背景技术

[0002] 功率 VDMOS 器件要得到较高的击穿电压,就必须较厚的外延层漂移区与较低的掺杂浓度,因而导通电阻会随着击穿电压的增大而急剧增大,对于常规结构功率器件的导通电阻受此“硅限”的约束而无法进一步降低。飞利浦公司的工程师 David J. Coe 于 1988 年的申请美国专利 (High voltage semiconductor device [P]. US Patent 4, 754, 310. 1988.), 首次在横向高压 MOSFET 中提出采用交替的 PN 结结构代替传统功率器件中低掺杂漂移层作为耐压层的方法。1993 年,电子科技大学的陈星弼教授提出了在纵向功率器件 (尤其是纵向 MOSFET) 中用多个 PN 结结构作为漂移层的思想, (Xingbi Chen, Semiconductor power devices with alternating conductivity type high-voltage breakdown regions [P]. US Patent 5, 216, 275. 1993.), 并把这种结构称之为“复合缓冲层” (Composite Buffer Layer)。1995 年,西门子的 J. Tihanyi 申请的美国专利 (Tihanyi J. PowerMOSFET [P]. US Patent 5, 438, 215. 1995.), 提出了类似的思路和应用。1997 年日本的学者 Tatsuhiko 等人在对上述概念的总结下,提出了“超结”(Superjunction) 理论。结合超结理论,1998 年 Infineon 公司首次将超结器件商业化推出了 Superjunction VDMOS 即“CoolMOS™”,其 P 柱是采用多次外延和多次离子注入的方式实现的, CoolMOS 显著地降低了导通电阻。

[0003] 如图 1 所示,功率器件由中央的元胞区以及作为元胞区与器件边缘过渡的结终端区所组成,对于结终端技术,陈星弼院士指出,任何一种结终端技术都是在耗尽层内引入电荷。对于平面 PN 结来说,如果在 P 型耗尽区的表面引入一个正电荷,那么该电荷所产生的电场与冶金结处的电场方向相反,故削弱了该电荷靠近冶金结处的电场,不过同时该电荷也增加了远离结面处的电场。

[0004] 在超结器件承受耐压时,元胞区耐压层完全耗尽,通过 P 柱和 N 柱区的离子数目基本相等来保持电荷平衡,使得施主杂质与受主杂质电离的正负离子产生的横向电场相互抵消,而施主杂质产生的纵向电场为击穿电压积分时的有效电场,因而元胞区的击穿电压较易设计,但是在结终端区,电势呈现柱状分布时结终端面积最小,对于结终端的有效电场分量从主结处的纵向电场逐渐过渡到横向电场,从而结终端的受主离子数目显得过剩,且结终端表面处表现最为明显,使得 P 柱的无法完全耗尽,并且由内到外这种情况越来越严重,因而传统的超结器件结终端结构不能很好地承受较高的击穿电压。通过改变超结器件的 P 柱的宽度和间距可以从一定程度上优化结终端的电场分布,但是,在深槽刻蚀及外延填充工艺中 P 柱的宽度会被制作工艺的可靠性要求所限制。

### 发明内容

[0005] 本发明所解决的技术问题是提供一种可以更好地实现 P 柱完全耗尽的结终端结构及其工艺实现方式,减小了超结器件的结终端的面积,从而减小了超结器件的比导通电

阻。

[0006] 为解决上述的技术问题,本发明采取的技术方案:

[0007] 一种超结器件的结终端结构,其特殊之处在于:所述的结终端结构的结终端区设置若干个不均匀掺杂P柱,P柱的补偿注入掩膜板上设置有不连续的阻挡图形;若干个不均匀掺杂P柱通过对均匀掺杂P柱的不均匀杂质补偿注入来实现,在深槽刻蚀及外延填充或多次外延多次离子注入方式形成均匀掺杂P柱后,从版图设计上进行相应调整P柱的磷离子补偿注入的有效注入面积,从而实现了不同P柱的杂质补偿注入总量的不同,不均匀掺杂P柱的纵向掺杂不均匀分布是通过随着磷离子注入能量的减小而磷离子注入剂量增大的多次离子注入来实现,通过调整P柱补偿磷离子注入的有效注入面积、磷离子注入能量及磷离子注入剂量,并借助栅氧化过程的高温热过程形成若干个不均匀掺杂P柱,使达到击穿电压时P柱区完全耗尽;不连续的阻挡图形通过调整磷离子补偿注入区域的阻挡图形的大小与数目,决定了P柱的补偿注入的有效注入面积,从而控制了各个P柱用于杂质补偿注入的磷离子的总剂量。

[0008] 上述的阻挡图形为直径为 $0.5 \sim 2\mu\text{m}$ 的圆形或正六边形,并且在P柱的补偿注入掩膜板的补偿注入区域中均匀排布。

[0009] 上述的超结器件的结终端结构的制作工艺的具体步骤如下:

[0010] (1)、在电阻率为 $0.001\Omega \cdot \text{cm}$ 的 $\text{N}^+$ 硅片衬底上生长 $45\mu\text{m}$ 的N外延层,N外延层的典型掺杂浓度为 $1 \times 10^{15}\text{cm}^{-3}$ ,然后使用P柱掩膜板掩膜利用深槽刻蚀工艺在需要制作P柱的区域刻蚀出 $35\mu\text{m}$ 的深槽,使用外延填充工艺在深槽中生长出均匀掺杂的P柱,元胞区P柱典型掺杂浓度为 $3 \times 10^{15}\text{cm}^{-3}$ ;

[0011] (2)、利用P柱补偿注入掩膜板掩膜,采用 $10\text{MeV}$ 的高能磷离子注入剂量 $5 \times 10^{10}\text{cm}^{-2}$ ,此后重复注入9次且磷离子的注入能量每次递减 $1\text{MeV}$ ,而注入剂量增加 $5 \times 10^{10}\text{cm}^{-2}$ ,最后采用 $80\text{KeV}$ 注入磷离子剂量 $5 \times 10^{11}\text{cm}^{-2}$ ;

[0012] (3)、采用干氧加湿氧加干氧的方式形成 $900\text{nm}$ 厚的场氧化层,并进行刻蚀形成有源区;

[0013] (4)、干氧生长 $100\text{nm}$ 厚的栅氧化层,之后淀积 $400\text{nm}$ 厚的多晶硅,并刻蚀多晶硅形成多晶硅栅电极与多晶硅场板结构;

[0014] (5)、采用剂量硼离子注入并在 $1000^\circ\text{C}$ 氮气氛围下推结100分钟,形成元胞区及主结处的P阱;

[0015] (6)、高浓度的砷离子注入,形成 $\text{N}^+$ 源区和 $\text{N}^+$ 截止环,典型掺杂浓度约为 $10^{20}\text{cm}^{-3}$ ;

[0016] (7)、高浓度的硼离子注入,形成 $\text{P}^+$ 区,典型掺杂浓度约为 $5 \times 10^{19}\text{cm}^{-3}$ ;

[0017] (8)、淀积 $2\mu\text{m}$ 厚的BPSG层,在 $950^\circ\text{C}$ 氮气氛围下回流30分钟,并刻蚀接触孔;

[0018] (9)、在整个器件的上表面淀积一层金属,并反刻金属形成源金属电极、栅电极及截止环金属,钝化,背面金属化形成漏电极。

[0019] 与现有技术相比,本发明的有益效果:

[0020] 本发明通过额外增加了一张P柱补偿注入工艺,通过调整磷离子的注入能量与注入剂量来与P柱的掺杂离子进行补偿,因而结终端区的P柱的掺杂浓度可以在纵向上得到调节,从而得到更加理想的结终端结构;P柱的补偿注入的阻挡图形是阻挡用于杂质补偿的磷离子的注入,阻挡区域越大,则用于补偿的磷离子的剂量越小,杂质补偿后的P柱的掺

杂浓度就越大,由于本发明中杂质补偿的磷离子的注入剂量与注入能量可以调整,因而,在 P 柱的纵向方向上 P 柱的掺杂浓度也可以得到调整,在器件达到击穿电压时,电场分布更加合理;可以有效地改善结终端器件的击穿电压特性,并且具有较短的结终端长度,使得器件的总体器件面积得到缩小,在相同的芯片面积上进一步减小了器件导通电阻。

### 附图说明

- [0021] 图 1 是本发明的超结器件 P 柱掩膜板俯视示意图;  
[0022] 图 2 是图 1 中 A 区域的 P 柱补偿注入掩膜板局部示意图;  
[0023] 图 3 是图 1 中沿 BB' 线方向的剖面结构示意图;  
[0024] 图 4 是图 3 中沿 CC' 线方向的横向掺杂浓度示意图;  
[0025] 图 5 是图 3 中沿 EE' 线方向的纵向掺杂浓度示意图。

### 具体实施方式

[0026] 下面结合附图和具体实施方式对本发明进行详细说明。

[0027] 本发明的结终端结构的结终端区设置若干个不均匀掺杂 P 柱, P 柱的补偿注入掩膜板上设置有不连续的阻挡图形;若干个不均匀掺杂 P 柱通过对均匀掺杂 P 柱的不均匀杂质补偿注入来实现,在深槽刻蚀及外延填充或多次外延多次离子注入方式形成均匀掺杂 P 柱后,从版图设计上进行相应调整 P 柱的磷离子补偿注入的有效注入面积,从而实现了不同 P 柱的杂质补偿注入总量的不同,不均匀掺杂 P 柱的纵向掺杂不均匀分布是通过随着磷离子注入能量的减小而磷离子注入剂量增大的多次离子注入来实现,通过调整 P 柱补偿磷离子注入的有效注入面积、磷离子注入能量及磷离子注入剂量,并借助栅氧化过程的高温热过程形成若干个不均匀掺杂 P 柱,使达到击穿电压时 P 柱区完全耗尽;不连续的阻挡图形通过调整磷离子补偿注入区域的阻挡图形的大小与数目,决定了 P 柱的补偿注入的有效注入面积,从而控制了各个 P 柱用于杂质补偿注入的磷离子的总剂量。

[0028] 上述的阻挡图形为直径为 0.5 ~ 2 $\mu$ m 的圆形或正六边形,并且在 P 柱的补偿注入掩膜板的补偿注入区域中均匀排布。

[0029] 本发明的结终端结构形成了一种不均匀掺杂 P 柱结构,即结终端区的 P 柱掺杂浓度不再与元胞区的 P 柱掺杂浓度分布相同,而是根据各处的横向电场分布情况利用横向变掺杂方法进行相应调整 P 柱杂质补偿的磷离子有效注入面积,从而精确控制用于结终端区 P 柱杂质补偿的磷离子注入总量,借助于栅氧化等工艺的高温热过程,使 P 柱的硼离子 P 型杂质与磷离子 N 型杂质得以充分补偿,形成不均匀掺杂 P 柱结构。在超结器件将要达到击穿电压时,结终端区的 P 柱可以完全耗尽,电场分布较常规超结结终端更加均匀合理,从而可以用更小的结终端面积来承受相同的击穿电压。

[0030] 参见图 1,本发明的 P 柱掩膜板的中间的条形区域为元胞区,周围的环形区为结终端区,结终端区可以有五个或更多个 P 柱与表面的场板,场限环等结构组成。

[0031] 参见图 2,用于图 1 所示虚框 A 区域的 P 柱补偿注入掩膜板中,深色区域为磷离子可以注入的区域,深色区域内白色区域为不连续的阻挡图形,通过调整阻挡图形的大小与数目,就可以有效地控制用于 P 柱杂质补偿的磷离子总量,最后通过高温长时间的推结形成不均匀掺杂的 P 柱,其中的最左侧的 P 柱与其表面附近的 P 阱等结构构成主结,其 P 柱浓

度与元胞区的浓度相同,第二到第五个 P 柱的杂质补偿注入版图皆有均匀分布的不连续的阻挡图形存在,其大小与数目决定了 P 柱杂质补偿离子注入的有效面积,可以有效地控制用于杂质补偿的磷离子的总量,从而达到了得到掺杂浓度不同的 P 柱的目的。

[0032] 参见图 3,其中虚线 DD' 左侧为超结器件的元胞区,右侧为结终端区,结终端区的 P 柱的间距可以相等也可以不等,其宽度可以与元胞区相同,也可以适当调整以更好地优化电场分布情况,其中所有的 P 柱是通过深槽刻蚀及外延填充或多次外延多次离子注入等方式形成。

[0033] 参见图 4,沿着图 3 中虚线 CC' 杂质补偿后的掺杂浓度曲线显示,元胞区和主结的 P 柱掺杂浓度相同,但是结终端的第二到第五个 P 柱的掺杂浓度随着各个 P 柱杂质补偿注入的磷离子总量的增大而减小。

[0034] 参见图 5,沿着图 3 中虚线 EE' 杂质补偿后的纵向掺杂浓度曲线显示,P 柱杂质补偿后的掺杂浓度随着纵向深度的增大而增大,这种纵向掺杂不均匀分布是通过随着磷离子注入能量的减小而磷离子注入剂量增大的多次离子注入来实现的。

[0035] 实施例:

[0036] 用具有超结结构的 MOSFET 来说明,但本发明不局限于 MOSFET。

[0037] 一、在电阻率为  $0.001 \Omega \cdot \text{cm}$  的  $\text{N}^+$  硅片衬底上生长  $45 \mu\text{m}$  的 N 外延层,N 外延层的典型掺杂浓度为  $1 \times 10^{15} \text{cm}^{-3}$ ,然后使用 P 柱掩模板掩膜利用深槽刻蚀工艺在需要制作 P 柱的区域刻蚀出  $35 \mu\text{m}$  的深槽,使用外延填充工艺在深槽中生长出均匀掺杂的 P 柱,元胞区 P 柱典型掺杂浓度为  $3 \times 10^{15} \text{cm}^{-3}$ 。

[0038] 二、利用 P 柱补偿注入掩模板掩膜,采用  $10\text{MeV}$  的高能磷离子注入剂量  $5 \times 10^{10} \text{cm}^{-2}$ ,此后重复注入 9 次且磷离子的注入能量每次递减  $1\text{MeV}$ ,而注入剂量增加  $5 \times 10^{10} \text{cm}^{-2}$ ,最后采用  $80\text{KeV}$  注入磷离子剂量  $5 \times 10^{11} \text{cm}^{-2}$ 。

[0039] 三、采用干氧加湿氧加干氧的方式形成  $900\text{nm}$  厚的场氧化层,并进行刻蚀形成有源区。

[0040] 四、干氧生长  $100\text{nm}$  厚的栅氧化层,之后淀积  $400\text{nm}$  厚的多晶硅,并刻蚀多晶硅形成多晶硅栅电极与多晶硅场板结构。

[0041] 五、采用剂量硼离子注入并在  $1000^\circ\text{C}$  氮气氛围下推结 100 分钟,形成元胞区及主结处的 P 阱。

[0042] 六、高浓度的砷离子注入,形成  $\text{N}^+$  源区和  $\text{N}^+$  截止环,典型掺杂浓度约为  $10^{20} \text{cm}^{-3}$ 。

[0043] 七、高浓度的硼离子注入,形成  $\text{P}^+$  区,典型掺杂浓度约为  $5 \times 10^{19} \text{cm}^{-3}$ 。

[0044] 八、淀积  $2 \mu\text{m}$  厚的 BPSG 层,在  $950^\circ\text{C}$  氮气氛围下回流 30 分钟,并刻蚀接触孔。

[0045] 在整个器件的上表面淀积一层金属,并反刻金属形成源金属电极、栅电极及截止环金属,钝化,背面金属化形成漏电极。

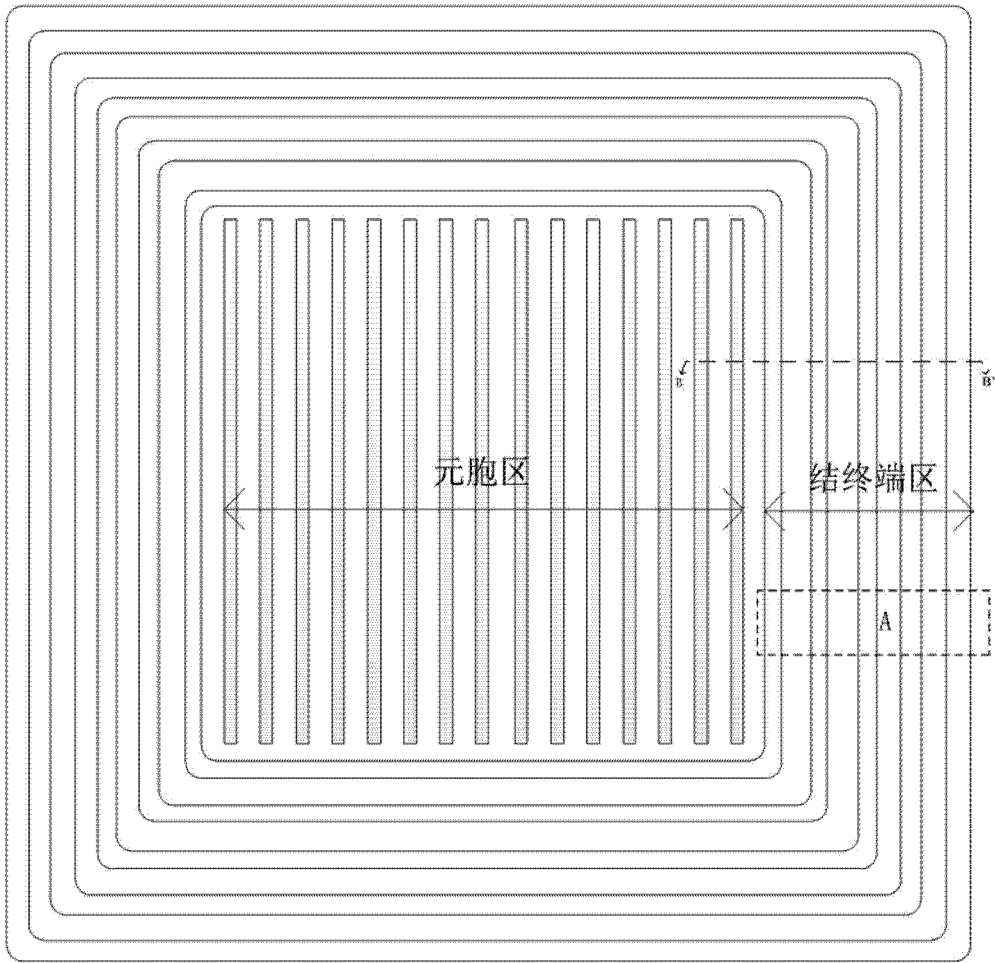


图 1

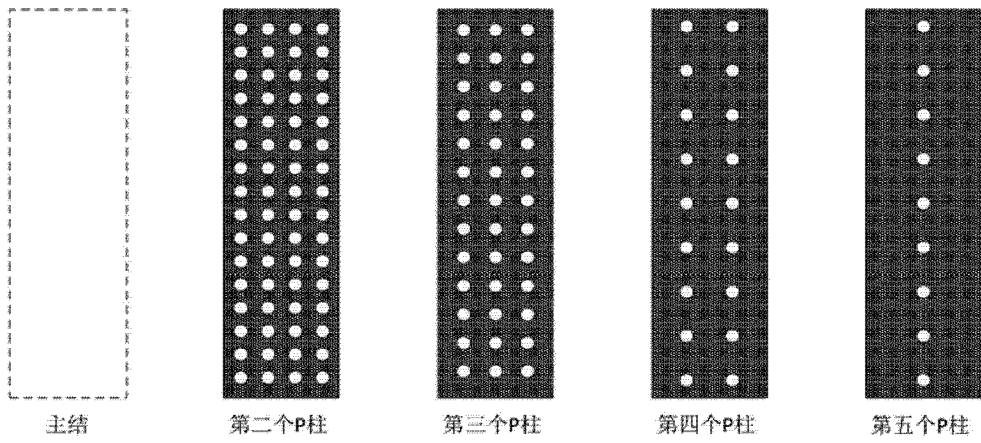


图 2

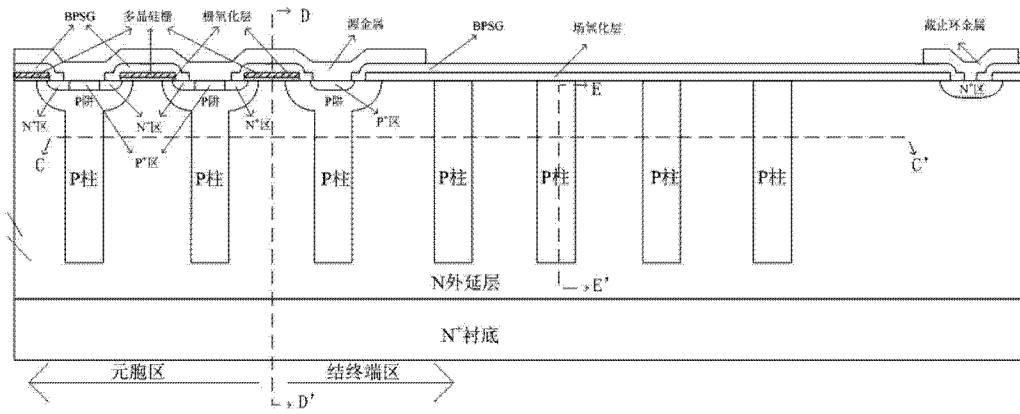


图 3

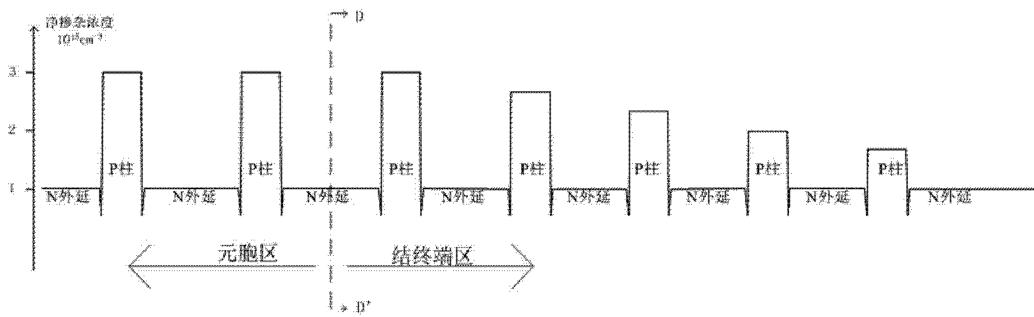


图 4

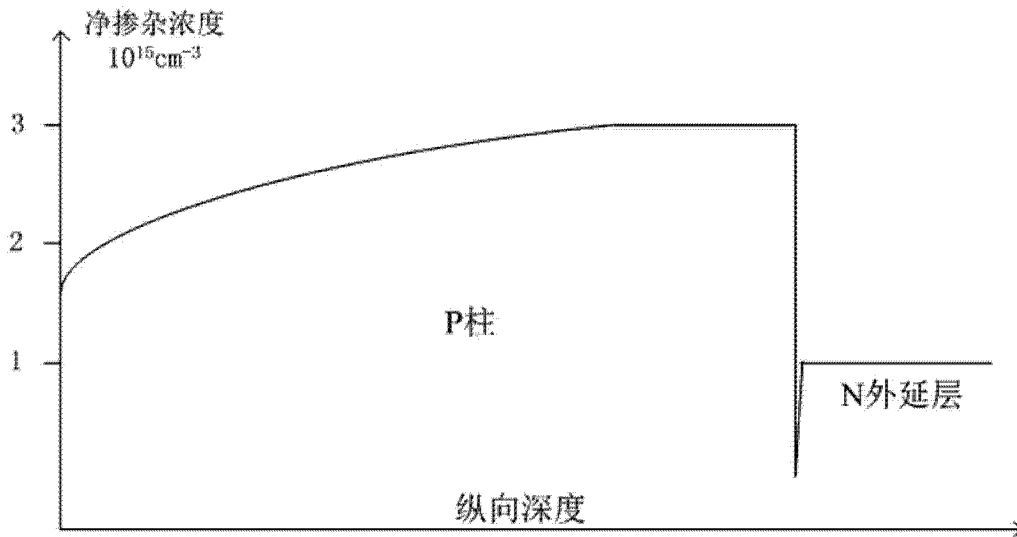


图 5