

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年12月3日(03.12.2009)

PCT

(10) 国際公開番号
WO 2009/144892 A1

- (51) 国際特許分類:
G06F 11/22 (2006.01)
- (21) 国際出願番号: PCT/JP2009/002221
- (22) 国際出願日: 2009年5月20日(20.05.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-139188 2008年5月28日(28.05.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 天野克重 (AMANO, Katsushige). 谷川忠雄 (TANIKAWA, Tadao).
- (74) 代理人: 小谷悦司, 外 (KOTANI, Etsuji et al.); 〒5300005 大阪府大阪市北区中之島2丁目2番2号大阪中之島ビル2階 Osaka (JP).

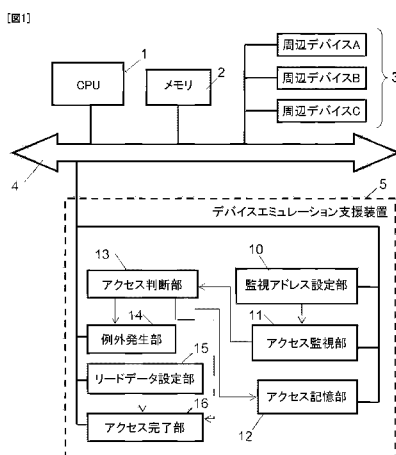
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

[続葉有]

(54) Title: DEVICE EMULATION SUPPORT DEVICE, DEVICE EMULATION SUPPORT METHOD, DEVICE EMULATION SUPPORT CIRCUIT, AND INFORMATION PROCESSOR

(54) 発明の名称: デバイスエミュレーション支援装置、デバイスエミュレーション支援方法、デバイスエミュレーション支援回路及び情報処理装置



- 1 CPU
- 2 memory
- 3 peripheral device A
peripheral device B
peripheral device C
- 5 device emulation support device
- 10 monitor address setting unit
- 11 access monitoring unit
- 12 access memory
- 13 access decision unit
- 14 exception generator
- 15 read data setting unit
- 16 access complete unit

(57) Abstract: An access monitoring unit (11) fetches access information which includes the address matching the address stored in the monitor address setting unit (10) from the access signal output from a CPU (1) to a peripheral device (3). An access decision unit (13) compares the access information received from the access monitoring unit (11) and the immediately preceding access information stored in an access memory (12), stores the fetched access information in the access memory (12) and requests the transmission of an exception generated notification to the exception generator (14) when the received access information differs from the immediately preceding access information, and removes the immediately preceding access information stored in the access memory (12) from the comparison targets when the received access information matches the immediately preceding access information. This configuration enables a reduction in the processing load during an emulation, and efficient emulations of the peripheral devices.

(57) 要約:

[続葉有]



WO 2009/144892 A1



アクセス監視部（１１）は、CPU（１）から周辺デバイス（３）に向けて出力されるアクセス信号から、監視アドレス設定部（１０）に記憶されているアドレスに合致するアドレスを含むアクセス情報を取得し、アクセス判断部（１３）は、アクセス監視部（１１）から受け取ったアクセス情報と、アクセス記憶部（１２）に記憶されている直前のアクセス情報とを比較し、受け取ったアクセス情報が直前のアクセス情報と異なる場合、取得したアクセス情報をアクセス記憶部（１２）に記憶するとともに、例外発生部（１４）に例外発生通知の送信を要求し、受け取ったアクセス情報が直前のアクセス情報と同一の場合、アクセス記憶部（１２）に記憶されている直前のアクセス情報を比較の対象から除外する。この構成により、エミュレーションする際の処理量を削減することができ、効率的に周辺装置のエミュレーションを行うことができる。

明 細 書

発明の名称：

デバイスエミュレーション支援装置、デバイスエミュレーション支援方法、デバイスエミュレーション支援回路及び情報処理装置

技術分野

[0001] 本発明は、ソフトウェアが実行中に利用する周辺装置のエミュレーションを容易にするデバイスエミュレーション支援装置、デバイスエミュレーション支援方法及びデバイスエミュレーション支援回路、並びに当該デバイスエミュレーション支援装置を備える情報処理装置に関するものである。

背景技術

[0002] 情報処理装置で実行されるプログラムは、情報処理装置が備える1つ以上のデバイス（周辺装置）を利用しながら動作する。そのため、特定の情報処理装置を前提に作成されたプログラムは、処理対象のデバイスが存在しない場合、あるいは、処理対象のデバイスと同種のデバイスが存在しても制御の方法や仕様が異なる場合、正常に動作しない。このような場合、処理対象のデバイスのエミュレーションをプログラムの変更なしに行うことができれば、特定の情報処理装置とは別の情報処理装置でそのプログラムを利用することが可能となる。

[0003] 一般に、中央演算装置（CPU）のアドレス空間にデバイスの制御レジスタが配置され、CPUが制御レジスタを操作することで、対象のデバイスは動作する。つまり、CPUは、対象デバイスの制御レジスタのアドレスに対し、書き込み（ライト）、または、読み出し（リード）を行う。従って、ソフトウェアでデバイスのエミュレーションを行うには、特定のアドレス、つまり、エミュレーション対象デバイスの制御レジスタのアドレスに対する、CPUからのアクセスを捕らえる（トラップする）必要がある。エミュレーション対象デバイスとは、ソフトウェアが処理対象としているが実際には存在していないデバイスである。

- [0004] 特定アドレスへのアクセスをトラップする一般的な方法としては、メモリ空間の保護機能を用いるものがある。すなわち、トラップするアドレスへのリードとライトとを禁止することで、そのアドレスへのアクセス時に例外が発生する。例外ハンドラを契機にしてエミュレーションを開始し、エミュレーション終了後に元のプログラムに復帰することで、当該プログラムを変更することなしにデバイスのエミュレーションが可能となる。
- [0005] また、バスを流れる信号を監視することで、CPUから特定のアドレス空間へのアクセスを検知するバス監視装置がある（例えば、特許文献1参照）。バス監視装置は、バスを流れる各種信号を監視し、設定された条件に一致した信号が検知された場合、CPUに割り込みを発生させる。これにより、CPUからの特定のアドレスへのアクセスをトラップすることができる。
- [0006] エミュレーションの対象であるデバイスが行う処理を、ソフトウェアがデバイスの代わりに行うことにより、デバイスのエミュレーションが行われる。ソフトウェアが代わりに処理を行うために、対象デバイスの制御レジスタに対するアクセスをトラップした後、当該アクセスがどのようなアクセスであるか、すなわちアクセスの内容を取得する必要がある。例えば、エミュレーション対象であるデバイスがDMA（Direct Memory Access）であり、デバイスが行う処理がメモリコピーである場合、エミュレーションを行うソフトウェアは、コピー対象のデータが格納されているメモリ上のアドレスなど、処理に必要な情報を取得する。以下、エミュレーションの対象であるデバイスの制御レジスタを“仮想的なレジスタ”と表す。
- [0007] 仮想的なレジスタへのアクセスがデータのライトである場合、エミュレーションを行うソフトウェアは、トラップした命令（書き込み命令）の内容を解析し、書き込むデータを保持している演算レジスタを特定する。また、エミュレーションを行うソフトウェアは、特定した演算レジスタからデータを取得し、取得したデータを対象のアドレスに書き込む処理を行う。
- [0008] 仮想的なレジスタへのアクセスがデータのリードである場合、エミュレー

ションを行うソフトウェアは、トラップした命令（読み出し命令）の内容を解析し、読み出したデータの保存先（演算レジスタ及びメモリなど）を特定する。また、エミュレーションを行うソフトウェアは、読み出したデータを保存先に格納する処理を行う。

- [0009] しかしながら、従来の技術では、制御レジスタに対するアクセスをトラップする毎に、エミュレーションを行うソフトウェアが、トラップしたアクセスの内容を解析して必要なデータを取得するため、複数の命令を実行することになり、処理量が増加するという課題を有していた。

先行技術文献

特許文献

- [0010] 特許文献1：特開2006-113906号公報

発明の概要

- [0011] 本発明は、上記の課題を解決するためになされたもので、エミュレーションする際の処理量を削減することができ、効率的に周辺装置のエミュレーションを行うことができるデバイスエミュレーション支援装置、デバイスエミュレーション支援方法、デバイスエミュレーション支援回路及び情報処理装置を提供することを目的とするものである。

- [0012] 本発明の一局面に係るデバイスエミュレーション支援装置は、例外を発生することによりエミュレーション処理を実行するCPUとバスを介して通信可能に接続されたデバイスエミュレーション支援装置であって、エミュレーション対象の周辺装置に対応するアドレスを監視の対象として記憶する監視アドレス記憶部と、前記CPUから前記周辺装置へのアクセスを監視し、アクセス対象である周辺装置に対応するアドレスを含むアクセス情報を有し、かつ前記CPUから前記周辺装置に向けて出力されるアクセス信号から、前記監視アドレス記憶部に記憶されているアドレスに合致するアドレスを含むアクセス情報を取得するアクセス監視部と、前記アクセス監視部によって取得されたアクセス情報を記憶するアクセス記憶部と、前記アクセスがデータの読み出しを表す読み出しアクセスである場合に、前記周辺装置から読み出

されるデータを一時的に記憶するリードデータ記憶部と、前記CPUに例外を発生させるための前記例外発生通知を前記CPUへ送信する例外発生部と、前記アクセス監視部によって取得されたアクセス情報を受け取り、受け取ったアクセス情報と、前記アクセス記憶部に記憶されている直前のアクセス情報とを比較し、受け取ったアクセス情報が直前のアクセス情報と異なる場合、前記取得したアクセス情報を前記アクセス記憶部に記憶するとともに、前記例外発生部に前記例外発生通知の送信を要求し、受け取ったアクセス情報が直前のアクセス情報と同一の場合、前記アクセス記憶部に記憶されている直前のアクセス情報を比較の対象から除外するアクセス判断部と、前記アクセス監視部によって監視されるアクセスが前記読み出しアクセスである場合、前記リードデータ記憶部に記憶されているデータを前記CPUに出力して前記読み出しアクセスを完了するよう前記CPUに指示し、前記アクセス監視部によって監視されるアクセスがデータの書き込みを表す書き込みアクセスである場合、前記書き込みアクセスを完了するよう前記CPUに指示するアクセス完了部とを備える。

- [0013] この構成によれば、監視アドレス記憶部には、エミュレーション対象の周辺装置に対応するアドレスが監視の対象として記憶される。CPUから周辺装置へのアクセスが監視され、アクセス対象である周辺装置に対応するアドレスを含むアクセス情報を有し、かつCPUから周辺装置に向けて出力されるアクセス信号から、監視アドレス記憶部に記憶されているアドレスに合致するアドレスを含むアクセス情報が取得される。アクセス記憶部には、取得されたアクセス情報が記憶される。また、リードデータ記憶部には、アクセスがデータの読み出しを表す読み出しアクセスである場合に、周辺装置から読み出されるデータが一時的に記憶される。取得されたアクセス情報を受け取り、受け取ったアクセス情報と、アクセス記憶部に記憶されている直前のアクセス情報とが比較される。受け取ったアクセス情報が直前のアクセス情報と異なる場合、取得したアクセス情報がアクセス記憶部に記憶されるとともに、CPUに例外を発生させるための例外発生通知がCPUへ送信される

。一方、受け取ったアクセス情報が直前のアクセス情報と同一の場合、アクセス記憶部に記憶されている直前のアクセス情報が比較の対象から除外される。監視されるアクセスが読み出しアクセスである場合、リードデータ記憶部に記憶されているデータがCPUに出力されて読み出しアクセスを完了するようCPUに指示される。また、監視されるアクセスがデータの書き込みを表す書き込みアクセスである場合、書き込みアクセスを完了するようCPUに指示される。

[0014] すなわち、受け取ったアクセス情報が、アクセス記憶部に記憶されている直前のアクセス情報と異なる場合、CPUに例外を発生させることによりエミュレーション処理を実行させる。一方、受け取ったアクセス情報が、アクセス記憶部に記憶されている直前のアクセス情報と同一の場合、例外の終了に伴うアクセスの再実行と見なし、アクセスが読み出しアクセスである場合、所定のデータをCPUに出力した後、読み出しアクセスを完了するようCPUに指示し、アクセスが書き込みアクセスである場合、そのまま書き込みアクセスを完了するようCPUに指示する。

[0015] 本発明によれば、エミュレーションを行うCPUによって、トラップしたアクセスの内容を解析して必要なデータを取得する処理が行われないので、エミュレーションする際の処理量を削減することができ、効率的に周辺装置のエミュレーションを行うことができる。

[0016] 本発明の目的、特徴及び利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

[0017] [図1]本発明の実施の形態1におけるデバイスエミュレーション支援装置を備えた情報処理装置の構成を示す図である。

[図2]本発明の実施の形態1におけるデバイスエミュレーション支援装置の動作を説明するためのフローチャートである。

[図3]本発明の実施の形態1におけるデバイスエミュレーション装置で用いるレジスタの構成の一例を示す図である。

[図4]本発明の実施の形態1におけるデバイスエミュレーション支援装置を備えた情報処理装置のソフトウェアの構成の一例を示す図である。

[図5]本発明の実施の形態1におけるデバイスエミュレーション支援装置を備えた情報処理装置のソフトウェアの構成の第1の変形例を示す図である。

[図6]本発明の実施の形態1におけるデバイスエミュレーション支援装置を備えた情報処理装置のソフトウェアの構成の第2の変形例を示す図である。

[図7]本発明の実施の形態1におけるデバイスエミュレーション支援装置を備えた情報処理装置のリードアクセス時のエミュレーション処理の一例を示すフローチャートである。

[図8]本発明の実施の形態1におけるデバイスエミュレーション支援装置を備えた情報処理装置のライトアクセス時のエミュレーション処理の一例を示すフローチャートである。

[図9]本発明の実施の形態2におけるデバイスエミュレーション支援装置を備えた情報処理装置の構成を示す図である。

[図10]本発明の実施の形態2における、割り込み抑制部と割り込みコントローラとの接続例を示す図である。

[図11]本発明の実施の形態3におけるデバイスエミュレーション支援装置を備えた情報処理装置の構成を示す図である。

[図12]本発明の実施の形態4におけるデバイスエミュレーション支援装置を備えた情報処理装置の構成を示す図である。

[図13]本発明の実施の形態4におけるデバイスエミュレーション支援装置を備えた情報処理装置のソフトウェアの構成の一例を示す図である。

[図14]本発明の実施の形態4におけるデバイスエミュレーション支援装置を備えた情報処理装置のソフトウェアの構成の変形例を示す図である。

[図15]本発明の実施の形態5におけるデバイスエミュレーション支援回路を備えた情報処理装置の構成を示す図である。

発明を実施するための形態

[0018] 以下本発明の実施の形態について、図面を参照しながら説明する。尚、以

下の実施の形態は、本発明を具体化した一例であって、本発明の技術的範囲を限定する性格のものではない。

[0019] (実施の形態 1)

図 1 は、本発明の実施の形態 1 におけるデバイスエミュレーション支援装置を備えた情報処理装置の構成を示す図である。情報処理装置は、CPU (中央演算装置) 1、メモリ 2、周辺デバイス (周辺装置) 3、バス 4 及びデバイスエミュレーション支援装置 5 を備えている。

[0020] CPU 1 は、メモリ 2 に格納されているプログラムを実行することで、情報処理装置を制御する。また、CPU 1 のアドレス空間は、周辺デバイス 3 の制御に必要なレジスタ (制御レジスタ) を含む。周辺デバイス 3 を制御する際、CPU 1 で実行されるプログラムが、対象の周辺デバイス 3 に対応する制御レジスタのアドレスに対し、データをリード又はライトすることで、対象の周辺デバイス 3 を制御することができる。

[0021] メモリ 2 は、情報処理装置の実行する各種のプログラム及びデータを格納する記憶装置である。メモリ 2 は、ランダムアクセスメモリ (RAM) またはフラッシュメモリなど任意の種類メモリを使用することができる。また、メモリ 2 は、同種または異種のメモリを複数組み合わせたものであってもよい。さらに、メモリ 2 は、リードオンメモリ (ROM) を含んでもよい。

[0022] 周辺デバイス 3 は、各種の入出力装置などのデバイスであり、情報処理装置の使用目的に応じたものが利用される。ここでは、周辺デバイス A と周辺デバイス B と周辺デバイス C との 3 つの周辺デバイスを備えている一例を示している。

[0023] バス 4 は、CPU 1 とメモリ 2 と周辺デバイス 3 とデバイスエミュレーション支援装置 5 とを互いに通信可能に接続しており、データをやり取りする伝送路である。つまり、CPU 1 から周辺デバイス 3 へのアクセスは、バス 4 を介して行われる。

[0024] デバイスエミュレーション支援装置 5 は、ゲストプログラムを実行する CPU 1 のアドレス空間へのアクセスを監視し、CPU 1 に対する例外処理を

発生させる。これにより、デバイスエミュレーション支援装置5は、エミュレーションを行うプログラム（以下エミュレーションプログラムと呼ぶ）に特定のアドレスへのアクセスを通知し、エミュレーションプログラムの実行を支援する。

[0025] なお、ゲストプログラムとは、プログラム上では存在を前提としているが、情報処理装置が備えていない周辺デバイスの一部または全てを制御するためのプログラムである。ゲストプログラムは、情報処理装置が備える周辺デバイスを制御するためのプログラムと、情報処理装置が備えていない周辺デバイスを制御するためのプログラムとを含む。なお、ゲストプログラムは、情報処理装置が備えていない周辺デバイスを制御するためのプログラムのみであってもよい。

[0026] ゲストプログラムとエミュレーションプログラムとは、メモリ2に格納されており、CPU1で実行される。ゲストプログラムをCPU1で実行する場合、存在しない周辺デバイスの制御レジスタへのアクセスをトラップし、対象のエミュレーションプログラムを実行する。これにより、存在しない周辺デバイスをソフトウェア的にエミュレーションすることができる。

[0027] デバイスエミュレーション支援装置5は、監視アドレス設定部10、アクセス監視部11、アクセス記憶部12、アクセス判断部13、例外発生部14、リードデータ設定部15及びアクセス完了部16を備えている。

[0028] 監視アドレス設定部10は、デバイスエミュレーション支援装置5が監視の対象とするアドレス範囲を保持する記憶部である。デバイスエミュレーション支援装置5は、監視アドレス設定部10に設定されたアドレス範囲へのアクセスをトラップする。つまり、監視アドレス設定部10は、エミュレーション対象の周辺デバイスに対応するアドレス範囲を保持している。より具体的には、監視アドレス設定部10は、通常の周辺デバイス3の制御レジスタと同様に、トラップ対象のアドレスの範囲を設定する制御レジスタである。

[0029] 監視アドレス設定部10に設定されるアドレス範囲としては、例えば、ア

ドレスの上限と下限とを示す値が用いられる。また、監視アドレス設定部 10 に設定されるアドレス範囲として、開始アドレスと範囲の大きさを示す値を用いてもよい。また、監視アドレス設定部 10 へのアドレス範囲の設定は、例えば、エミュレーションプログラムの初期化時に行われる。更に、トラップ対象のアクセスをより詳細に指定するために、監視アドレス設定部 10 は、アドレス範囲以外の条件をさらに設定してもよい。例えば、監視アドレス設定部 10 は、リード命令、ライト命令、またはその両方をトラップの対象にするなどの設定が可能である。

- [0030] アクセス監視部 11 は、バス 4 上に流れる信号（アクセス信号）を監視し、監視アドレス設定部 10 に設定されているアドレス範囲を含む条件に合致するアクセスの発生を検知する。この信号には、アクセス対象のアドレス、アクセスがリードであるかライトであるかを表す種別、及び、リードするデータまたはライトするデータのデータサイズなどのアクセス内容に関する情報（アクセス情報）が含まれている。そのため、アクセス監視部 11 は、バス 4 上に流れる信号を監視することで、CPU 1 による、アドレス空間へのアクセスのアクセス内容を検知することができる。また、アクセス監視部 11 は、検知した条件に合致するアクセス内容を、アクセス判断部 13 に通知する。
- [0031] アクセス記憶部 12 は、アクセス監視部 11 によって検知された、監視アドレス設定部 10 に設定されている条件に合致するアクセス内容を保持する。アクセス判断部 13 は、アクセス監視部 11 から通知されたアクセス内容を判断し、アクセス記憶部 12 への格納処理を行う。アクセス記憶部 12 には、常に監視アドレス設定部 10 に設定されている条件に合致する直前のアクセス内容が保持される。
- [0032] アクセス記憶部 12 に記憶されるアクセス内容は、少なくとも、アクセス先のアドレスと、アクセスがリードであるかライトであるかを表す種別と、アクセスがライトの場合はライトする値（データ）とを含んでいる。また、アクセス記憶部 12 に記憶されるアクセス内容は、例えば、リードまたはラ

イトするデータのサイズを示す情報を含んでもよい。さらに、CPU 1からアクセス記憶部 12に保持されている直前のアクセス内容を参照可能にするために、CPU 1のアドレス空間は、直前のアクセス内容を取得できるレジスタを有する。エミュレーションプログラムを実行するCPU 1は、このアクセス内容を参照し、周辺デバイスのエミュレーションを行う。

[0033] アクセス判断部 13は、アクセス監視部 11によって検知された、監視アドレス設定部 10に設定されている条件に合致するアクセス内容を受け取り、受け取ったアクセス内容が、アクセス記憶部 12に記憶している直前のアクセス内容（前回トラップされたアクセス内容）と同じか否かを判断する。デバイスエミュレーション支援装置 5は、CPU 1での例外の発生により、CPU 1にエミュレーションプログラムを実行させる。そして、例外処理終了後に、CPU 1は、エミュレーション対象周辺デバイスへのアクセスを発生させた命令に復帰し、その命令を再実行する。つまり、アクセス判断部 13は、取得したアクセス内容が直前のアクセス内容と異なる場合に、命令を再実行させると判断する。

[0034] 命令を再実行させると判断した場合、アクセス判断部 13は、アクセス記憶部 12に新しいアクセス内容を格納し、例外発生部 14に例外の発生を要求する。一方、命令を再実行させない、すなわち今回受け取ったアクセス内容が、直前のアクセス内容と同一であると判断した場合、アクセス判断部 13は、アクセス記憶部 12に記憶されている直前のアクセス内容を消去し、アクセス完了部 16にアクセス内容を通知する。これにより、以後は、受け取ったアクセス内容が、記憶されている直前のアクセス内容と同じであっても、当該受け取ったアクセス内容は新たなアクセスと判断されるようになる。

[0035] すなわち、アクセス判断部 13は、アクセス監視部 11によって取得されたアクセス内容を受け取り、受け取ったアクセス内容と、アクセス記憶部 12に記憶されている直前のアクセス内容とを比較する。受け取ったアクセス内容が直前のアクセス内容と異なる場合、アクセス判断部 13は、取得した

アクセス内容をアクセス記憶部 1 2 に記憶するとともに、例外発生部 1 4 に例外発生通知の送信を要求する。一方、受け取ったアクセス内容が直前のアクセス内容と同一の場合、アクセス判断部 1 3 は、アクセス記憶部 1 2 に記憶されている直前のアクセス内容を比較の対象から除外する。

[0036] なお、本実施の形態 1 では、直前のアクセス内容を消去しているが、必ずしも記憶内容そのものを消去する必要はない。直前のアクセス内容の消去とは、アクセス判断部 1 3 による比較の対象から外すことを意味する。

[0037] 例外発生部 1 4 は、アクセス判断部 1 3 によって今回のアクセス内容が前回のアクセス内容と異なると判断された場合に、アクセス判断部 1 3 から例外発生要求を受け取り、例外を発生させるための例外通知を CPU 1 に出力する。具体的には、例外発生部 1 4 は、データアポートなどの CPU 1 に例外を発生させることができる特定の信号をバス 4 に出力する。また、CPU 1 の例外発生に関係する端子に、例外発生部 1 4 を直接接続し、例外発生部 1 4 から CPU 1 に例外通知を出力する構成を用いてもよい。この例外を契機に、CPU 1 は、エミュレーションプログラムを動作させる。

[0038] リードデータ設定部 1 5 は、トラップしたアクセスがリード命令であった場合に、周辺デバイス 3 から読み出されるデータを一時的に保持する。リードデータ設定部 1 5 へのデータの設定は、エミュレーションプログラム (CPU 1) が行う。CPU 1 からデータの設定を可能とするために、CPU 1 のアドレス空間は、データを設定するレジスタを有する。

[0039] アクセス完了部 1 6 は、アクセス判断部 1 3 によって今回のアクセス内容が直前のアクセス内容と同一である、つまり命令を再実行させないと判断された場合に、アクセス判断部 1 3 から通知されるアクセス内容を受け取る。アクセス判断部 1 3 から通知されたアクセス内容に含まれる種別がリードである時、つまりゲストプログラム (CPU 1) が、存在しない周辺デバイスの制御レジスタからデータをリードするリードアクセスが発生した時、アクセス完了部 1 6 は、CPU 1 のリードアクセスを完了させる。

[0040] すなわち、アクセス完了部 1 6 は、アクセス監視部 1 1 によって監視され

るアクセスが読み出しアクセスである場合、リードデータ設定部 15 に記憶されているデータを CPU 1 に出力して読み出しアクセスを完了するよう CPU 1 に指示する。また、アクセス完了部 16 は、アクセス監視部 11 によって監視されるアクセスがデータの書き込みを表す書き込みアクセスである場合、書き込みアクセスを完了するよう CPU 1 に指示する。

[0041] 具体的には、アクセス完了部 16 は、リードデータ設定部 15 に保持されているデータを取得し、バス 4 に信号として出力する。つまり、アクセス完了部 16 は、エミュレーションプログラムが設定したデータを、存在しない周辺デバイスの制御レジスタに対するリードアクセスの結果として、ゲストプログラムに受け取らせる。

[0042] 一方、アクセス判断部 13 から通知されたアクセス内容に含まれる種別がライトである時、つまりゲストプログラム (CPU 1) が、存在しない周辺デバイスの制御レジスタにデータをライトするライトアクセスが発生した時、アクセス完了部 16 は、CPU 1 のライトアクセスを完了させる。具体的には、アクセス完了部 16 は、バス 4 にデータ受け取り完了の信号を出力する。

[0043] なお、本実施の形態 1 において、監視アドレス設定部 10 が監視アドレス記憶部の一例に相当し、アクセス監視部 11 がアクセス監視部の一例に相当し、アクセス記憶部 12 がアクセス記憶部の一例に相当し、リードデータ設定部 15 がリードデータ記憶部の一例に相当し、例外発生部 14 が例外発生部の一例に相当し、アクセス判断部 13 がアクセス判断部の一例に相当し、アクセス完了部 16 がアクセス完了部の一例に相当する。

[0044] 図 2 は、ゲストプログラムが動作している際の、デバイスエミュレーション支援装置 5 の動作を説明するためのフローチャートである。まず、CPU 1 がゲストプログラムの動作を開始し、デバイスエミュレーション支援装置 5 が処理を開始する。なお、デバイスエミュレーション支援装置 5 を備えた情報処理装置が、起動時に初期化処理を行うことで、デバイスエミュレーション支援装置 5 の処理を開始してもよい。

- [0045] まず、アクセス監視部 11 は、バス 4 上に流れる信号を監視し、アクセスが発生したか否かを判断する（ステップ S 1）。アクセスが発生していない場合（ステップ S 1 で NO）、アクセス監視部 11 は、アクセスが発生するまで、監視を継続する。アクセスが発生した場合（ステップ S 1 で YES）、アクセス監視部 11 は、発生したアクセスのアクセス内容を取得する（ステップ S 2）。
- [0046] 次に、アクセス監視部 11 は、発生したアクセスがトラップ対象のアクセスであるか否かを判断する（ステップ S 3）。すなわち、アクセス監視部 11 は、取得したアクセス内容に含まれるアドレスが、監視アドレス設定部 10 に設定されているトラップ対象のアドレス範囲に合致するか否かを判断し、アドレスが合致するアクセス（トラップ対象のアクセス）の発生を検知する。なお、監視アドレス設定部 10 に、アドレス範囲以外の条件も設定されている場合、アクセス監視部 11 は、それらの条件についても、合致しているか否かを判断する。発生したアクセスがトラップ対象のアクセスでない場合（ステップ S 3 で NO）、ステップ S 1 の処理に遷移し、処理を繰り返す。
- [0047] 一方、発生したアクセスがトラップ対象のアクセスである場合（ステップ S 3 で YES）、アクセス監視部 11 は、発生したアクセスのアクセス内容を、アクセス判断部 13 に通知する（ステップ S 4）。
- [0048] 次に、アクセス判断部 13 は、アクセス監視部 11 から通知されたアクセス内容と、アクセス記憶部 12 に記憶している直前のアクセス（前回トラップされたアクセス）のアクセス内容とを比較する。すなわち、アクセス判断部 13 は、今回発生したアクセスが、アクセス記憶部 12 に記憶している直前のアクセスと同じであるか否かを判断する（ステップ S 5）。
- [0049] なお、アクセス判断部 13 は、少なくともアクセス先のアドレスを比較しているが、アクセスが同一命令によるものかの判断に用いることができる他の情報を比較してもよい。リードするデータサイズ及びライトするデータサイズを指定できる命令セットを有する CPU の場合、データサイズを判断に

用いてもよい。また、バースト転送の可能な情報処理装置ならば、バースト転送の有無及び転送サイズを判断に用いてもよい。

- [0050] 発生したアクセスが直前のアクセスと異なっていると判断した場合（ステップS5でNO）、アクセス判断部13は、アクセス記憶部12に新しいアクセスのアクセス内容を直前のアクセスのアクセス内容として格納し、例外を発生させるための例外発生要求を例外発生部14に出力する（ステップS6）。例外発生部14は、アクセス判断部13によって出力された例外発生要求を受け取り、例外を発生させるための例外通知をCPU1に出力する（ステップS7）。
- [0051] 一方、発生したアクセスが直前のアクセスと同じであると判定した場合（ステップS5でYES）、アクセス判断部13は、命令の再実行と判断し、アクセス記憶部12に記憶されている直前のアクセスのアクセス内容を消去し、アクセス完了部16に新しいアクセスのアクセス内容を通知する（ステップS8）。
- [0052] 次に、アクセス完了部16は、アクセス判断部13によって通知されたアクセス内容が、データをメモリから読み出すリードアクセス及びデータをメモリに書き込むライトアクセスのいずれであるかを判断する（ステップS9）。
- [0053] アクセス内容がリードアクセスであると判断した場合（ステップS9で“リードアクセス”）、アクセス完了部16は、リードデータ設定部15に保持されているリードデータを取得し、取得したリードデータをバス4に出力する（ステップS10）。次に、アクセス完了部16は、再実行されたリードアクセスを完了し（ステップS11）、ステップS1の処理に戻す。これにより、ステップS1以降の処理が繰り返し実行される。
- [0054] 一方、アクセス内容がライトアクセスであると判断した場合（ステップS9で“ライトアクセス”）、アクセス完了部16は、再実行されたライトアクセスを完了し（ステップS12）、ステップS1の処理に戻す。これにより、ステップS1以降の処理が繰り返し実行される。

- [0055] なお、ゲストプログラムが動作を終了した際に、デバイスエミュレーション支援装置 5 は、アクセスの監視を終了し、図 2 に示した処理を完了する。また、デバイスエミュレーション支援装置 5 を備えた情報処理装置の起動中は、デバイスエミュレーション支援装置 5 がアクセスの監視を継続する実装でもよい。
- [0056] 図 3 は、本発明の実施の形態 1 におけるデバイスエミュレーション支援装置 5 で用いるレジスタの構成の一例を示す図である。前述したとおり、CPU 1 による処理（リード処理又はライト処理）を可能とするため、複数のレジスタが CPU 1 のアドレス空間に配置されている。
- [0057] 監視アドレス設定部 10 は、トラップ対象のアドレス範囲を設定するレジスタである。図 3 に示すように、監視アドレス設定部 10 は、対象とする監視アドレス領域の先頭アドレスと、監視アドレス領域のサイズとを組みにして保持している。監視アドレス設定部 10 は、複数の組みを保持することが可能である。
- [0058] アクセス記憶部 12 は、トラップしたアクセスのアクセス内容を記憶するレジスタである。アクセス記憶部 12 は、アクセスが発生してから完了するまで、処理中のアクセスのアクセス内容を保持している。図 3 に示すように、アクセス記憶部 12 は、アクセス内容として、アクセス先のアドレスと、リードアクセスであるかライトアクセスであるかを表すアクセス種別と、アクセス種別がライトアクセスである場合のライトする値（ライトデータ）とを記憶している。
- [0059] リードデータ設定部 15 は、トラップしたアクセスがリードアクセスである場合に、CPU 1 にリードさせるデータ（リードデータ）を設定するレジスタである。
- [0060] なお、アクセス記憶部 12 のライトデータと、リードデータ設定部 15 のリードデータとは、CPU 1 によるバーストリード処理及びバーストライト処理に対応するため、バースト転送の最大サイズまでのレジスタ数を設けている。

- [0061] 図4は、本実施の形態1におけるデバイスエミュレーション支援装置を備えた情報処理装置のソフトウェア構成の一例を示す図である。
- [0062] 図4では、情報処理装置は、デバイスドライバ20に対応する周辺デバイスを備えていないものとする。つまり、デバイスドライバ20は、ゲストプログラムであり、存在していない周辺デバイスへアクセスする。
- [0063] 情報処理装置上で動作するアプリケーション22が、デバイスドライバ20が制御する周辺デバイスへのアクセスを発生させた際、デバイスエミュレーション支援装置5が動作する。デバイスエミュレーション支援装置5は、CPU1に例外通知を出力して、CPU1に例外を発生させる。CPU1からの例外を受けてOS21内の例外ハンドラ23が動作する。例外ハンドラ23は、発生した例外がデバイスエミュレーション支援装置5により発生したか否かを判断し、デバイスエミュレーション支援装置5によって発生した例外的場合、エミュレーションプログラム24を動作させる。
- [0064] エミュレーションプログラム24は、デバイスエミュレーション支援装置5のアクセス記憶部12から、アクセス内容を取得し、エミュレーションを行う周辺デバイスを特定し、特定した周辺デバイスに対応するエミュレーションを行う。これにより、情報処理装置は、ゲストプログラムであるデバイスドライバ20をそのまま利用できる。したがって、例えばアプリケーション22がデバイスドライバ20の仕様に依存するものであっても、デバイスドライバ20との依存関係を改変することなく情報処理装置を動作させることができる。
- [0065] 図5は、本実施の形態1におけるデバイスエミュレーション支援装置を備えた情報処理装置のソフトウェア構成の第1の変形例を示す図である。
- [0066] 図5では、情報処理装置は、デバイスドライバ20に対応する周辺デバイスを備えていないものとする。ゲストプログラム25は、デバイスドライバ20と、OS21と、アプリケーション22とを含む。つまり、備えている周辺デバイスが互いに異なるハードウェアを前提に作られたソフトウェアのシステム全体がゲストプログラムとなる。図5では、情報処理装置は、周辺

デバイスのエミュレーションを制御する仮想化層 26 を有しており、仮想化層 26 は、例外制御部 27 を備えている。

[0067] 情報処理装置上で動作するアプリケーション 22 が、デバイスドライバ 20 が制御する周辺デバイスへのアクセスを発生させた際、デバイスエミュレーション支援装置 5 は、CPU 1 に例外通知を出力して、CPU 1 に例外を発生させる。CPU 1 は、例外通知を受け取ると、仮想化層 26 の例外制御部 27 に対して例外処理の実行を指示する。仮想化層 26 は、CPU 1 からの例外処理の実行指示を受けて、例外制御部 27 を最初に動作させる。

[0068] 例外制御部 27 は、発生した例外がデバイスエミュレーション支援装置 5 により発生したか否かを判断する。デバイスエミュレーション支援装置 5 によって発生した例外の場合、例外制御部 27 は、エミュレーションプログラム 24 を動作させる。デバイスエミュレーション支援装置 5 によって発生した例外でない場合、例外制御部 27 は、OS 21 内の例外ハンドラ 23 へ制御を移す。これにより、ゲストプログラム 25 内のデバイスドライバ 20 が周辺デバイスにアクセスした時に、エミュレーションプログラム 24 が動作する。

[0069] 図 6 は、本実施の形態 1 におけるデバイスエミュレーション支援装置を備えた情報処理装置のソフトウェア構成の第 2 の変形例を示す図である。

[0070] 図 6 では、情報処理装置は、デバイスドライバ 20 に対応する周辺デバイスを備えていないものとする。また、仮想化層 26 は、複数の仮想計算機を制御する。この仮想化層 26 は、ハイパバイザーと呼ばれており、一つの物理的な計算機の上で複数の仮想的な計算機（仮想計算機）を実行制御する。図 6 では、情報処理装置は、第 1 の仮想計算機 28 及び第 2 の仮想計算機 29 を備える。第 1 の仮想計算機 28 がゲストプログラムとして動作する。第 2 の仮想計算機 29 は、エミュレーションプログラム 24 を実行する。

[0071] 仮想化層 26 は、エミュレーションプログラム 24 を実行する第 2 の仮想計算機 29 と、ゲストプログラム 25 を実行する第 1 の仮想計算機 28 とを時分割で動作させる機能を有する。更に、仮想化層 26 は、例外制御部 27

を備えている。

- [0072] 情報処理装置上で動作するアプリケーション22が、デバイスドライバ20が制御する周辺デバイスへのアクセスを発生させた際、デバイスエミュレーション支援装置5は、CPU1に例外通知を出力して、CPU1に例外を発生させる。CPU1は、例外通知を受け取ると、仮想化層26の例外制御部27に対して例外処理の実行を指示する。仮想化層26は、CPU1からの例外処理の実行指示を受けて、例外制御部27を最初に動作させる。
- [0073] 例外制御部27は、発生した例外がデバイスエミュレーション支援装置5により発生したか否かを判断する。デバイスエミュレーション支援装置5によって発生した例外の場合、例外制御部27は、エミュレーションプログラム24を動作させる。デバイスエミュレーション支援装置5によって発生した例外でない場合、例外制御部27は、OS21内の例外ハンドラ23へ制御を移す。これにより、ゲストプログラム25内のデバイスドライバ20が周辺デバイスにアクセスした時に、エミュレーションプログラム24が動作する。
- [0074] なお、周辺デバイスには、DMA、デコードエンジン及びエンコードエンジンのように、CPUと平行して動作するものがある。このような周辺デバイスをエミュレーションする場合、ゲストプログラムの実行と、周辺デバイスのエミュレーションによるデータの処理とを並行して行うのが望ましい。図6に示すソフトウェア構成を用いる場合、ゲストプログラム25とエミュレーションプログラム24とを時分割的に並行して動作させることが可能となる。
- [0075] 図7は、本発明の実施の形態1におけるデバイスエミュレーション支援装置を備えた情報処理装置のリードアクセス時のエミュレーション処理の一例を示すフローチャートである。図7では、リードアクセスのエミュレーションについて示している。
- [0076] CPU1は、ゲストプログラムを実行し、エミュレーション対象である周辺デバイスのアドレス領域、つまり仮想的な制御レジスタからデータを読み

出すリードアクセスを実行する（ステップS 2 1）。

[0077] 次に、デバイスエミュレーション支援装置 5 は、このリードアクセスの発生を検知することでリードアクセスのアクセス内容をトラップし、トラップしたアクセス内容をアクセス記憶部 1 2 に記憶する（ステップS 2 2）。次に、デバイスエミュレーション支援装置 5 は、CPU 1 に例外を発生させる（ステップS 2 3）。なお、ステップS 2 2 の処理は、前述した図 2 のステップS 1 ~ S 5 の処理に相当し、ステップS 2 3 の処理は、前述した図 2 のステップS 6 ~ S 7 の処理に相当する。

[0078] なお、ここで発生する例外は、ステップS 2 1 のリードアクセスが発生したタイミングで、例外ハンドラ 2 3 と例外制御部 2 7 とへ制御を移し、かつ、アクセスを発生させた命令を無効化する性質を有する必要がある。データアポート例外は、前述した性質を持つ例外であることが多い。デバイスエミュレーション支援装置 5 は、CPU 1 の仕様において、前述した性質を有する例外を発生させる。

[0079] 次に、例外ハンドラ 2 3 又は例外制御部 2 7 は、CPU 1 からの例外処理の実行指示を受け、発生した例外がデバイスエミュレーション支援装置 5 により発生した例外と判断し、エミュレーションプログラム 2 4 を呼び出す（ステップS 2 4）。なお、エミュレーションプログラム 2 4 を呼び出す方法の例は、既に、図 4 ~ 図 6 のソフトウェア構成の例で示している。

[0080] 次に、CPU 1 は、呼び出されたエミュレーションプログラム 2 4 を実行し、トラップしたアクセス内容を取得する（ステップS 2 5）。具体的には、エミュレーションプログラム 2 4 を実行したCPU 1 は、アクセス記憶部 1 2 の制御レジスタから、アクセス先のアドレスを含むアクセス内容を取得する。

[0081] 次に、エミュレーションプログラム 2 4 を実行したCPU 1 は、取得したアクセス内容を用いて、存在しない周辺デバイスのエミュレーション処理を実行する（ステップS 2 6）。エミュレーションプログラム 2 4 を実行したCPU 1 は、ゲストプログラムを実行することによって発行されたリードア

クセスのアクセス内容を取得済みなので、取得した情報（リードアクセスのアクセス内容）を用いて周辺デバイスが行う処理をエミュレートし、仮想的な制御レジスタにアクセスする際にリードされるべきリードデータを用意する。

[0082] 次に、エミュレーションプログラム24を実行したCPU1は、用意したリードされるべきリードデータをリードデータ設定部15に設定する（ステップS27）。そして、エミュレーションプログラム24を実行したCPU1は、周辺デバイスのエミュレーション処理を終了させる。次に、例外ハンドラ23又は例外制御部27は、ゲストプログラムを復帰させる（ステップS28）。この時、CPU1は、ゲストプログラムを再度実行することにより、ステップS21のリードアクセスを発生させた命令に復帰することになる。

[0083] すなわち、CPU1は、例外発生部14によって出力された例外発生通知を受信した場合、例外を発生することによりエミュレーション処理を実行し、その後、周辺デバイス3に出力されたアクセス信号と同じアクセス信号を再び周辺デバイス3へ出力する。

[0084] 同じ命令に復帰したので、ゲストプログラムを実行したCPU1は、再び、エミュレーション対象である周辺デバイスのアドレス領域、つまり仮想的な制御レジスタからデータを読み出すリードアクセスを実行する（ステップS29）。すなわち、ステップS29におけるリードアクセスは、ステップS21におけるリードアクセスと同じ処理である。

[0085] 次に、デバイスエミュレーション支援装置5は、このリードアクセスの発生を検知することでリードアクセスのアクセス内容をトラップし、ステップS22で記憶した直前のアクセス内容を、アクセス記憶部12から消去する（ステップS30）。つまり、トラップしたアクセス内容が、ステップS22で記憶した直前のアクセスのアクセス内容と同じなので、例外は発生しない。ステップS30の処理は、前述した図2のステップS1～S5及びS8の処理に相当する。

- [0086] 次に、デバイスエミュレーション支援装置 5 は、ステップ S 27 において設定されたリードデータをバス 4 に出力する（ステップ S 31）。ステップ S 31 の処理は、前述した図 2 のステップ S 10 の処理に相当する。
- [0087] 最後に、ゲストプログラムを実行した CPU 1 は、バス 4 に出力されたリードデータをリードアクセスの結果として受け取り、エミュレーション対象である周辺デバイスのアドレス領域からデータを読み出すリードアクセスを完了する（ステップ S 32）。
- [0088] 以上により、本実施の形態 1 のデバイスエミュレーション支援装置によれば、エミュレーションを行うソフトウェアが、トラップした命令の解析及び命令の内容の取得などの、仮想的なレジスタへのアクセスに関する処理を削減することができる。つまり、従来の技術では、仮想的なレジスタのエミュレーションをソフトウェアで行う場合、図 7 のステップ S 25 で例外を発生させた命令をソフトウェアで解析する処理が必要となる。この解析処理として、少なくとも読み出すデータの格納先を特定する処理と、特定した格納先へデータを格納する処理とが行われる。
- [0089] 一方、本実施の形態 1 では、周辺デバイスのエミュレーションを、ステップ S 27 のリードデータ設定部 15 へのデータの書き込みと、ステップ S 29 の命令再実行のオーバーヘッドとで実現している。また、リード先アドレスのインクリメント及びデクリメントなどが自動で行われる命令の場合、命令が再実行されるので、エミュレーションにおいてリード先アドレスのインクリメント及びデクリメントなどを特に処理する必要はない。
- [0090] 図 8 は、本発明の実施の形態 1 におけるデバイスエミュレーション支援装置を備えた情報処理装置のライトアクセス時のエミュレーション処理の一例を示すフローチャートである。図 8 は、ライトアクセスのエミュレーションについて示している。
- [0091] CPU 1 は、ゲストプログラムを実行し、エミュレーション対象である周辺デバイスのアドレス領域、つまり仮想的な制御レジスタにデータを書き込むライトアクセスを実行する（ステップ S 41）。

- [0092] 次に、リードアクセス時と同様に、デバイスエミュレーション支援装置 5 は、このライトアクセスの発生を検知することでライトアクセスのアクセス内容をトラップし、アクセス記憶部 12 にトラップしたアクセス内容を記憶する（ステップ S 4 2）。次に、デバイスエミュレーション支援装置 5 は、CPU 1 に例外を発生させる（ステップ S 4 3）。なお、ステップ S 4 2 の処理は、前述した図 2 のステップ S 1 ~ S 5 の処理に相当し、ステップ S 4 3 の処理は、前述した図 2 のステップ S 6 ~ S 7 の処理に相当する。
- [0093] 次に、例外ハンドラ 23 又は例外制御部 27 は、CPU 1 からの例外処理の実行指示を受け、発生した例外がデバイスエミュレーション支援装置 5 により発生した例外と判断し、エミュレーションプログラム 24 を呼び出す（ステップ S 4 4）。
- [0094] 次に、CPU 1 は、呼び出されたエミュレーションプログラム 24 を実行し、トラップしたアクセスのアクセス内容を取得する（ステップ S 4 5）。具体的には、エミュレーションプログラム 24 を実行した CPU 1 は、アクセス記憶部 12 の制御レジスタから、アクセス先のアドレスと、ライトされたデータとを含むアクセス内容を取得する。
- [0095] 次に、エミュレーションプログラム 24 を実行した CPU 1 は、取得したアクセス内容を用いて、存在しない周辺デバイスのエミュレーション処理を実行する（ステップ S 4 6）。エミュレーションプログラム 24 を実行した CPU 1 は、ゲストプログラムを実行することによって発行されたライトアクセスのアクセス内容を取得済みなので、取得した情報（ライトアクセスのアクセス内容）を用いて周辺デバイスが行う処理をエミュレートする。このステップ S 4 6 の処理は、エミュレーション対象である周辺デバイスが、CPU と平行して動作する場合、周辺デバイスの処理を開始する処理となる。つまり、DMA をエミュレーションする場合、ステップ S 4 6 の処理は、データコピーを開始する処理となる。
- [0096] 次に、エミュレーションプログラム 24 を実行した CPU 1 は、周辺デバイスのエミュレーション処理を終了させる。次に、例外ハンドラ 23 又は例

外制御部 27 は、ゲストプログラムを復帰させる（ステップ 47）。この時、リードアクセス時と同様に、CPU 1 は、ゲストプログラムを再度実行することにより、ステップ S 41 のライトアクセスを発生させた命令に復帰することになる。

[0097] 同じ命令に復帰したので、ゲストプログラムを実行した CPU 1 は、再び、エミュレーション対象である周辺デバイスのアドレス領域、つまり仮想的な制御レジスタにデータを書き込むライトアクセスを実行する（ステップ S 48）。

[0098] 次に、デバイスエミュレーション支援装置 5 は、このライトアクセスの発生を検知することでライトアクセスのアクセス内容をトラップし、ステップ S 42 で記憶した直前のアクセス内容を、アクセス記憶部 12 から消去する（ステップ S 49）。つまり、トラップしたアクセス内容が、ステップ S 42 で記憶した直前のアクセスのアクセス内容と同じなので、例外は発生しない。ステップ S 49 の処理は、前述した図 2 のステップ S 1～S 5 及び S 8 の処理に相当する。

[0099] 次に、デバイスエミュレーション支援装置 5 は、アクセスが完了したことを表すアクセス完了信号をバス 4 に出力し、このライトアクセスを無視する（ステップ S 50）。ステップ S 50 の処理は、前述した図 2 のステップ S 12 の処理に相当する。

[0100] 最後に、ゲストプログラムを実行した CPU 1 は、バス 4 に出力されたアクセス完了信号を受け取り、エミュレーション対象である周辺デバイスのアドレス領域にデータを書き込むライトアクセスを完了する（ステップ S 51）。

[0101] 以上により、本実施の形態 1 のデバイスエミュレーション支援装置によれば、エミュレーションを行うソフトウェアが、トラップした命令の解析及び命令の内容の取得などの、仮想的なレジスタへのアクセスに関する処理を削減することができる。つまり、リードアクセス時と同様に、従来の技術では、エミュレーションを行うソフトウェアが、命令を解析する処理、ライトす

るデータの格納先を特定する処理、及び、レジスタをインクリメント又はデクリメントする処理を行う必要がある。

[0102] 一方、本実施の形態 1 では、周辺デバイスのエミュレーションを、アクセス記憶部 12 からのデータの読み出しと、命令再実行のオーバーヘッドとで実現している。

[0103] 以上、本実施の形態 1 によれば、エミュレーションを行うソフトウェアが、トラップした命令の解析及び命令の内容の取得などの仮想的なレジスタへのアクセスに関する処理を削減することで、効率的な周辺デバイスのエミュレーションが可能になる。ここで削減できる処理は、アクセス内容を取得するためのソフトウェアによる命令の解析、ソフトウェアによるリード時の結果の格納、及びライト時のデータの取得といった処理である。

[0104] (実施の形態 2)

図 9 は、本発明の実施の形態 2 におけるデバイスエミュレーション支援装置を備えた情報処理装置の構成を示す図である。情報処理装置は、CPU 1、メモリ 2、周辺デバイス 3、バス 4、デバイスエミュレーション支援装置 5 及び割り込みコントローラ 6 を備えている。

[0105] CPU 1 とメモリ 2 とバス 4 とは、図 1 の構成要素と同じ機能を有している。また、周辺デバイス 3 には、割り込みを用いて制御される周辺デバイスを含んでいる。本実施の形態 2 では、周辺デバイス D と周辺デバイス E とが、割り込みを用いて制御される周辺デバイスである。

[0106] 割り込みコントローラ 6 は、バス 4 とは異なる別の回路を介して、周辺デバイス 3 の中で割り込みを用いて制御される周辺デバイス D、E と直接接続されている。割り込みコントローラ 6 は、CPU 1 への割り込み信号を発生させることで、CPU 1 に割り込み処理を行わせる。

[0107] 本実施の形態 2 のデバイスエミュレーション支援装置 5 は、監視アドレス設定部 10、アクセス監視部 11、アクセス記憶部 12、アクセス判断部 13、例外発生部 14、リードデータ設定部 15、アクセス完了部 16 及び割り込み抑制部 17 を備えている。監視アドレス設定部 10、アクセス監視部

11、アクセス記憶部12、アクセス判断部13、例外発生部14、リードデータ設定部15及びアクセス完了部16は、実施の形態1の構成要素と同じ機能を有しており、割り込み抑制部17が新規追加の構成要素である。以下、新規の構成要素である割り込み抑制部17を中心に説明する。

[0108] 周辺デバイスのエミュレーション処理の実行中、つまり図7のステップS24～S28の処理又は図8のステップS44～S47の処理の間に割り込みが発生することがある。エミュレーションプログラム24又は例外ハンドラ23が実行される段階で、CPU1を割り込み禁止にする、または、割り込みコントローラ6を操作して割り込みをマスクする。これにより、制御の複雑さが低減される。この場合、ゲストプログラムが元々割り込み禁止又は割り込みマスク状態であった場合を除き、ゲストプログラムに復帰する図7のステップS28又は図8のステップS47の段階において、割り込み禁止又は割り込みマスク状態を解除する必要がある。

[0109] 割り込み禁止又は割り込みマスクが行われている期間に割り込みが発生した場合、当該割り込みは保留された状態になる。割り込み禁止又は割り込みマスクの解除後、つまりゲストプログラムの復帰後即座に、CPU1は、割り込み信号を感知し、割り込みハンドラを実行する。つまり、図7のステップS29の処理又は図8のステップS48の処理における命令再実行の前に、割り込みハンドラ実行処理に移る。ここで、もし実行される割り込みハンドラ内に、アクセス記憶部12に記憶されている直前のアクセスと同じアクセス内容のアクセスを発生させる命令があると、このアクセス（割り込み）が命令再実行によるものと判断される虞がある。

[0110] そこで、本実施の形態2の割り込み抑制部17は、命令の再実行が完了するまで、つまり図7のステップS32の処理又は図8のステップS51の処理までの間、割り込み信号を抑制する。これにより、上記の課題を解決する。なお、本実施の形態2において、割り込み抑制部17が割り込み抑制部の一例に相当する。

[0111] 割り込み抑制部17は、バス4とは異なる別の回路を介して、割り込みコ

ントローラ6と直接接続されており、CPU1への割り込み信号を抑制させる機能を有している。なお、割り込みコントローラ6が、割り込み信号を抑制する機能を持たない場合でも、例えば図10のように割り込み信号を伝達する配線の途中に割り込み抑制部17を接続すればよい。

[0112] 図10は、本発明の実施の形態2における、割り込み抑制部と割り込みコントローラとの接続例を示す図である。割り込み抑制部17及び割り込みコントローラ6から出力される信号がレベル信号である場合、例えば、図10に示すように単純な論理積回路7を設けることにより、割り込み信号を抑制する機能を実現することが可能である。このような構成により、割り込み禁止又は割り込みマスクが解除された時点では、割り込みコントローラ6での割り込みの保留の有無にかかわらず、CPU1への割り込み信号はオフになるので、割り込みは発生しない。

[0113] また、割り込みの抑制は、例えば、割り込み抑制部17に制御レジスタを設け、当該制御レジスタの操作により開始すればよい。この場合、エミュレーションプログラムが実行されることにより割り込み抑制が開始される。あるいは、割り込み抑制部17は、アクセスをトラップしたタイミング（図7のステップS21又は図8のステップS41）で、アクセス監視部11から通知を受け、割り込み抑制を開始してもよい。

[0114] さらに、割り込み抑制部17は、アクセス記憶部12に記憶されているアクセス内容が消去された時点でCPU1から通知を受け取ることで、割り込み抑制を解除する。これにより、命令再実行の完了時に、割り込み抑制が解除される。割り込みが保留されていた場合、命令再実行の完了後に、CPU1は、割り込み信号を検知し、割り込み処理を実行する。

[0115] 以上のように、本実施の形態2では、ゲストプログラムによる、存在していない周辺デバイスの制御レジスタへのアクセスと同じアクセスを割り込みハンドラに設けることが可能となる。これにより、割り込みを用いて制御される周辺デバイスをエミュレーション対象の周辺デバイスとすることができ

[0116] (実施の形態3)

図11は、本発明の実施の形態3におけるデバイスエミュレーション支援装置を備えた情報処理装置の構成を示す図である。情報処理装置は、CPU1、メモリ2、周辺デバイス3、バス4及びデバイスエミュレーション支援装置5を備えている。

[0117] 本実施の形態3では、周辺デバイス3は、デバイスエミュレーション支援装置5に直接接続しており、デバイスエミュレーション支援装置5を介してCPU1と接続している。つまり、デバイスエミュレーション支援装置5は、CPU1と周辺デバイス3との間に配置される。なお、CPU1とメモリ2とバス4とは、図1の構成要素と同じ機能を有している。また、周辺デバイス3は、デバイスエミュレーション支援装置5を介してバス4と接続している。

[0118] 本実施の形態3のデバイスエミュレーション支援装置5は、監視アドレス設定部10、アクセス監視部31、アクセス記憶部12、アクセス判断部13、例外発生部14、リードデータ設定部15、アクセス完了部16及びバス信号制御部18を備えている。監視アドレス設定部10、アクセス記憶部12、アクセス判断部13、例外発生部14、リードデータ設定部15及びアクセス完了部16は、実施の形態1の構成要素と同じ機能を有しており、アクセス監視部31とバス信号制御部18とが実施の形態1と異なっている。以下、アクセス監視部31とバス信号制御部18とを中心に説明する。

[0119] 本実施の形態3では、CPU1からバス4に出力された信号は、まずデバイスエミュレーション支援装置5に伝達され、周辺デバイス3には伝達されない。

[0120] アクセス監視部31は、バス4上に流れる信号を監視し、監視アドレス設定部10に設定されているアドレス範囲を含む条件に合致するアクセスの発生を検知する。この信号には、アクセス対象のアドレス、アクセスがリードであるかライトであるかを表す種別、及び、リードするデータまたはライトするデータのデータサイズなどのアクセス内容に関する情報が含まれている。

。そのため、アクセス監視部 31 は、バス 4 上に流れる信号を監視することで、CPU 1 による、アドレス空間へのアクセスを検知することができる。また、アクセス監視部 31 は、検知した条件に合致するアクセス内容を、アクセス判断部 13 に通知する。さらに、アクセス監視部 31 は、条件に合致しなかったアクセス内容を、バス信号制御部 18 に通知する。

[0121] すなわち、アクセス監視部 31 は、CPU 1 から周辺デバイス 3 へのアクセスを監視し、CPU 1 から周辺デバイス 3 に向けて出力されるアクセス信号から、監視アドレス設定部 10 に記憶されているアドレスに合致するアドレスを含むアクセス内容を、アクセス記憶部 12 及びアクセス判断部 13 に出力する。また、アクセス監視部 31 は、監視アドレス設定部 10 に記憶されているアドレスに合致しないアドレスを含むアクセス内容を、バス信号制御部 18 に通知する。

[0122] バス信号制御部 18 は、CPU 1 から周辺デバイス 3 に向けて出力されるアクセス信号を受信し、受信したアクセス信号を周辺デバイス 3 に出力するか否かを判断する。バス信号制御部 18 は、アクセス監視部 31 からアクセス内容が通知された場合、当該アクセス内容を有するアクセス信号を周辺デバイス 3 に出力する。バス信号制御部 18 は、アクセス監視部 31 からアクセス内容の通知を受けて動作し、アクセスがトラップされなかった場合にのみ、CPU 1 からの信号を周辺デバイス 3 に伝達する。つまり、デバイスエミュレーション支援装置 5 によりアクセスがトラップされた場合、周辺デバイス 3 には、CPU 1 からのアクセスは発生しない。従って、実在しない仮想的な周辺デバイスの制御レジスタのアドレスが、実際に存在する周辺デバイス 3 のアドレスと重なっていた場合、バス信号制御部 18 は、CPU 1 からの信号を周辺デバイス 3 へ通知しない。そのため、周辺デバイス 3 が CPU 1 に応答することはない。

[0123] なお、本実施の形態 3 において、アクセス監視部 31 がアクセス監視部の一例に相当し、バス信号制御部 18 がバス信号制御部の一例に相当する。

[0124] 本実施の形態 3 では、上記の構成により、仮想的な周辺デバイスの制御レ

ジスタと、実在する周辺デバイス3の制御レジスタとのアドレスが同一であっても、周辺デバイスのエミュレーションが可能である。

[0125] なお、本実施の形態3において、デバイスエミュレーション支援装置5が、実施の形態2の割り込み抑制部17を更に備える構成であってもよい。

[0126] (実施の形態4)

図12は、本発明の実施の形態4におけるデバイスエミュレーション支援装置を備えた情報処理装置の構成を示す図である。情報処理装置は、第1のCPU1A、第2のCPU1B、メモリ2、周辺デバイス3、バス4及びデバイスエミュレーション支援装置5を備えている。なお、メモリ2と周辺デバイス3とバス4とは、図1の構成要素と同じ機能を有している。

[0127] 本実施の形態4の情報処理装置は、2つのCPUを備えており、デバイスエミュレーション支援装置5は、特定のCPU、例えば第1のCPU1Aにのみ例外を発生させる。

[0128] 本実施の形態4のデバイスエミュレーション支援装置5は、監視アドレス設定部10、アクセス監視部11、アクセス記憶部12、アクセス判断部13、リードデータ設定部15、アクセス完了部16及び特定CPU例外発生部19を備えている。監視アドレス設定部10、アクセス監視部11、アクセス記憶部12、アクセス判断部13、リードデータ設定部15及びアクセス完了部16は、実施の形態1の構成要素と同じ機能を有している。本実施の形態4のデバイスエミュレーション支援装置5は、実施の形態1の例外発生部14の代わりに特定CPU例外発生部19を備える。以下、新規の構成要素である特定CPU例外発生部19を中心に説明する。

[0129] 特定CPU例外発生部19は、バス4とは異なる別の回路を介して、特定のCPUである第1のCPU1Aと直接接続しており、信号を発生することで例外を通知する機能を有している。特定CPU例外発生部19は、アクセス判断部13によって今回のアクセス内容が前回のアクセス内容と異なると判断された場合に、アクセス判断部13から例外発生要求を受け取り、第1のCPU1Aに例外を発生させる。具体的には、特定CPU例外発生部19

は、第1のCPU 1Aの例外に関係する端子に直接接続し、例外を発生させるための例外通知を第1のCPU 1Aに出力する。第1のCPU 1Aは、この例外を契機に、エミュレーションプログラムを動作させることができる。特定CPU例外発生部19は、複数のCPUのうちの予め決められた特定のCPUにのみ例外通知を送信する。

[0130] なお、本実施の形態4において、特定CPU例外発生部19が例外発生部の一例に相当する。

[0131] 図13は、本実施の形態4におけるデバイスエミュレーション支援装置を備えた情報処理装置のソフトウェアの構成の一例を示す図である。

[0132] 図13では、情報処理装置は、デバイスドライバ20に対応する周辺デバイスを備えていないものとし、デバイスドライバ20と、OS 21と、アプリケーション22とが、ゲストプログラム25であるとする。また、例外の発生する第1のCPU 1Aは、ゲストプログラム25と、例外制御部27を備えた仮想化層26とを実行する。一方、第2のCPU 1Bは、エミュレーションプログラム24を実行する。

[0133] 情報処理装置上で動作するアプリケーション22が、デバイスドライバ20が制御する周辺デバイスへのアクセスを発生させた際、デバイスエミュレーション支援装置5は、第1のCPU 1Aに例外通知を出力して、第1のCPU 1Aに例外を発生させる。第1のCPU 1Aは、例外通知を受け取ると、仮想化層26の例外制御部27に対して例外処理の実行を指示する。仮想化層26は、第1のCPU 1Aからの例外処理の実行指示を受けて、例外制御部27を最初に動作させる。

[0134] 例外制御部27は、発生した例外がデバイスエミュレーション支援装置5により発生したか否かを判断する。デバイスエミュレーション支援装置5によって発生した例外の場合、第1のCPU 1Aは、一般的なCPU間の通信機能などを用いて第2のCPU 1B上のエミュレーションプログラム24に通知する。第2のCPU 1Bは、周辺デバイスのエミュレーション処理を実行する。デバイスエミュレーション支援装置5によって発生した例外でない

場合、OS 21内の例外ハンドラ 23へ制御を移す。これにより、ゲストプログラム 25内のデバイスドライバ 20が周辺デバイスにアクセスした時に、エミュレーションプログラム 24が動作する。

[0135] なお、図 13では、仮想化層 26が、例外処理の実行指示を受け取り、エミュレーションプログラム 24を実行させているが、OS 21が、例外処理の実行指示を受け取り、エミュレーションプログラム 24を実行させてもよい。

[0136] また、エミュレーションプログラム 24を2つに分割し、第1のCPU 1Aは、制御レジスタへのデータのリード及びデータのライトに関するエミュレーション処理部分を実行してもよい。この場合、第1のCPU 1Aは、図 4又は図5のような構成となる。第2のCPU 1Bは、DMAによるデータ転送処理、エンコード処理及びデコード処理等の、第1のCPU 1Aと並列に動作する周辺デバイスのデータ処理部分を実行する。

[0137] 図 14は、本発明の実施の形態4におけるデバイスエミュレーション支援装置を備えた情報処理装置のソフトウェアの構成の変形例を示す図である。

[0138] 図 14において、第1のCPU 1Aは、エミュレーションプログラム 24と、例外制御部 27を備えた仮想化層 26とを実行する。一方、第2のCPU 1Bは、デバイスドライバ 20、OS 21及びアプリケーション 22を備えたゲストプログラム 25を実行する。

[0139] 図 14では、ゲストプログラム 25は、デバイスエミュレーション支援装置 5からの例外通知が入力されない第2のCPU 1Bで実行される。デバイスエミュレーション支援装置 5からの例外発生時は、第1のCPU 1Aでエミュレーションプログラム 24が実行される。

[0140] なお、図 14では、仮想化層 26が、例外処理の実行指示を受け取り、エミュレーションプログラム 24を実行させているが、第1のCPU 1AでもOSを備える構成とし、第1のCPU 1AのOSが、例外処理の実行指示を受け取り、エミュレーションプログラム 24を実行させてもよい。また、第1のCPU 1AのOSの例外ハンドラに直接エミュレーションプログラム 2

4 を実装してもよい。

[0141] 以上、本実施の形態 4 によれば、エミュレーションを行うソフトウェアが、トラップした命令の解析、及びレジスタをインクリメント又はデクリメントするなどの命令の実行に関連する整合性の維持などの仮想的な制御レジスタへのアクセスに関する処理を行なう必要がなく、周辺デバイスのエミュレーションを行うことができる。これにより、エミュレーションにおける処理量を削減することが可能となり、周辺デバイスのエミュレーションの効率を向上することができる。

[0142] なお、実施の形態 1、実施の形態 2 及び実施の形態 3 では、CPU 1 が単独である場合を示したがこれに限るものではない。OS 等の制御で複数の CPU を用いて処理を行なう情報処理装置にも、本実施の形態 1、実施の形態 2 及び実施の形態 3 のデバイスエミュレーション支援装置を用いることができる。また、実施の形態 4 でも、第 1 の CPU 1 A 又は第 2 の CPU 1 B はそれぞれ複数の CPU で構成されてもよい。

[0143] また、本実施の形態 1～4 のデバイスエミュレーション支援装置は、集積回路である LSI として実現できるが、これらは個別に 1 チップ化されてもよいし、一部又は全てを含むように 1 チップ化されてもよい。ここでは、LSI としたが、集積度の違いにより、IC、システム LSI、スーパー LSI 又はウルトラ LSI と呼称されることもある。また、集積回路化の手法は LSI に限るものではなく、専用回路又は汎用プロセッサで実現してもよい。LSI 製造後に、プログラムすることが可能な FPGA (Field Programmable Gate Array) や、LSI 内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してもよい。さらには、半導体技術の進歩又は派生する別技術により LSI に置き換わる集積回路化の技術が登場すれば、その技術を用いて機能ブロックの集積化を行ってもよい。バイオ技術の適応等が可能性としてありえる。

[0144] (実施の形態 5)

図 15 は、本発明の実施の形態 5 におけるデバイスエミュレーション支援

回路を備えた情報処理装置の構成を示す図である。図 15 に示す情報処理装置は、CPU 1、メモリ 2、周辺デバイス 3 及びデバイスエミュレーション支援回路 5 1 を備えている。

[0145] デバイスエミュレーション支援回路 5 1 は、集積回路である。デバイスエミュレーション支援回路 5 1 は、監視アドレス設定回路 1 1 0、アクセス監視回路 1 1 1、アクセス記憶回路 1 1 2、アクセス判断回路 1 1 3、例外発生回路 1 1 4、リードデータ設定回路 1 1 5 及びアクセス完了回路 1 1 6 を備えている。なお、図 15 に示す実施の形態 5 の情報処理装置において、実施の形態 1 と同じ構成については、同じ符号を付し、説明を省略する。

[0146] 実施の形態 5 における監視アドレス設定回路 1 1 0、アクセス監視回路 1 1 1、アクセス記憶回路 1 1 2、アクセス判断回路 1 1 3、例外発生回路 1 1 4、リードデータ設定回路 1 1 5 及びアクセス完了回路 1 1 6 は、それぞれ、実施の形態 1 における監視アドレス設定部 1 0、アクセス監視部 1 1、アクセス記憶部 1 2、アクセス判断部 1 3、例外発生部 1 4、リードデータ設定部 1 5 及びアクセス完了部 1 6 と同じ機能を有している。

[0147] なお、本実施の形態 5 において、監視アドレス設定回路 1 1 0 が監視アドレス記憶回路の一例に相当し、アクセス監視回路 1 1 1 がアクセス監視回路の一例に相当し、アクセス記憶回路 1 1 2 がアクセス記憶回路の一例に相当し、リードデータ設定回路 1 1 5 がリードデータ記憶回路の一例に相当し、例外発生回路 1 1 4 が例外発生回路の一例に相当し、アクセス判断回路 1 1 3 がアクセス判断回路の一例に相当し、アクセス完了回路 1 1 6 がアクセス完了回路の一例に相当する。

[0148] このように、監視アドレス設定回路 1 1 0、アクセス監視回路 1 1 1、アクセス記憶回路 1 1 2、アクセス判断回路 1 1 3、例外発生回路 1 1 4、リードデータ設定回路 1 1 5 及びアクセス完了回路 1 1 6 は、1 つの集積回路に搭載することができる。

[0149] なお、上述した具体的実施形態には以下の構成を有する発明が主に含まれている。

[0150] 本発明の一局面に係るデバイスエミュレーション支援装置は、バスを介してCPUと通信可能に接続されたデバイスエミュレーション支援装置であって、エミュレーション対象の周辺装置に対応するアドレスを監視の対象として記憶する監視アドレス記憶部と、前記CPUから前記周辺装置へのアクセスを監視し、アクセス対象である前記周辺装置に対応するアドレスを含むアクセス情報を有し、前記CPUから前記周辺装置に向けて出力されるアクセス信号から、前記監視アドレス記憶部に記憶されているアドレスに合致するアドレスを含むアクセス情報を取得するアクセス監視部と、前記アクセス監視部によって取得されたアクセス情報を記憶するアクセス記憶部と、前記アクセスがデータの読み出しを表す読み出しアクセスである場合に、前記周辺装置から読み出されるデータを一時的に記憶するリードデータ記憶部と、前記CPUに例外を発生させるための例外発生通知を前記CPUへ送信する例外発生部と、前記アクセス監視部によって取得されたアクセス情報を受け取り、受け取ったアクセス情報と、前記アクセス記憶部に記憶されている直前のアクセス情報とを比較し、受け取ったアクセス情報が直前のアクセス情報と異なる場合、前記取得したアクセス情報を前記アクセス記憶部に記憶するとともに、前記例外発生部に例外の発生を要求し、受け取ったアクセス情報が直前のアクセス情報と同一の場合、前記アクセス記憶部に記憶されている直前のアクセス情報を比較の対象から除外するアクセス判断部と、前記アクセス監視部によって監視されるアクセスが前記読み出しアクセスである場合、前記リードデータ記憶部に記憶されているデータを前記CPUに出力して前記アクセスを完了し、前記アクセス監視部によって監視されるアクセスがデータの書き込みを表す書き込みアクセスである場合、前記アクセスを完了するアクセス完了部とを備える。

[0151] 本発明の他の局面に係るデバイスエミュレーション支援方法は、エミュレーション対象の周辺装置に対応するアドレスを監視の対象として監視アドレス記憶部に記憶する監視アドレス記憶ステップと、CPUから前記周辺装置へのアクセスを監視し、アクセス対象である周辺装置に対応するアドレスを

含むアクセス情報を有し、かつ前記CPUから前記周辺装置に向けて出力されるアクセス信号から、前記監視アドレス記憶部に記憶されているアドレスに合致するアドレスを含むアクセス情報を取得するアクセス監視ステップと、前記アクセス監視ステップにおいて取得されたアクセス情報をアクセス記憶部に記憶するアクセス記憶ステップと、前記アクセスがデータの読み出しを表す読み出しアクセスである場合に、前記周辺装置から読み出されるデータをリードデータ記憶部に一時的に記憶するリードデータ記憶ステップと、前記アクセス監視ステップにおいて取得されたアクセス情報を受け取り、受け取ったアクセス情報と、前記アクセス記憶部に記憶されている直前のアクセス情報とを比較するアクセス判断ステップと、受け取ったアクセス情報が直前のアクセス情報と異なる場合、前記取得したアクセス情報を前記アクセス記憶部に記憶するとともに、前記CPUに例外を発生させるための例外発生通知を前記CPUへ送信する例外発生ステップと、受け取ったアクセス情報が直前のアクセス情報と同一の場合、前記アクセス記憶部に記憶されている直前のアクセス情報を比較の対象から除外する除外ステップと、前記アクセス監視ステップにおいて監視されるアクセスが前記読み出しアクセスである場合、前記リードデータ記憶部に記憶されているデータを前記CPUに出力して前記読み出しアクセスを完了するよう前記CPUに指示し、前記アクセス監視ステップにおいて監視されるアクセスがデータの書き込みを表す書き込みアクセスである場合、前記書き込みアクセスを完了するよう前記CPUに指示するアクセス完了ステップとを含む。

- [0152] 本発明の他の局面に係るデバイスエミュレーション支援回路は、例外を発生することによりエミュレーション処理を実行するCPUとバスを介して通信可能に接続されたデバイスエミュレーション支援回路であって、エミュレーション対象の周辺装置に対応するアドレスを監視の対象として記憶する監視アドレス記憶回路と、前記CPUから前記周辺装置へのアクセスを監視し、アクセス対象である周辺装置に対応するアドレスを含むアクセス情報を有し、かつ前記CPUから前記周辺装置に向けて出力されるアクセス信号から

、前記監視アドレス記憶回路に記憶されているアドレスに合致するアドレスを含むアクセス情報を取得するアクセス監視回路と、前記アクセス監視回路によって取得されたアクセス情報を記憶するアクセス記憶回路と、前記アクセスがデータの読み出しを表す読み出しアクセスである場合に、前記周辺装置から読み出されるデータを一時的に記憶するリードデータ記憶回路と、前記CPUに例外を発生させるための例外発生通知を前記CPUへ送信する例外発生回路と、前記アクセス監視回路によって取得されたアクセス情報を受け取り、受け取ったアクセス情報と、前記アクセス記憶回路に記憶されている直前のアクセス情報とを比較し、受け取ったアクセス情報が直前のアクセス情報と異なる場合、前記取得したアクセス情報を前記アクセス記憶回路に記憶するとともに、前記例外発生回路に前記例外発生通知の送信を要求し、受け取ったアクセス情報が直前のアクセス情報と同一の場合、前記アクセス記憶回路に記憶されている直前のアクセス情報を比較の対象から除外するアクセス判断回路と、前記アクセス監視回路によって監視されるアクセスが前記読み出しアクセスである場合、前記リードデータ記憶回路に記憶されているデータを前記CPUに出力して前記読み出しアクセスを完了するよう前記CPUに指示し、前記アクセス監視回路によって監視されるアクセスがデータの書き込みを表す書き込みアクセスである場合、前記書き込みアクセスを完了するよう前記CPUに指示するアクセス完了回路とを備える。

[0153] 本発明の他の局面に係る情報処理装置は、CPUと、前記CPUによって制御される周辺装置と、前記CPUから出力されたアクセス信号を前記周辺装置に伝達するバスと、上記のいずれかに記載のデバイスエミュレーション支援装置とを備える。

[0154] これらの構成によれば、監視アドレス記憶部には、エミュレーション対象の周辺装置に対応するアドレスが監視の対象として記憶される。CPUから周辺装置へのアクセスが監視され、アクセス対象である周辺装置に対応するアドレスを含むアクセス情報を有し、かつCPUから周辺装置に向けて出力されるアクセス信号から、監視アドレス記憶部に記憶されているアドレスに

合致するアドレスを含むアクセス情報が取得される。アクセス記憶部には、取得されたアクセス情報が記憶される。また、リードデータ記憶部には、アクセスがデータの読み出しを表す読み出しアクセスである場合に、周辺装置から読み出されるデータが一時的に記憶される。取得されたアクセス情報を受け取り、受け取ったアクセス情報と、アクセス記憶部に記憶されている直前のアクセス情報とが比較される。受け取ったアクセス情報が直前のアクセス情報と異なる場合、取得したアクセス情報がアクセス記憶部に記憶されるとともに、CPUに例外を発生させるための例外発生通知がCPUへ送信される。一方、受け取ったアクセス情報が直前のアクセス情報と同一の場合、アクセス記憶部に記憶されている直前のアクセス情報が比較の対象から除外される。監視されるアクセスが読み出しアクセスである場合、リードデータ記憶部に記憶されているデータがCPUに出力されて読み出しアクセスを完了するようCPUに指示される。また、監視されるアクセスがデータの書き込みを表す書き込みアクセスである場合、書き込みアクセスを完了するようCPUに指示される。

[0155] すなわち、受け取ったアクセス情報が、アクセス記憶部に記憶されている直前のアクセス情報と異なる場合、CPUに例外を発生させることによりエミュレーション処理を実行させる。一方、受け取ったアクセス情報が、アクセス記憶部に記憶されている直前のアクセス情報と同一の場合、例外の終了に伴うアクセスの再実行と見なし、アクセスが読み出しアクセスである場合、所定のデータをCPUに出力した後、読み出しアクセスを完了するようCPUに指示し、アクセスが書き込みアクセスである場合、そのまま書き込みアクセスを完了するようCPUに指示する。

[0156] したがって、エミュレーションを行うCPUによって、トラップしたアクセスの内容を解析して必要なデータを取得する処理が行われないので、エミュレーションする際の処理量を削減することができ、効率的に周辺装置のエミュレーションを行うことができる。

[0157] また、上記のデバイスエミュレーション支援装置において、前記アクセス

記憶部が前記アクセス判断部において比較の対象となる前記直前のアクセス情報を記憶している間、前記CPUへの割り込みを抑制する割り込み抑制部をさらに備えることが好ましい。

[0158] この構成によれば、比較の対象となる直前のアクセス情報がアクセス記憶部に記憶されている間、CPUへの割り込みが抑制される。

[0159] すなわち、エミュレーションの途中で、アクセス記憶部に記憶されている直前のアクセス情報と同じアクセス情報を有するアクセスが割り込み処理として実行された場合、例外の終了に伴うアクセスの再実行と見なされてしまう。

[0160] そこで、比較の対象となる直前のアクセス情報がアクセス記憶部に記憶されている間、CPUへの割り込みが抑制されるので、割り込みにより制御される周辺装置をエミュレーション対象の周辺装置とすることができる。

[0161] また、上記のデバイスエミュレーション支援装置において、前記CPUから前記周辺装置に向けて出力される前記アクセス信号を受信し、受信した前記アクセス信号を前記周辺装置に出力するか否かを判断するバス信号制御部をさらに備え、前記アクセス監視部は、前記監視アドレス記憶部に記憶されているアドレスに合致しないアドレスを含むアクセス情報を、前記バス信号制御部に通知し、前記バス信号制御部は、前記アクセス監視部から前記アクセス情報が通知された場合、当該アクセス情報を有する前記アクセス信号を前記周辺装置に出力することが好ましい。

[0162] この構成によれば、バス信号制御部は、CPUから周辺装置に向けて出力されるアクセス信号を受信する。そして、監視アドレス記憶部に記憶されているアドレスに合致しないアドレスを含むアクセス情報が、バス信号制御部に通知される。バス信号制御部は、アクセス情報が通知された場合、当該アクセス情報を有するアクセス信号を周辺装置に出力する。

[0163] したがって、CPUからエミュレーション対象でない周辺装置へ送られるアクセス信号のみが周辺装置へ出力されるので、エミュレーション対象である周辺装置のアドレスと、実在する周辺装置のアドレスとが同じ場合であっ

ても、確実にエミュレーションを行うとともに、実在する周辺装置を制御することができる。

[0164] また、上記のデバイスエミュレーション支援装置において、前記CPUは、複数のCPUを含み、前記例外発生部は、前記複数のCPUのうちの予め決められた特定のCPUにのみ前記例外発生通知を送信することが好ましい。

[0165] この構成によれば、複数のCPUのうちの予め決められた特定のCPUにのみ例外発生通知が送信されるので、特定のCPUにおいて、例外を発生させることによりエミュレーションを行わせると同時に、他のCPUにおいて、他のプログラムを実行させることができる。

[0166] また、上記のデバイスエミュレーション支援装置において、前記アクセス情報は、アクセス対象である前記周辺装置に対応するアドレスと、前記アクセスが前記読み出しアクセス及び前記書き込みアクセスのいずれであるかを表すアクセス種別と、前記アクセス種別が前記書き込みアクセスである場合に前記周辺装置に書き込まれる値とを少なくとも含むことが好ましい。

[0167] この構成によれば、アクセス情報に含まれるアドレスを用いて、CPUからエミュレーション対象である周辺装置へのアクセスを特定することができ、アクセス情報に含まれるアクセス種別を用いて、アクセスが読み出しアクセス及び書き込みアクセスのいずれであるかを特定することができる。また、アクセス情報に含まれる値を用いて、アクセス種別が書き込みアクセスである場合に周辺装置に当該値を書き込むことができる。

[0168] また、上記のデバイスエミュレーション支援装置において、前記CPUは、前記例外発生部によって出力された前記例外発生通知を受信した場合、例外を発生することによりエミュレーション処理を実行し、その後、前記周辺装置に出力された前記アクセス信号と同じアクセス信号を再び前記周辺装置へ出力することが好ましい。

[0169] この構成によれば、CPUによって、例外発生通知が受信された場合、例外を発生することによりエミュレーション処理が実行され、その後、周辺装

置に出力されたアクセス信号と同じアクセス信号が再び周辺装置へ出力される。

[0170] したがって、最初のアクセス信号が出力されることにより、エミュレーション処理が実行され、最初のアクセス信号と同じアクセス信号が再び出力されることにより、読み出しアクセスに対応するデータがCPUに送られ、アクセスが完了されるので、CPUが周辺装置にアクセスすることなく、エミュレーション処理を行うことができる。

[0171] なお、発明を実施するための形態の項においてなされた具体的な実施態様または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する特許請求事項との範囲内で、種々変更して実施することができるものである。

産業上の利用可能性

[0172] 本発明に係るデバイスエミュレーション支援装置、デバイスエミュレーション支援方法、デバイスエミュレーション支援回路及び情報処理装置は、例えば、大型計算機又はパーソナルコンピュータのような形態のみならず、各種の家電機器、携帯電話のような通信機器、産業機器又は乗用機器などにも利用可能である。

請求の範囲

[請求項1]

例外を発生することによりエミュレーション処理を実行するCPUとバスを介して通信可能に接続されたデバイスエミュレーション支援装置であって、

エミュレーション対象の周辺装置に対応するアドレスを監視の対象として記憶する監視アドレス記憶部と、

前記CPUから前記周辺装置へのアクセスを監視し、アクセス対象である周辺装置に対応するアドレスを含むアクセス情報を有し、かつ前記CPUから前記周辺装置に向けて出力されるアクセス信号から、前記監視アドレス記憶部に記憶されているアドレスに合致するアドレスを含むアクセス情報を取得するアクセス監視部と、

前記アクセス監視部によって取得されたアクセス情報を記憶するアクセス記憶部と、

前記アクセスがデータの読み出しを表す読み出しアクセスである場合に、前記周辺装置から読み出されるデータを一時的に記憶するリードデータ記憶部と、

前記CPUに例外を発生させるための前記例外発生通知を前記CPUへ送信する例外発生部と、

前記アクセス監視部によって取得されたアクセス情報を受け取り、受け取ったアクセス情報と、前記アクセス記憶部に記憶されている直前のアクセス情報とを比較し、受け取ったアクセス情報が直前のアクセス情報と異なる場合、前記取得したアクセス情報を前記アクセス記憶部に記憶するとともに、前記例外発生部に前記例外発生通知の送信を要求し、受け取ったアクセス情報が直前のアクセス情報と同一の場合、前記アクセス記憶部に記憶されている直前のアクセス情報を比較の対象から除外するアクセス判断部と、

前記アクセス監視部によって監視されるアクセスが前記読み出しアクセスである場合、前記リードデータ記憶部に記憶されているデータ

を前記CPUに出力して前記読み出しアクセスを完了するよう前記CPUに指示し、前記アクセス監視部によって監視されるアクセスがデータの書き込みを表す書き込みアクセスである場合、前記書き込みアクセスを完了するよう前記CPUに指示するアクセス完了部とを備えることを特徴とするデバイスエミュレーション支援装置。

[請求項2] 前記アクセス記憶部が前記アクセス判断部において比較の対象となる前記直前のアクセス情報を記憶している間、前記CPUへの割り込みを抑制する割り込み抑制部をさらに備えることを特徴とする請求項1記載のデバイスエミュレーション支援装置。

[請求項3] 前記CPUから前記周辺装置に向けて出力される前記アクセス信号を受信し、受信した前記アクセス信号を前記周辺装置に出力するか否かを判断するバス信号制御部をさらに備え、

前記アクセス監視部は、前記監視アドレス記憶部に記憶されているアドレスに合致しないアドレスを含むアクセス情報を、前記バス信号制御部に通知し、

前記バス信号制御部は、前記アクセス監視部から前記アクセス情報が通知された場合、当該アクセス情報を有する前記アクセス信号を前記周辺装置に出力することを特徴とする請求項1又は2記載のデバイスエミュレーション支援装置。

[請求項4] 前記CPUは、複数のCPUを含み、

前記例外発生部は、前記複数のCPUのうちの予め決められた特定のCPUにのみ前記例外発生通知を送信することを特徴とする請求項1～3のいずれかに記載のデバイスエミュレーション支援装置。

[請求項5] 前記アクセス情報は、アクセス対象である前記周辺装置に対応するアドレスと、前記アクセスが前記読み出しアクセス及び前記書き込みアクセスのいずれであるかを表すアクセス種別と、前記アクセス種別が前記書き込みアクセスである場合に前記周辺装置に書き込まれる値とを少なくとも含むことを特徴とする請求項1～4のいずれかに記載

のデバイスエミュレーション支援装置。

[請求項6]

前記CPUは、前記例外発生部によって出力された前記例外発生通知を受信した場合、例外を発生することによりエミュレーション処理を実行し、その後、前記周辺装置に出力された前記アクセス信号と同じアクセス信号を再び前記周辺装置へ出力することを特徴とする請求項1～5のいずれかに記載のデバイスエミュレーション支援装置。

[請求項7]

エミュレーション対象の周辺装置に対応するアドレスを監視の対象として監視アドレス記憶部に記憶する監視アドレス記憶ステップと、

CPUから前記周辺装置へのアクセスを監視し、アクセス対象である周辺装置に対応するアドレスを含むアクセス情報を有し、かつ前記CPUから前記周辺装置に向けて出力されるアクセス信号から、前記監視アドレス記憶部に記憶されているアドレスに合致するアドレスを含むアクセス情報を取得するアクセス監視ステップと、

前記アクセス監視ステップにおいて取得されたアクセス情報をアクセス記憶部に記憶するアクセス記憶ステップと、

前記アクセスがデータの読み出しを表す読み出しアクセスである場合に、前記周辺装置から読み出されるデータをリードデータ記憶部に一時的に記憶するリードデータ記憶ステップと、

前記アクセス監視ステップにおいて取得されたアクセス情報を受け取り、受け取ったアクセス情報と、前記アクセス記憶部に記憶されている直前のアクセス情報とを比較するアクセス判断ステップと、

受け取ったアクセス情報が直前のアクセス情報と異なる場合、前記取得したアクセス情報を前記アクセス記憶部に記憶するとともに、前記CPUに例外を発生させるための例外発生通知を前記CPUへ送信する例外発生ステップと、

受け取ったアクセス情報が直前のアクセス情報と同一の場合、前記アクセス記憶部に記憶されている直前のアクセス情報を比較の対象から除外する除外ステップと、

前記アクセス監視ステップにおいて監視されるアクセスが前記読み出しアクセスである場合、前記リードデータ記憶部に記憶されているデータを前記CPUに出力して前記読み出しアクセスを完了するよう前記CPUに指示し、前記アクセス監視ステップにおいて監視されるアクセスがデータの書き込みを表す書き込みアクセスである場合、前記書き込みアクセスを完了するよう前記CPUに指示するアクセス完了ステップとを含むことを特徴とするデバイスエミュレーション支援方法。

[請求項8]

例外を発生することによりエミュレーション処理を実行するCPUとバスを介して通信可能に接続されたデバイスエミュレーション支援回路であって、

エミュレーション対象の周辺装置に対応するアドレスを監視の対象として記憶する監視アドレス記憶回路と、

前記CPUから前記周辺装置へのアクセスを監視し、アクセス対象である周辺装置に対応するアドレスを含むアクセス情報を有し、かつ前記CPUから前記周辺装置に向けて出力されるアクセス信号から、前記監視アドレス記憶回路に記憶されているアドレスに合致するアドレスを含むアクセス情報を取得するアクセス監視回路と、

前記アクセス監視回路によって取得されたアクセス情報を記憶するアクセス記憶回路と、

前記アクセスがデータの読み出しを表す読み出しアクセスである場合に、前記周辺装置から読み出されるデータを一時的に記憶するリードデータ記憶回路と、

前記CPUに例外を発生させるための例外発生通知を前記CPUへ送信する例外発生回路と、

前記アクセス監視回路によって取得されたアクセス情報を受け取り、受け取ったアクセス情報と、前記アクセス記憶回路に記憶されている直前のアクセス情報とを比較し、受け取ったアクセス情報が直前の

アクセス情報と異なる場合、前記取得したアクセス情報を前記アクセス記憶回路に記憶するとともに、前記例外発生回路に前記例外発生通知の送信を要求し、受け取ったアクセス情報が直前のアクセス情報と同一の場合、前記アクセス記憶回路に記憶されている直前のアクセス情報を比較の対象から除外するアクセス判断回路と、

前記アクセス監視回路によって監視されるアクセスが前記読み出しアクセスである場合、前記リードデータ記憶回路に記憶されているデータを前記CPUに出力して前記読み出しアクセスを完了するよう前記CPUに指示し、前記アクセス監視回路によって監視されるアクセスがデータの書き込みを表す書き込みアクセスである場合、前記書き込みアクセスを完了するよう前記CPUに指示するアクセス完了回路とを備えることを特徴とするデバイスエミュレーション支援回路。

[請求項9]

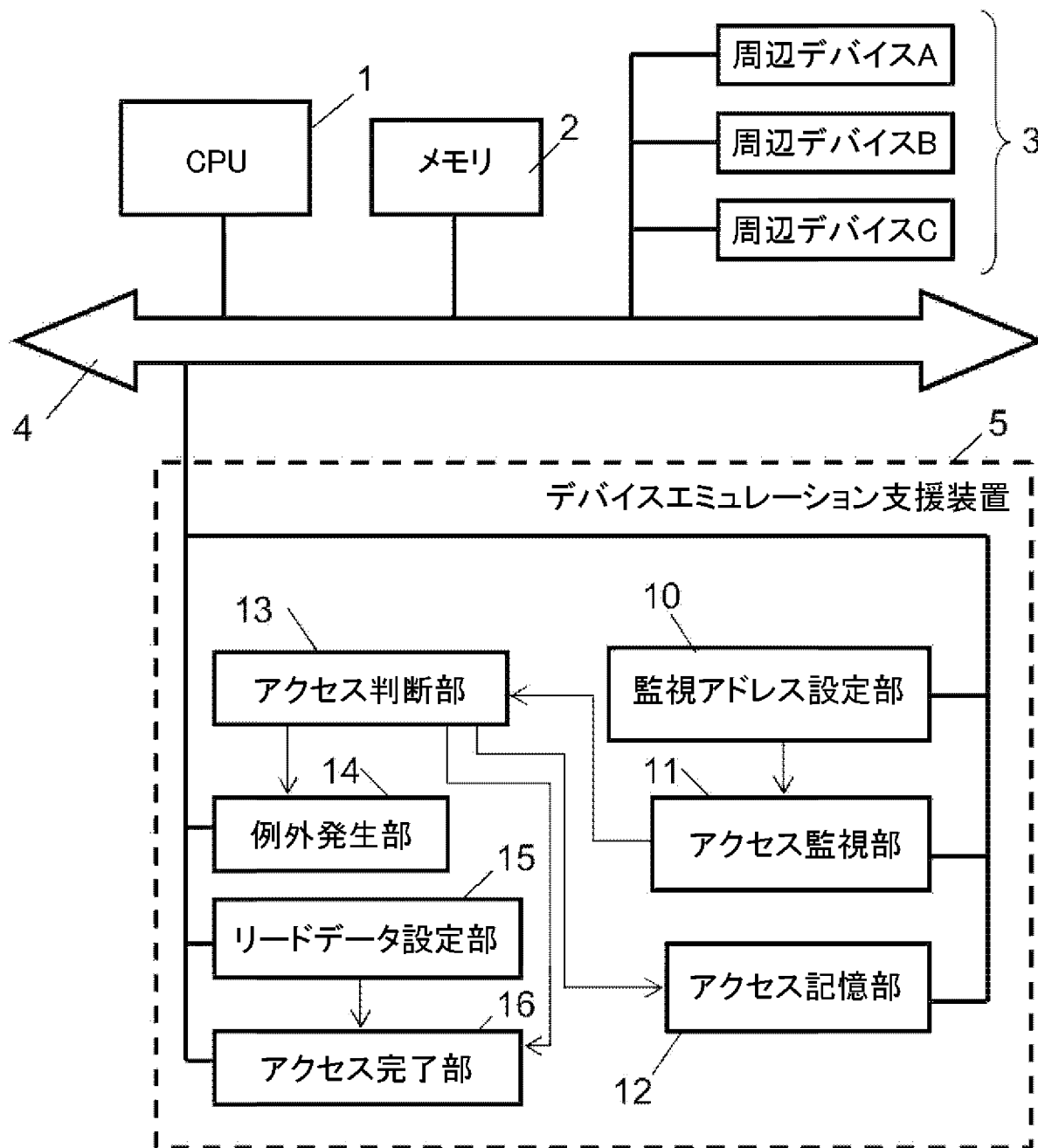
CPUと、

前記CPUによって制御される周辺装置と、

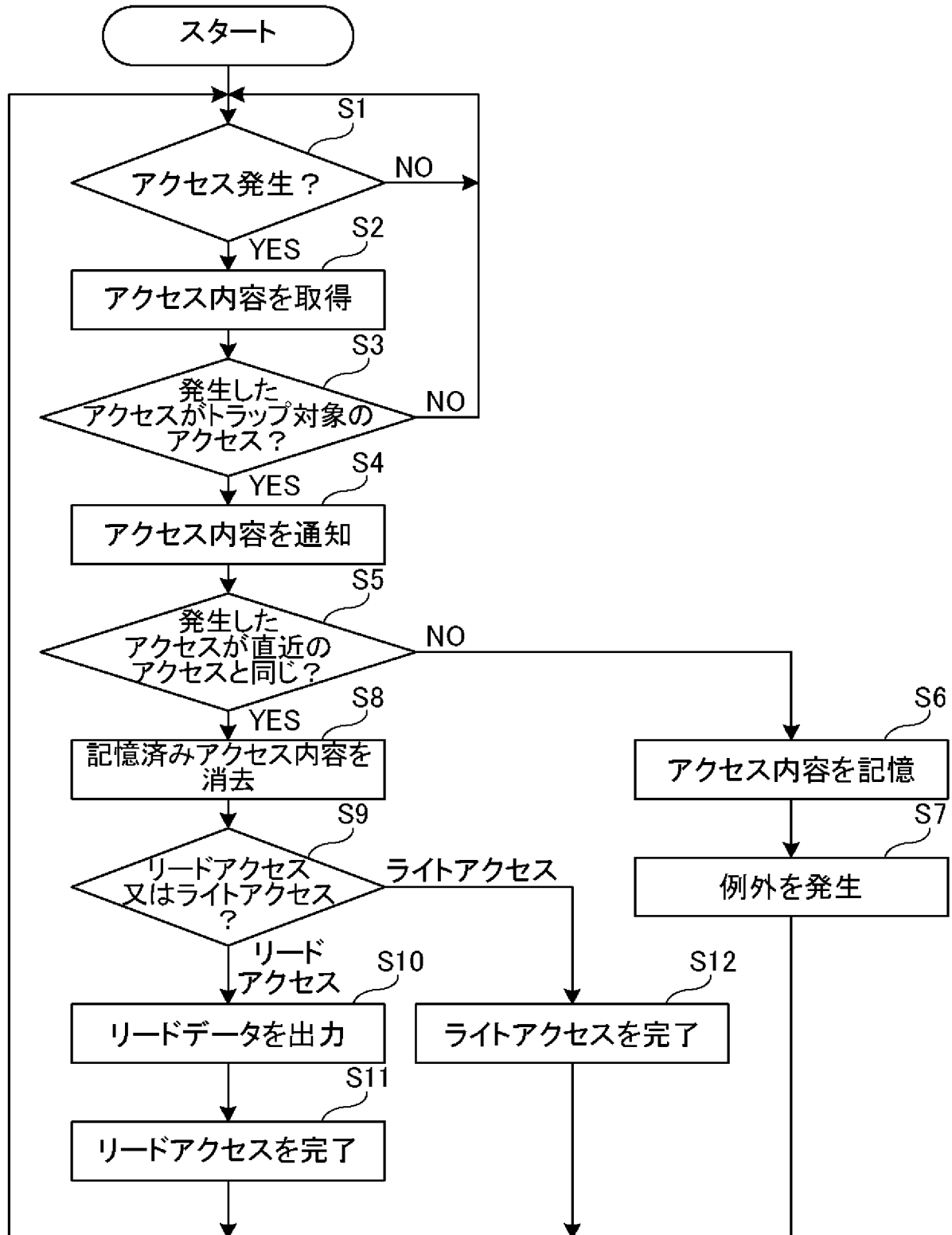
前記CPUから出力された前記アクセス信号を前記周辺装置に伝達するバスと、

請求項1～6のいずれかに記載のデバイスエミュレーション支援装置とを備えることを特徴とする情報処理装置。

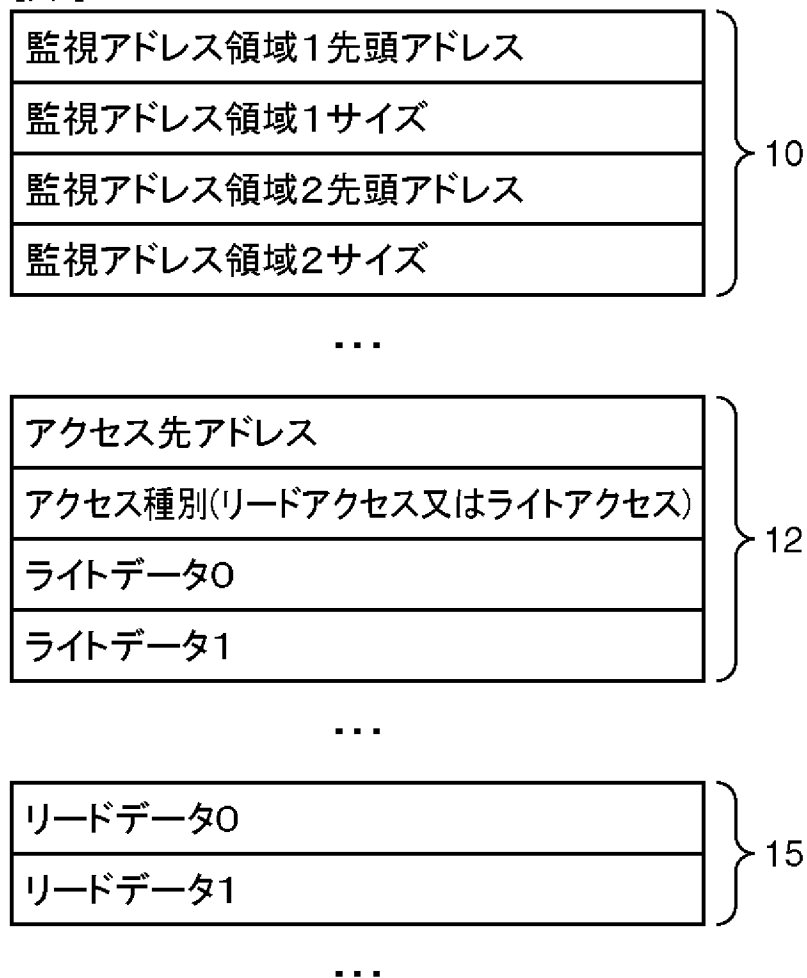
[図1]



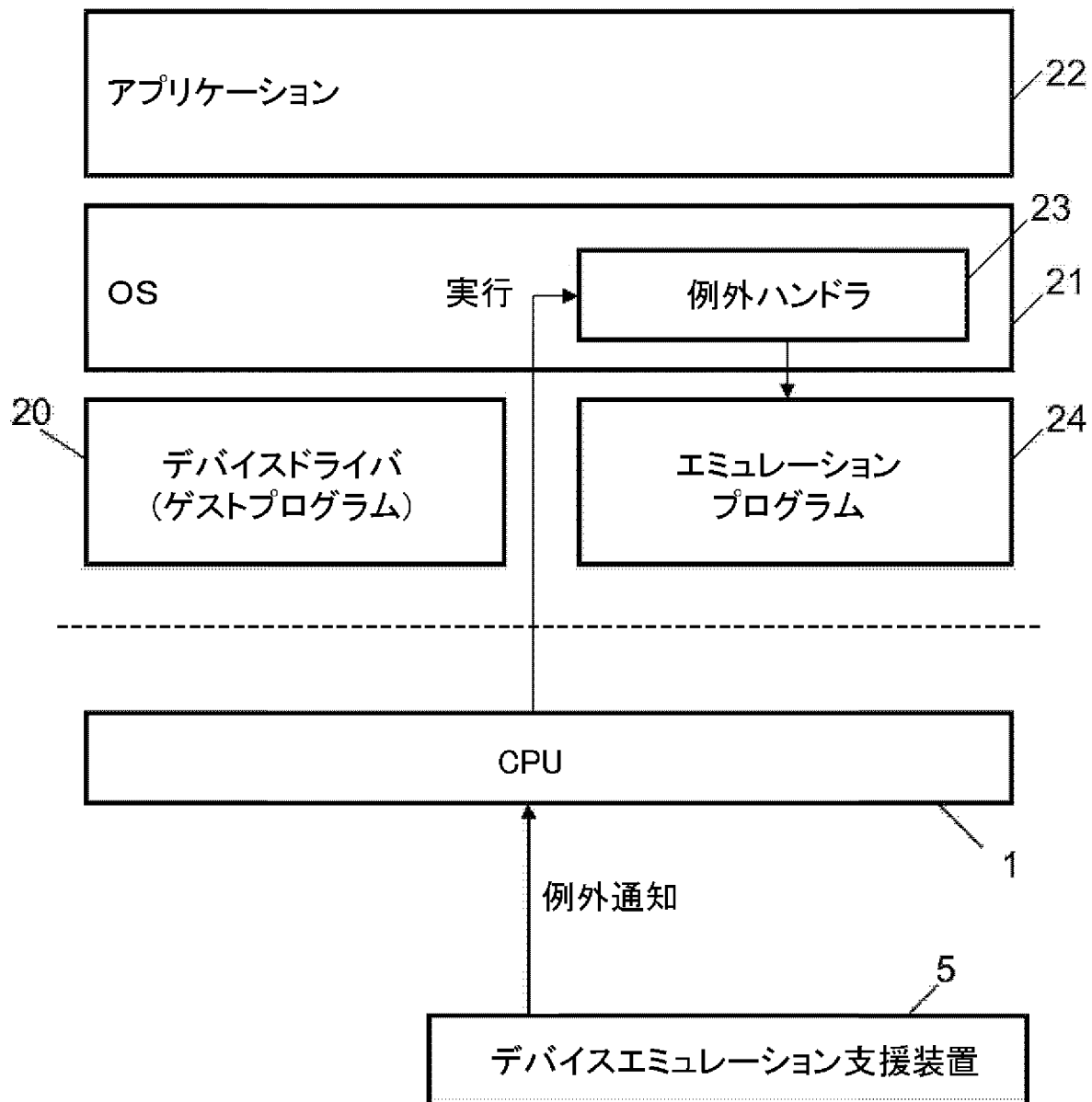
[図2]



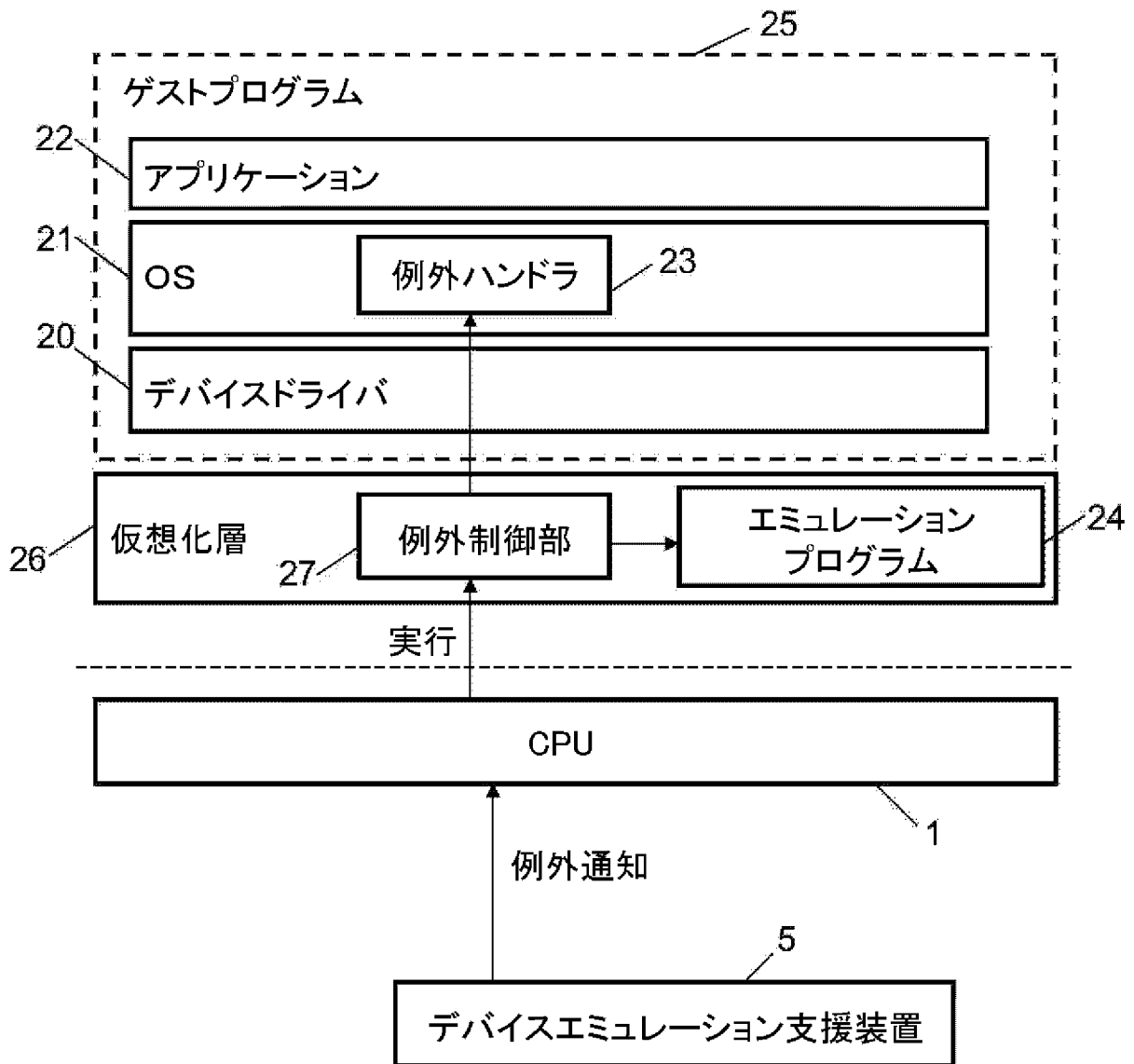
[図3]



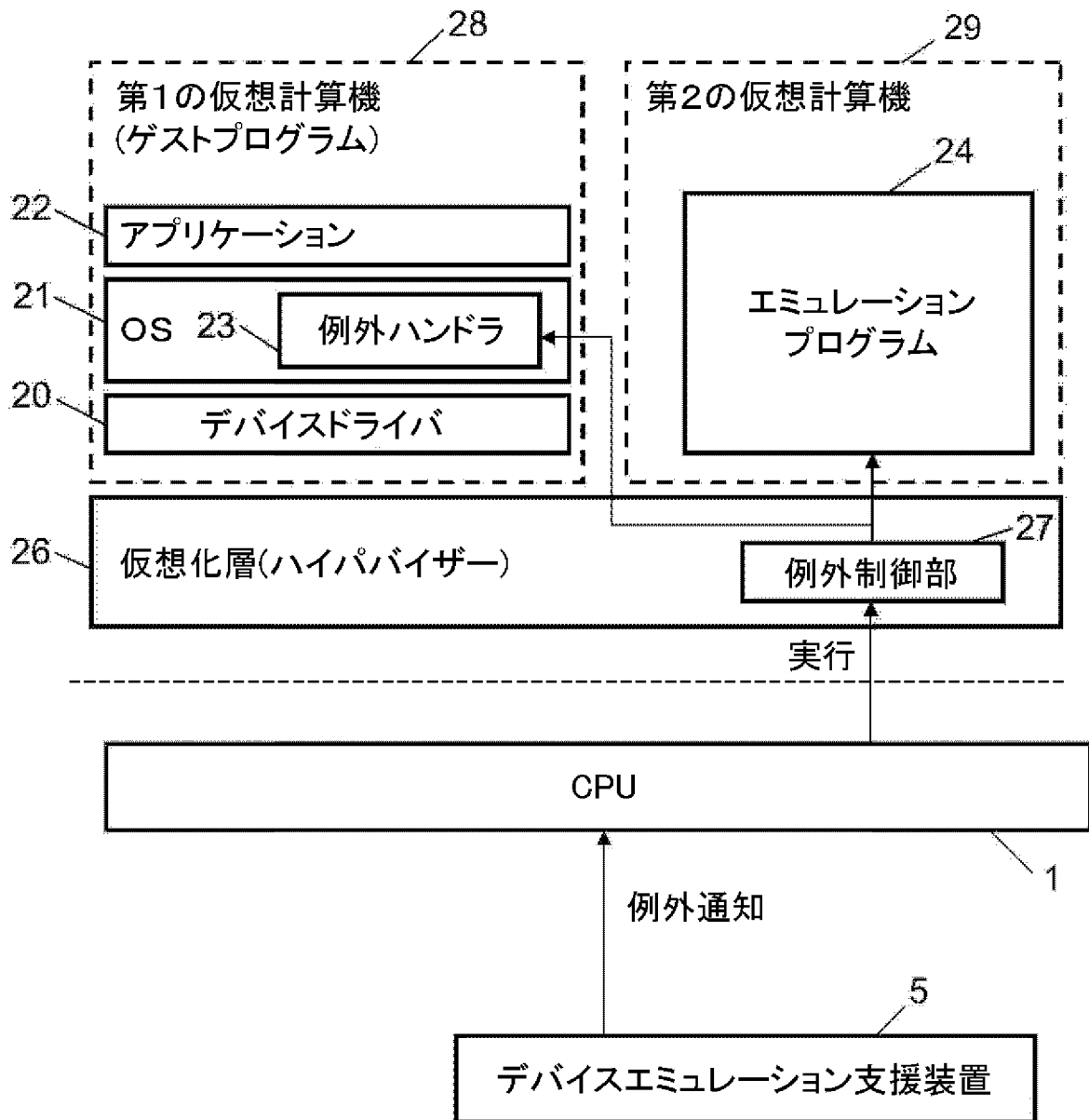
[図4]



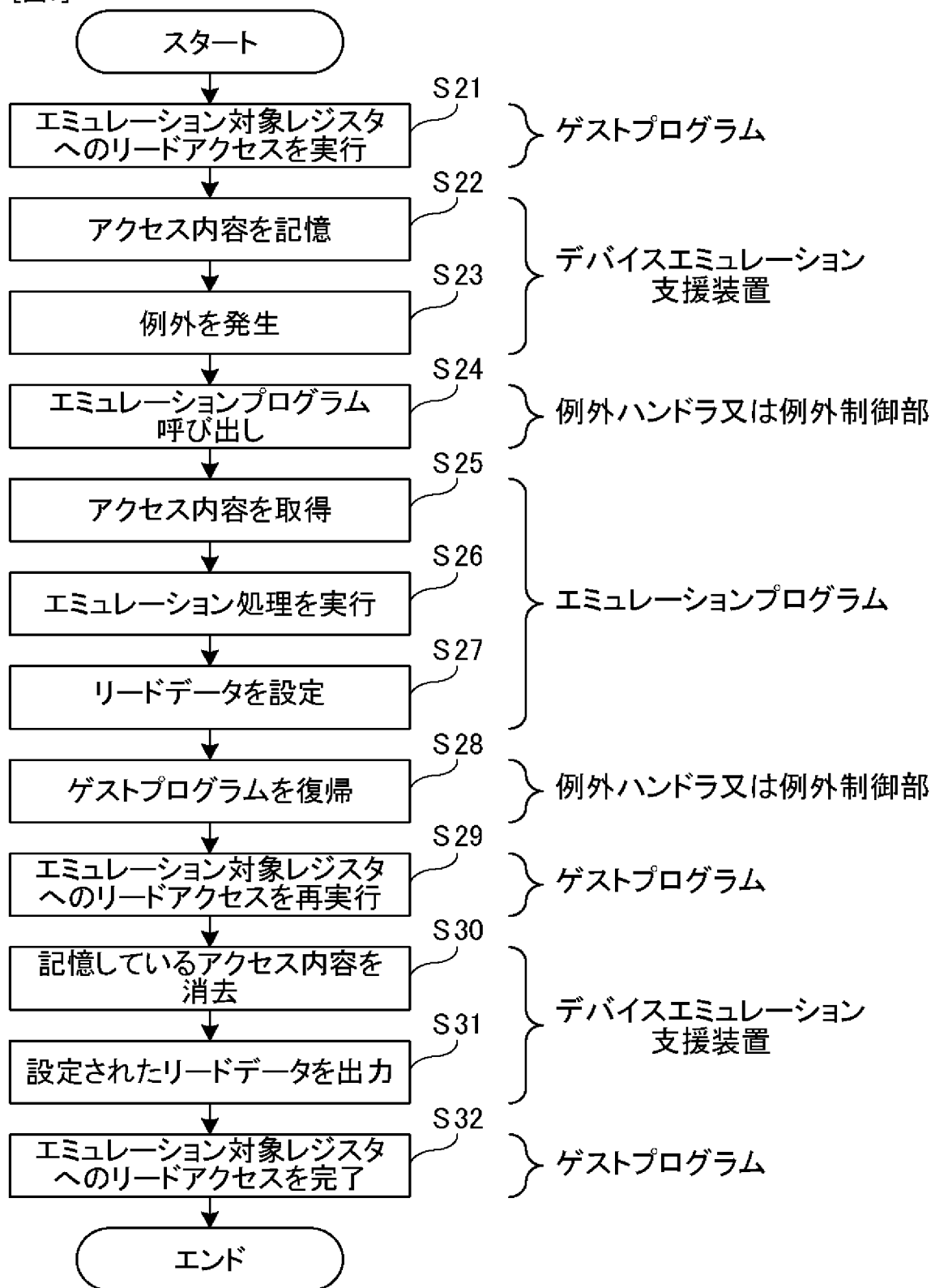
[図5]



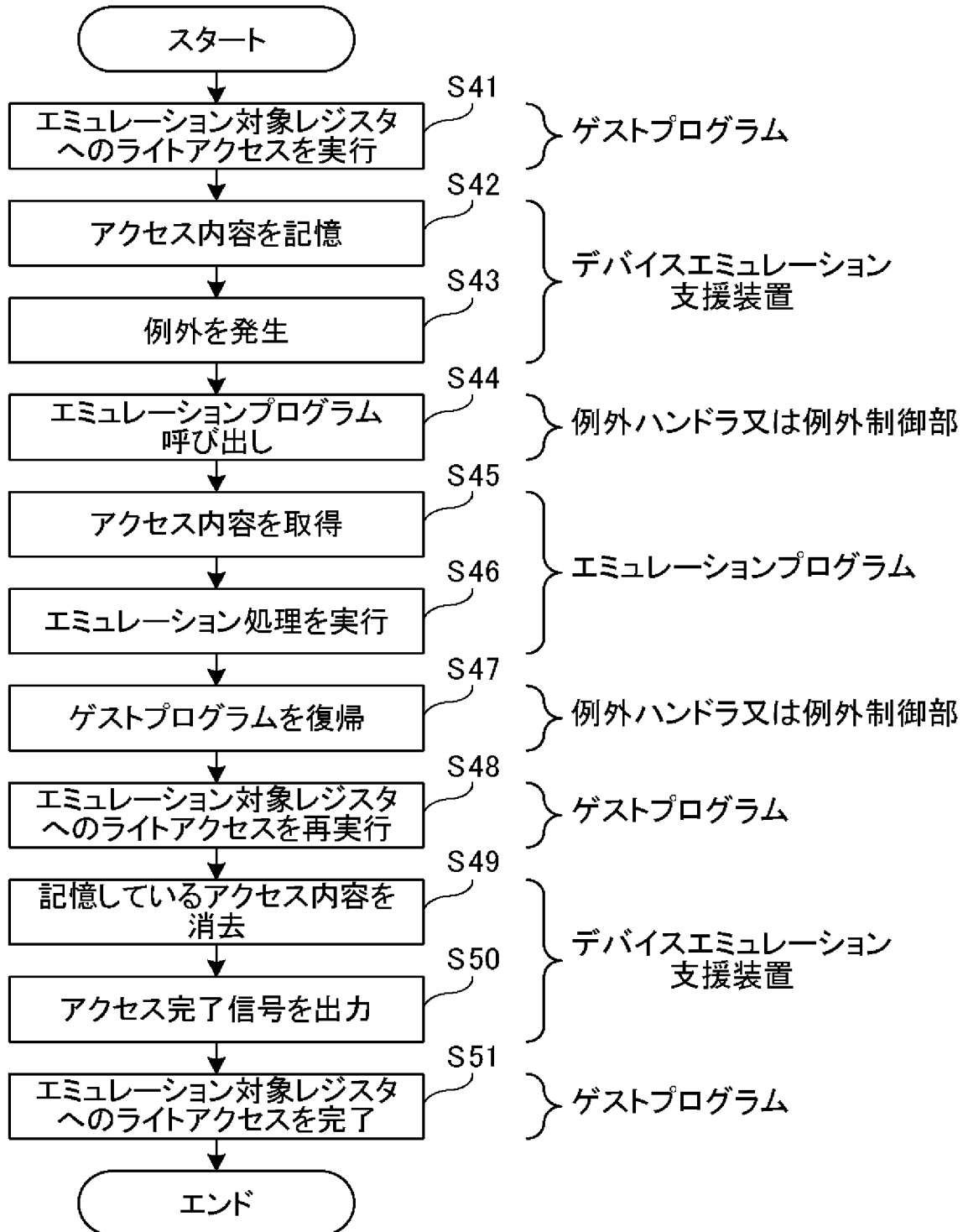
[図6]



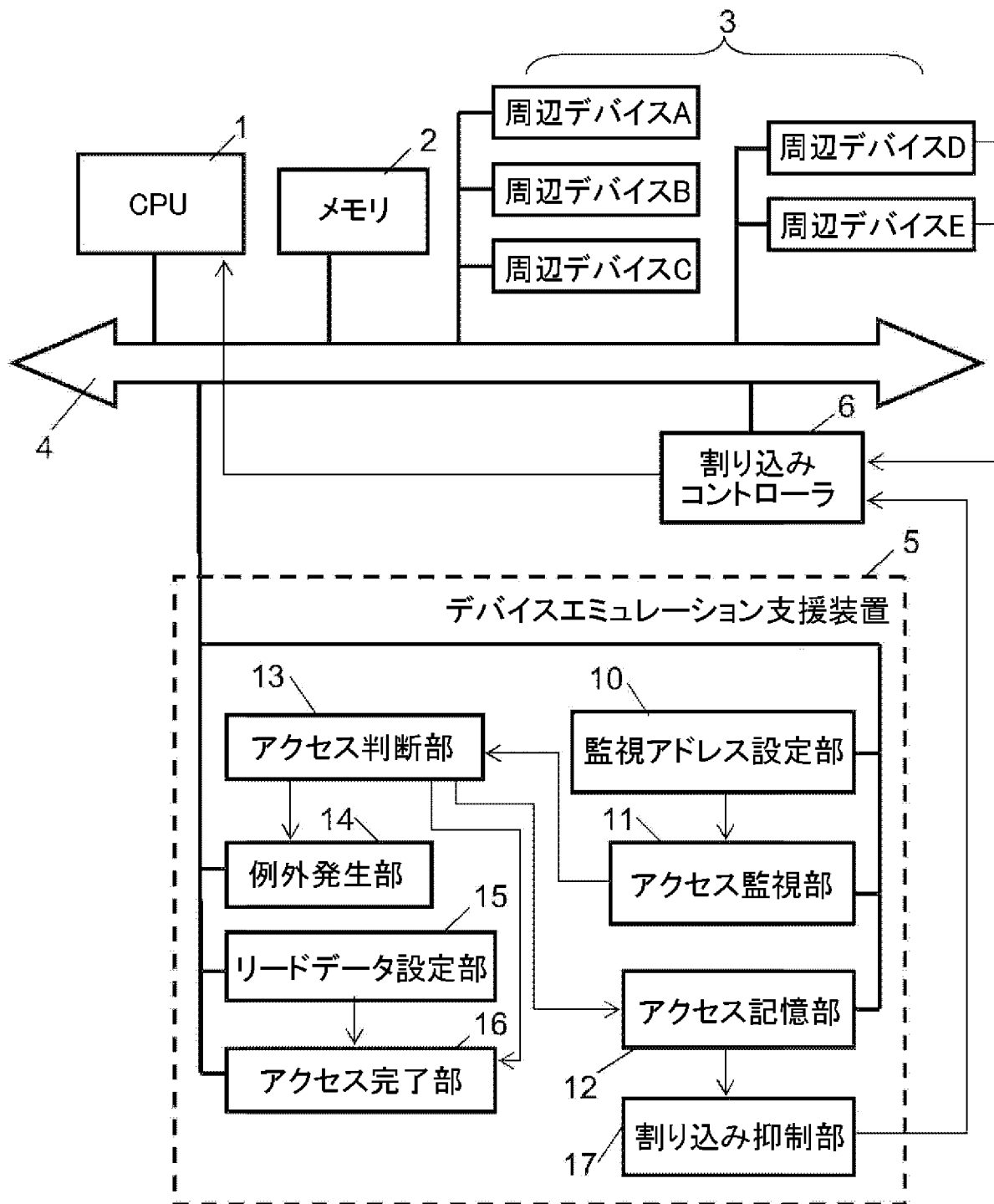
[図7]



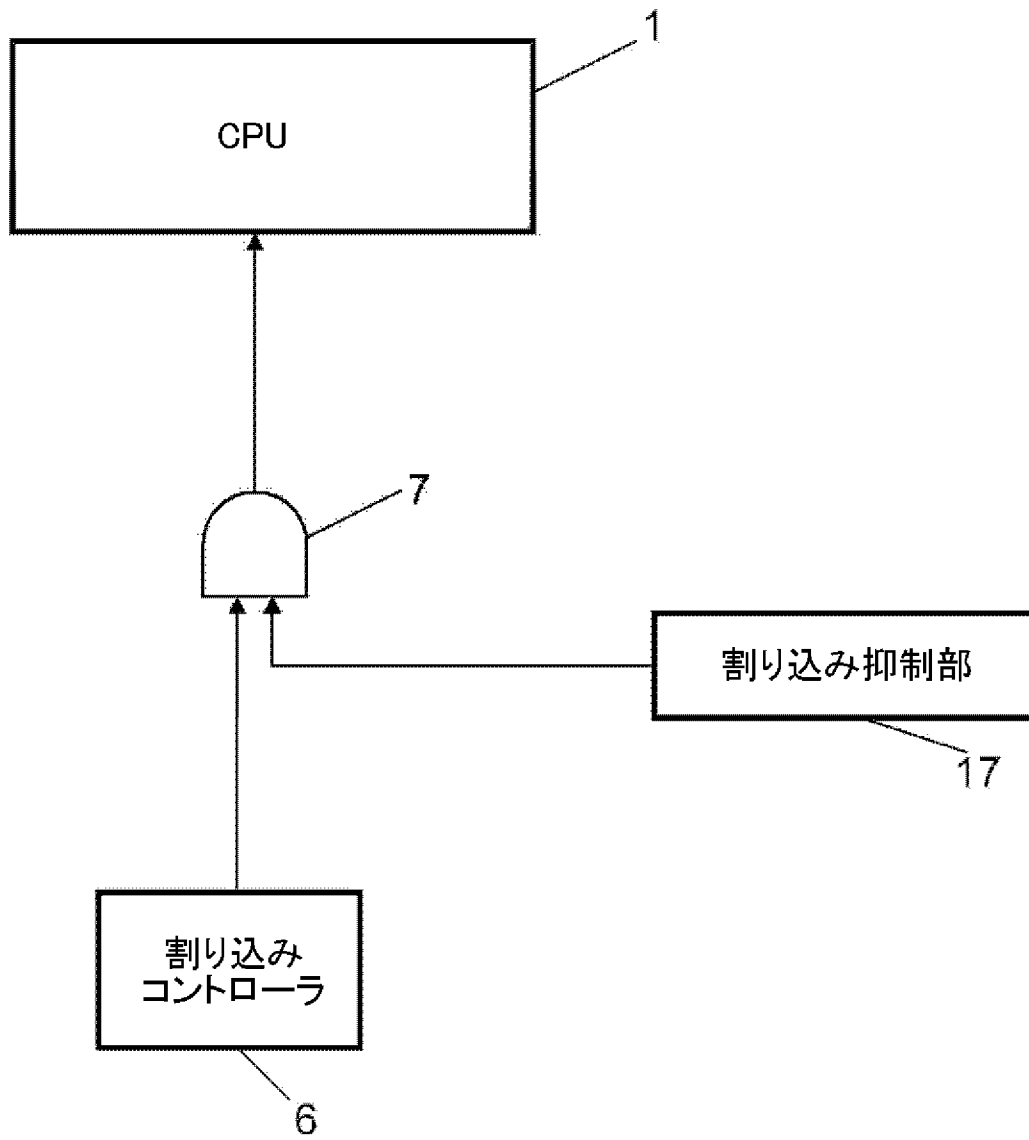
[図8]



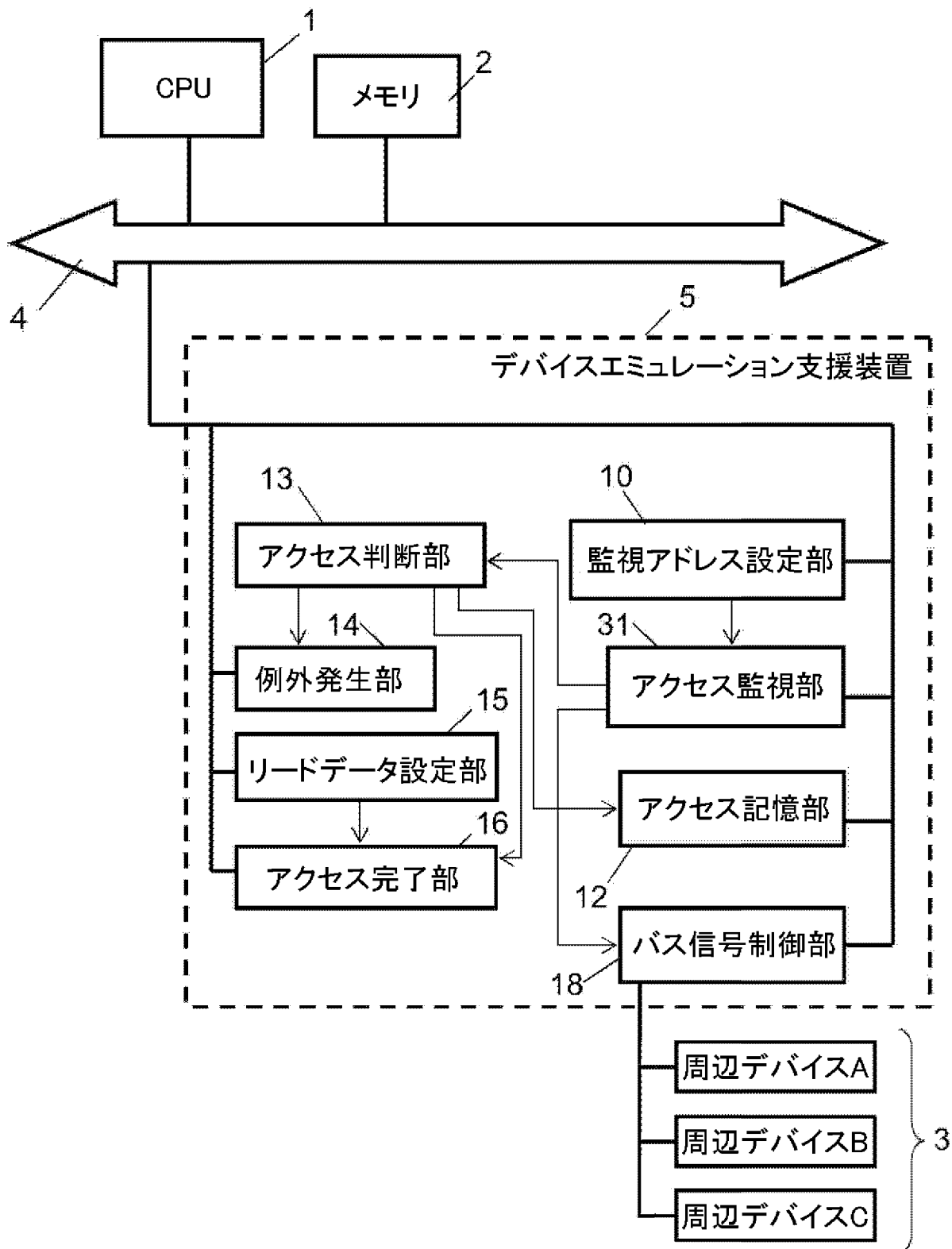
[図9]



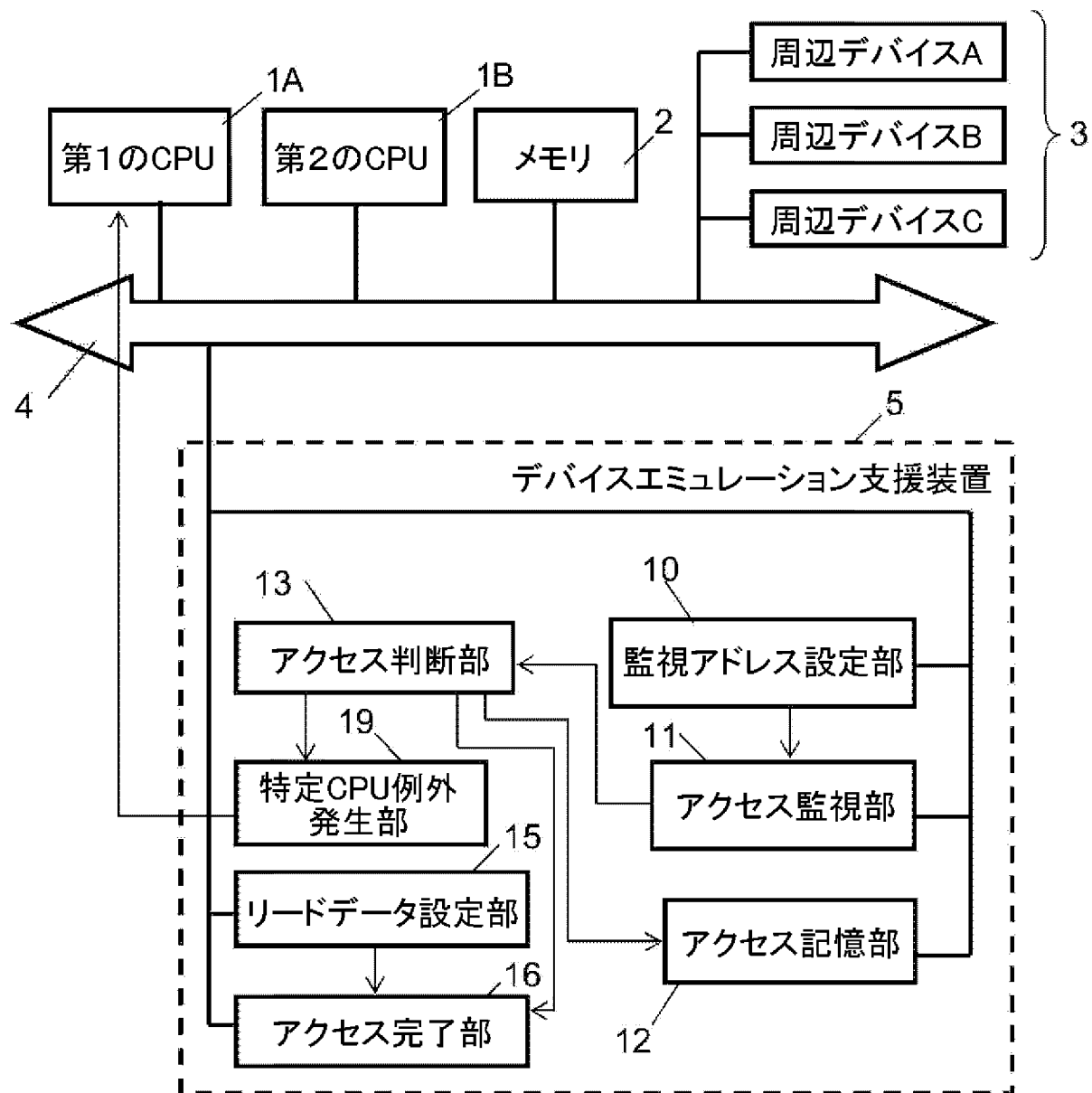
[図10]



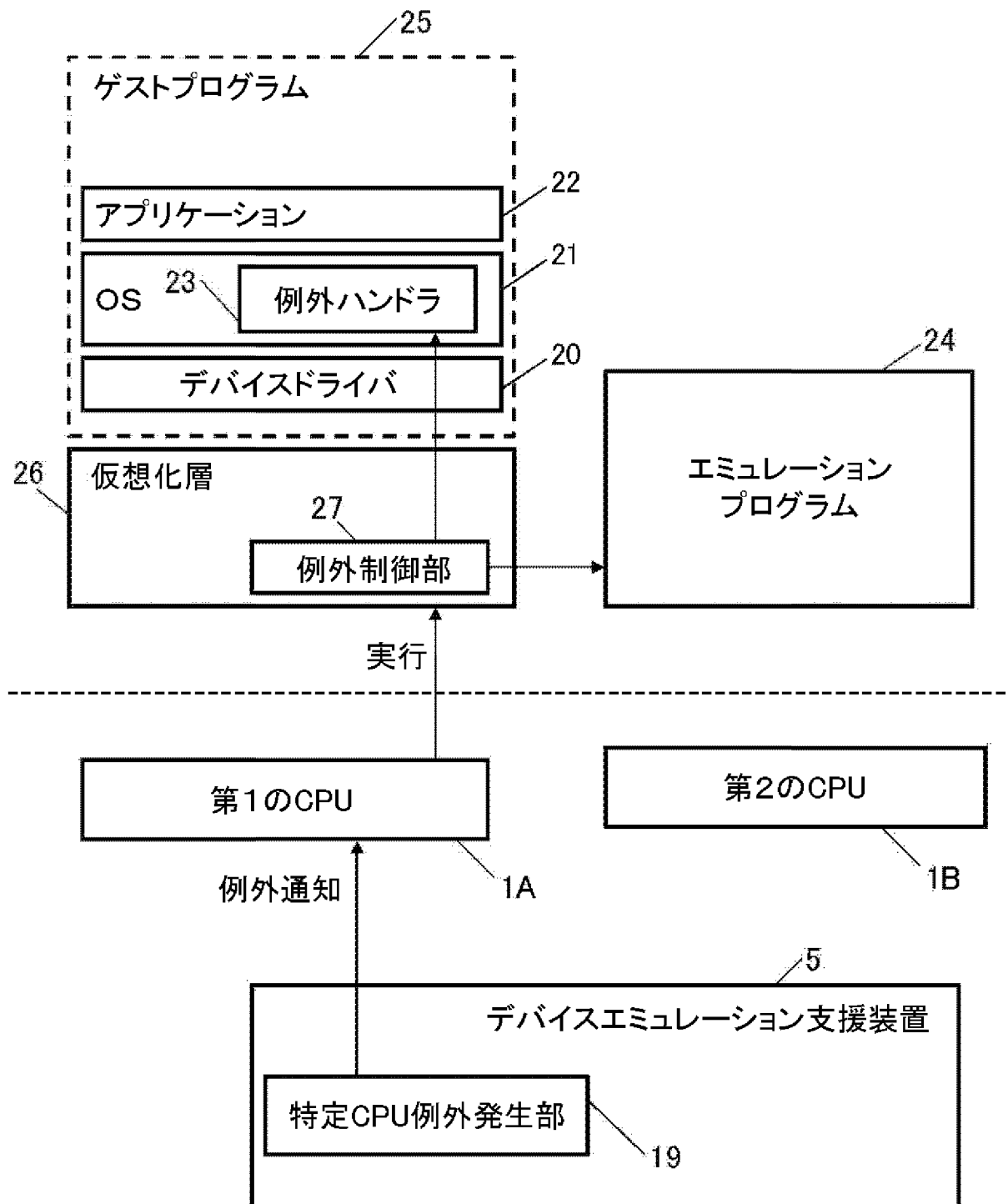
[図11]



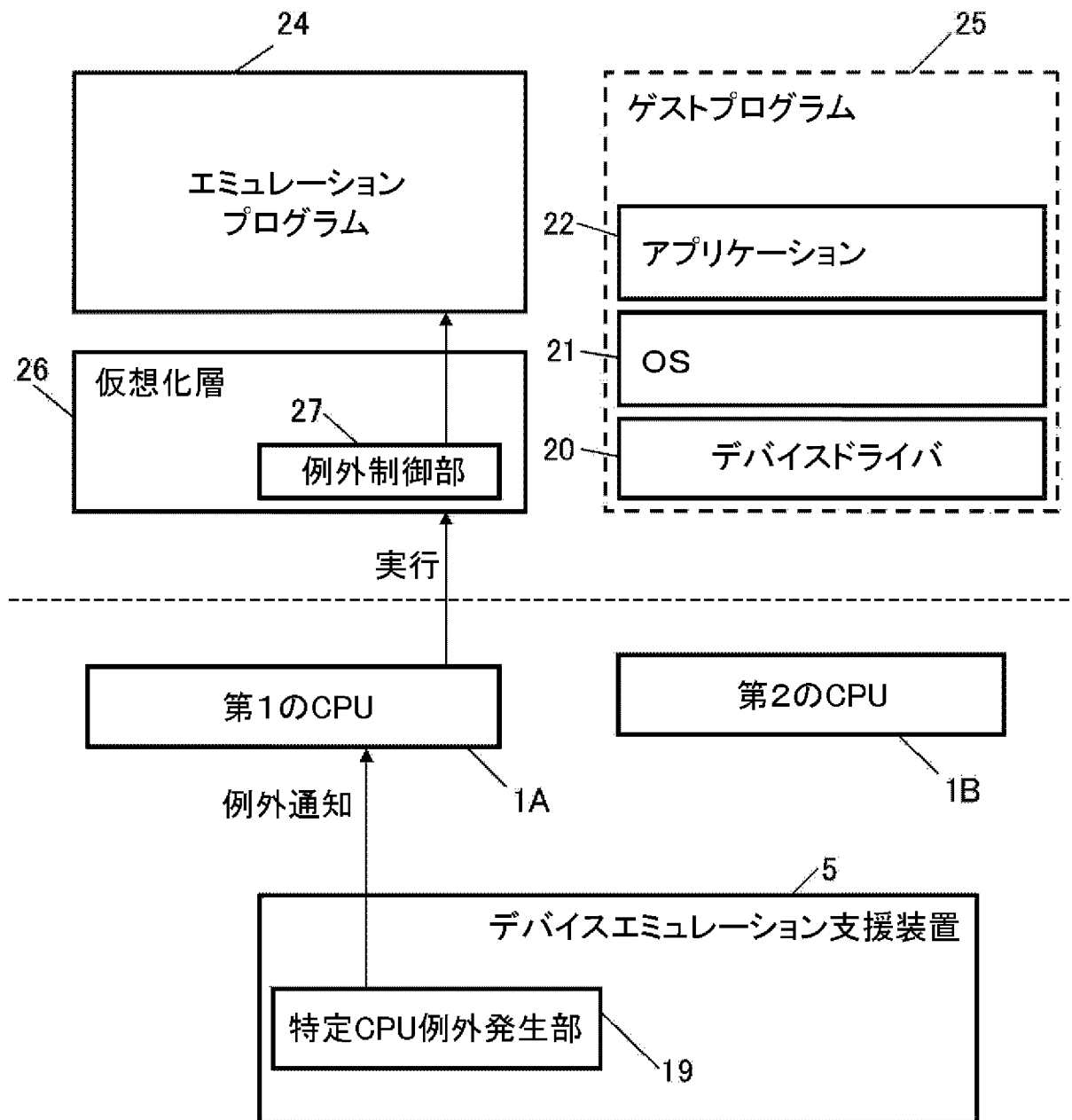
[図12]



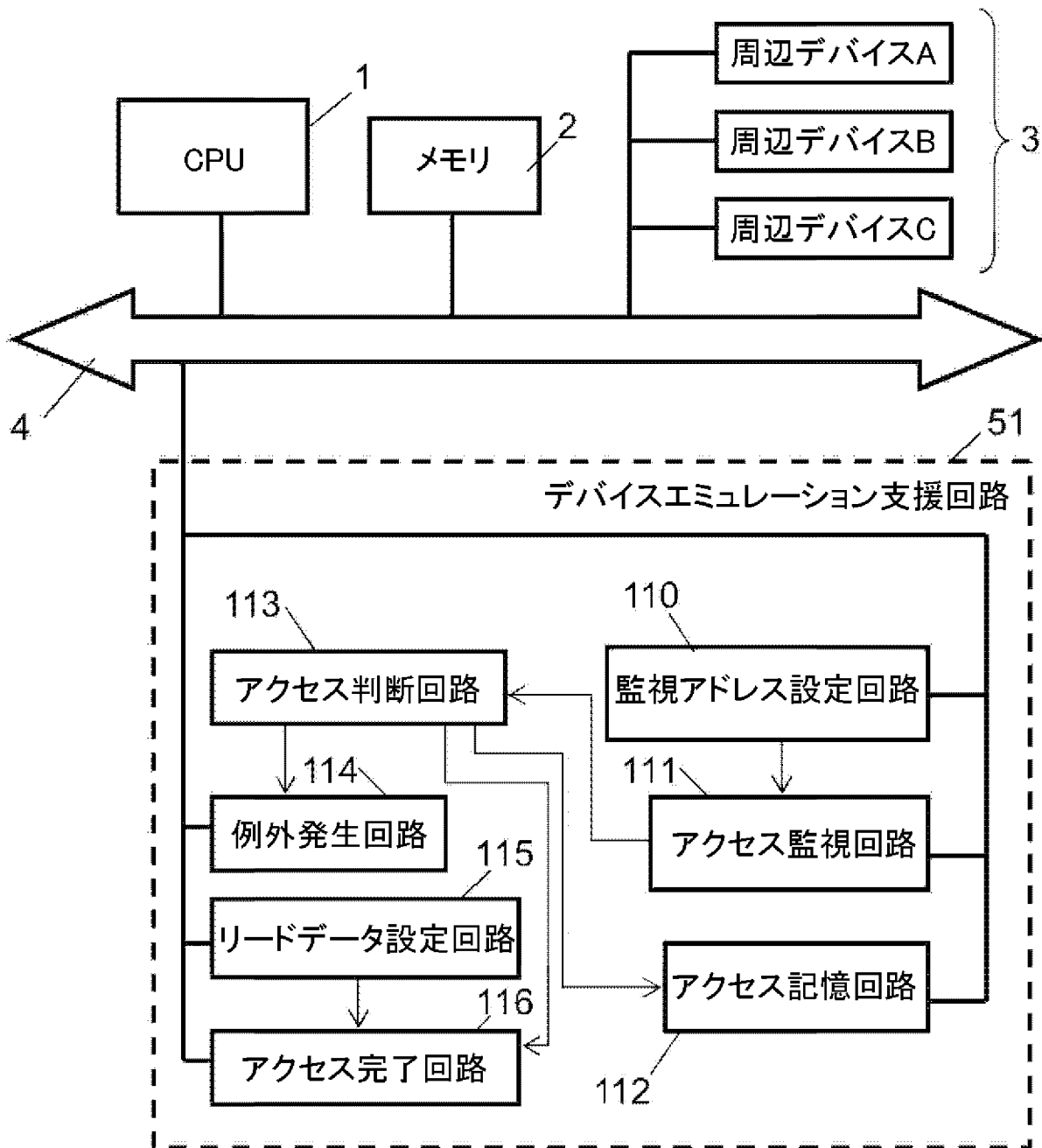
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/002221

A. CLASSIFICATION OF SUBJECT MATTER

G06F11/22 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F11/22-11/36, G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009

Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-68037 A (NEC Corp.), 25 March, 1991 (25.03.91), Full text; all drawings (Family: none)	1-9
A	JP 6-348543 A (Matsushita Electric Industrial Co., Ltd.), 22 December, 1994 (22.12.94), Full text; all drawings (Family: none)	1-9
A	JP 2001-209555 A (Matsushita Electric Industrial Co., Ltd.), 03 August, 2001 (03.08.01), Full text; all drawings (Family: none)	1-9

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 August, 2009 (17.08.09)Date of mailing of the international search report
25 August, 2009 (25.08.09)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/002221

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-252824 A (Hitachi Information Technology Co., Ltd.), 09 September, 2004 (09.09.04), Full text; all drawings (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F11/22(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F11/22 - 11/36, G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 3-68037 A (日本電気株式会社) 1991.03.25, 全文, 全図 (ファミリーなし)	1-9
A	J P 6-348543 A (松下電器産業株式会社) 1994.12.22, 全文, 全図 (ファミリーなし)	1-9
A	J P 2001-209555 A (松下電器産業株式会社) 2001.08.03, 全文, 全図 (ファミリーなし)	1-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

17.08.2009

国際調査報告の発送日

25.08.2009

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

久保 正典

電話番号 03-3581-1101 内線 3545

5 B

9642

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-252824 A (株式会社日立インフォメーションテクノロジー) 2004.09.09, 全文, 全図 (ファミリーなし)	1-9