

# 公告本

申請日期	89 年 12 月 7 日
案 號	89126113
類 別	G09G 3/82

A4  
C4

493152

(以上各欄由本局填註)

## 發明型專利說明書

一、發明 名稱	中 文	電子裝置
	英 文	Electronic device
二、發明 創作人	姓 名	(1) 犬飼和隆
	國 籍	(1) 日本
三、申請人	住、居所	(1) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所
代 表 人 姓 名	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣厚木市長谷三九八番地
代 表 人 姓 名	代 表 人 姓 名	(1) 山崎舜平

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 1999年12月24日 11-365824 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 1 )

### 發明背景

#### 1 . 發明之技術領域

本發明係有關於一種電激螢光顯示器 ( 電子裝置 ) , 其係藉由在一基板上製造一電激螢光 ( electro luminescence ) 元件而形成。特別地, 本發明係有關於一種使用半導體元件之電激螢光顯示器 ( 一種使用半導體薄膜之元件 ) , 並且更有關於使用該電激螢光顯示器以作為一顯示部分的電子設備。

#### 2 . 相關技藝之敘述

近幾年來, 形成薄膜電晶體 ( T F T ) 於基板上的技術已有長足的進步, 而且將薄膜電晶體應用於主動矩陣液晶顯示器裝置的開發也不斷地在進行。尤其, 使用多晶矽層的薄膜電晶體具有較高於使用非晶矽層之習用薄膜電晶體的電場效應遷移率 ( 亦可簡稱作遷移率 ) , 也因此具有更高速的操作特性。是以, 過去一直由一外接至基板的驅動電路所控制的像素控制現在可以藉由與像素形成於相同基板的驅動電路所達成。

諸如降低製造成本、縮小顯示器裝置、提高良率以及降低產能等各種優點, 可以藉由在相同的基板上形成各種電路與元件而從這種主動矩陣液晶顯示器裝置獲得。

具有電激螢光元件以作為自我發光 ( self-luminous ) 元件的主動矩陣電激螢光顯示器之研究業已在積極進行中。該電激螢光顯示器也被稱作有機電激螢光顯示器 (

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 五、發明說明( 2 )

O E L D ) 或是有機發光二極體 ( O L E D ) 。

不像液晶顯示器，電激螢光顯示器係為自我發光型。電激螢光顯示器具有一種由一對電極（陽極與陰極）與一包夾於其中且通常為一合片結構的電激螢光層所構成之結構。這種由 Eastman Kodak Company 的 Tang 等人所提出的合片結構（電洞傳輸層、發光層、電子傳輸層）可被用來作為電激螢光層之典型的合片結構。該合片結構具有極高的發光效率，因此在目前，進行研發中的電激螢光顯示器採用這種電激螢光層的合片結構。

除了上述的合片結構之外，亦可形成一種結構，其中係依照電洞發射層、電洞傳輸層、發光層、與電子傳輸層的順序，或是依照電洞發射層、電洞傳輸層、發光層、電子傳輸層與電子發射層的順序在陽極上被形成合片。該發光層可被摻雜有螢光劑或類似者。

在本發明說明書中，電激螢光層係為一種總稱的術語，其代表所有形成於陽極與陰極之間的薄層。因此，上述之電洞發射層、電洞傳輸層、發光層、電子傳輸層與電子發射層等皆包括於該電激螢光層中。

從該對電極所產生的預定電壓被施加至具有上述結構的電激螢光層，其中該發光層內的載子發生重新耦合的現象而藉以發光。必須注意到，綜觀本發明說明書，由電激螢光層所造成的發光現象係被稱作驅動電激螢光層。此外，在本發明說明書中，由陽極、電激螢光層與陰極所形成的發光元件係被稱作電激螢光元件。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

結

### 五、發明說明 ( 3 )

一種類比系統的驅動方法（類比驅動）可被用來作為一種驅動電激螢光顯示器的方法。針對該電激螢光顯示器之類比驅動的說明範例將藉由參照圖 1 8 與圖 1 9 而被實施。

圖 1 8 係為一示意圖，其顯示具有類比驅動之電激螢光顯示器中的像素部分的結構。用來將一閘極訊號從一閘極訊號線驅動電路輸入之一閘極訊號線（從 G 1 至 G y 之複數條閘極訊號線）被連接到個別之像素的交換薄膜電晶體 1 8 0 1 之一閘極電極。對於個別之像素的交換薄膜電晶體 1 8 0 1 之源極區域與汲極區域者，一者是被連接至用來將一類比視訊訊號輸入之一源極訊號線（亦被稱作資料訊號線，從 S 1 至 S x），而另一者則是被連接至每一像素之電容器 1 8 0 8 與電激螢光驅動薄膜電晶體 1 8 0 4 之閘極電極。

每一像素之電激螢光驅動薄膜電晶體 1 8 0 4 的源極區域係被連接至功率供應線（V 1 至 V x），而且其汲極區域係被連接至一電激螢光元件 1 8 0 6。功率供應線（V 1 至 V x）之電位被稱作功率供應電位。每一功率供應線（V 1 至 V x）係被連接至每一像素之電容器 1 8 0 8。

電激螢光元件 1 8 0 6 係由一陽極、一陰極與一包夾於其中的電激螢光層所構成。當電激螢光元件 1 8 0 6 的陽極被連接至電激螢光驅動薄膜電晶體 1 8 0 4 的源極區域或汲極區域時，電激螢光元件 1 8 0 6 的陽極與陰極會

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 4 )

分別成爲一像素電極與一相對電極。可替換地，如果電激螢光元件 1 8 0 6 的陰極被連接至電激螢光驅動薄膜電晶體 1 8 0 4 的源極區域或汲極區域時，那麼電激螢光元件 1 8 0 6 的陽極會成爲一相對電極而其陰極會成爲一像素電極。

必須注意的是，在本發明說明書中，相對電極之電位被稱作一相對電位。電激螢光驅動電壓，其爲像素電極之電位與相對電極之電位之間的電位差，係被施加至電激螢光層。

圖 1 9 係爲一時序圖，其繪示圖 1 8 所示之電激螢光顯示器於被類比系統所驅動時。從一閘極訊號線之選擇至下一不同閘極訊號線之選擇之間的週期稱作一線週期 ( one line period, L )。此外，從一影像之顯示至下一影像之顯示之間的週期對應至一框架週期 ( one frame period, F )。在圖 1 8 之電激螢光顯示器的情形中，有 y 條閘極線，因而 y 個線週期 ( L 1 至 L y ) 有被提供於一框架週期中。

因爲一框架週期中的線週期的數目隨著解析度的提高而增加，驅動電路必須能在高頻被驅動。

首先，功率供應線 ( V 1 至 V x ) 被固定於一不變之功率供應電位，而相對電極之電位 ( 相對電位 ) 亦被固定於一不變之電位。在相對電位與功率供應電位之間具有一電位差，其至一定程度便能夠使電激螢光元件發光。

從閘極訊號線驅動電路產生之一閘極訊號於第一線週

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 五、發明說明 ( 5 )

期 ( L 1 ) 內被引至閘極訊號線 G 1 。一類比視訊訊號接著被輸入至源極訊號線 ( S 1 至 S x ) 。所有連接至該閘極訊號線 G 1 的交換薄膜電晶體被導通，以藉此將被輸入至源極訊號線的類比視訊訊號透過交換薄膜電晶體而引入電激螢光驅動薄膜電晶體之閘極電極。

流動於電激螢光驅動薄膜電晶體之通道形成區域的電流量係由輸入至電激螢光驅動薄膜電晶體之閘極電極的訊號之電位位準所控制。因此，施加至電激螢光元件之像素電極的電位係由輸入至電激螢光驅動薄膜電晶體之閘極電極的類比視訊訊號之電位位準所決定。由電激螢光元件所發射之光因而由類比視訊訊號之電位所控制。

上述之操作被重複而且該第一線週期 ( L 1 ) 結束於完成輸入該類比視訊訊號至源極訊號線 ( S 1 至 S x ) 時。接著，一閘極訊號於第二線週期 ( L 2 ) 內被引至閘極訊號線 G 2 。類似於該第一線週期 ( L 1 ) ，一類比視訊訊號被接著輸入至源極訊號線 ( S 1 至 S x ) 。

當閘極訊號已被輸入至所有的閘極訊號線 ( G 1 至 G y ) 時，所有的線週期 ( L 1 至 L y ) 被完成，以藉此完成一框架週期。顯示係由一框架週期內之所有像素所執行，以形成一個影像。

因此，電激螢光元件所發射的發光度係由類比視訊訊號所控制，因此灰階顯示係由所發射的發光度之此一控制所執行。本系統係為一種驅動系統，其被稱為所謂的類比驅動方法，其中灰階顯示係由被引至源極訊號線之類比視

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 6 )

訊訊號的電位變動所執行。

被供給至電激螢光元件之電流量係由電激螢光驅動薄膜電晶體之閘極電壓所控制的狀態，將藉由使用圖 20A 與 20B 而被詳加解釋。

圖 20A 係為一圖表，其顯示電激螢光元件之電流－電壓特性。當超過一特定之臨限值時的電壓被施加至電激螢光元件，流經該電激螢光元件的電流會相對於所施加之電壓的改變而呈現指數地改變。

圖 20B 係為一圖表，其係為流經該電激螢光元件電流之估計，其中  $\Delta V$  代表功率供給電位與相對電位之間的電位差； $V_{EL}$  代表施加至該電激螢光元件之電壓（稱作電激螢光驅動電壓）； $V_{ds}$  代表施加至電激螢光驅動薄膜電晶體之汲極與源極之間的電壓（稱作汲極電壓）；以及  $V_{gs}$  代表施加至電激螢光驅動薄膜電晶體之閘極與源極之間的電壓（稱作閘極電壓）。圖 20B 顯示一條代表電激螢光元件之電流－電壓特性的曲線，以及一組代表相對於不同閘極電壓之電激螢光驅動薄膜電晶體之電流－電壓特性的曲線，其係隨著每  $\Delta V / 2$  而增加。電激螢光驅動薄膜電晶體與電激螢光元件係為串聯連接，而且流經電激螢光驅動薄膜電晶體與電激螢光元件之電流值可以從圖 20B 中的交點讀出。對於任何閘極電壓，流經電激螢光驅動薄膜電晶體與電激螢光元件之電流可以用相同的方式讀出。

當交換薄膜電晶體被導通以輸入一類比視訊訊號至像素時，該類比視訊訊號之電位被施加至電激螢光驅動薄膜

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

結



## 五、發明說明（7）

電晶體之閘極電極。此時，流經電激螢光元件之電流係根據圖 20B 之電流－電壓特性而決定於與閘極電壓之一對一的關係。換言之，流經電激螢光元件之電流係相對於被輸入至電激螢光驅動薄膜電晶體之閘極電極的類比視訊訊號電壓而被決定，而且電激螢光元件相對應於該電流而發光。

電激螢光元件所發射之發光度因此由視訊訊號所控制，而且灰階顯示係根據發光度之此一控制而被執行。

然而，上述之類比驅動具有容易受到薄膜電晶體特性變化影響的缺點。舉例來說，在複數個像素之交換薄膜電晶體具有不同電流－電壓特性而且被操作以顯示相同灰階位準的情形中，流經交換薄膜電晶體的電流會變化而且不同的閘極電壓會根據電流的變化而被施加至像素之電激螢光驅動薄膜電晶體。藉此，造成不同的電流流經電激螢光元件（如圖 20B 所示），使得該電激螢光元件發射不同亮度的光，而無法均勻地顯示灰階。

在電激螢光驅動薄膜電晶體之電流－電壓特性變化的情形中，圖 20 之電激螢光驅動薄膜電晶體的特性被改變，而且不同的電流流經電激螢光元件，即使當施加至該電激螢光驅動薄膜電晶體的電流彼此相等時。此外，因為流經每個電激螢光元件的電流相對於閘極電壓的變化而呈指數地改變（如圖 20A 所示），流經某些電激螢光元件的電流差異可能變得相當大，即使是電激螢光驅動薄膜電晶體之電流－電壓特性之間的差異很小。因此，即使是在電

## 五、發明說明 ( 8 )

激螢光驅動薄膜電晶體之電流－電壓特性只有稍微變化的情形中，鄰近的像素之電激螢光元件所發出的發光亮度相對於一定的輸入訊號位準而言，可能在彼此之間造成相當大的差異。

事實上，薄膜電晶體之特性變化成為該交換薄膜電晶體與電激螢光驅動薄膜電晶體產生特性變化之一倍增因素。因此，對其特性的要求也越來越嚴苛。是以，類比驅動對於薄膜電晶體之特性變化非常敏感，且成為習用之陣列電激螢光顯示器在顯示灰階時之一大障礙。

### 發明之概述

本發明基於上述問題之考量而被創造，而且本發明之一目的遂在提供一種主動式陣列電激螢光顯示裝置，其能夠執行清晰之多重灰階色彩顯示功能。本發明之另一目的乃在提供一種高效能電子設備（電子裝置），其使用這種主動式陣列電激螢光顯示器以作為其顯示單元。

本發明之發明者考量類比驅動的原理無法從藉由類比視訊訊號而控制閘極電壓以及藉由該閘極電壓而透過電激螢光元件控制電流的系統中分離。

在習用之類比驅動的情形中，由於流經電激螢光元件的電流在閘極電壓改變時突然變化，流經電激螢光元件的電流容易受到薄膜電晶體特性變化的影響。換言之，即使當相同的類比視訊訊號被施加至複數個像素時，被施加至一電激螢光驅動薄膜電晶體的閘極電壓會根據薄膜電晶體

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

結

## 五、發明說明 ( 9 )

特性之變化而改變。而且，即使在被施加至該電激螢光驅動薄膜電晶體的閘極電壓彼此相等時，流經電激螢光元件的電流也可能發生巨大變化，而無法獲得所欲之灰階位準。

本發明之發明者接著研究一種系統，其藉由控制電激螢光元件發光之時間週期而控制由每一電激螢光元件所發射出的發光度，而不是藉由使用類比視訊訊號而控制流經電激螢光元件的電流。在這種方法中，一數位訊號（稱作數位資料訊號）被用來作為視訊訊號，而且每一電激螢光驅動薄膜電晶體以及電激螢光元件具有兩個狀態：導通（ON）狀態與截止（OFF）狀態，或者是發光狀態與非發光狀態。根據本發明，電激螢光元件所發射之發光度係藉由相對於時間的控制來執行灰階的顯示。電激螢光元件發光之時間被控制以執行灰階顯示的一種驅動方法係被稱作分時（time-division）驅動方法。而且，藉由該分時驅動方法所執行之灰階顯示係稱作分時灰階顯示。

根據本發明，藉由使用上述系統，當被施加至薄膜電晶體之閘極電壓相等時由該薄膜電晶體所輸出的電流不均勻現象可被限制住，即使薄膜電晶體之特性變化至某種程度。因此，這樣可以在具有相同電壓位準的訊號被輸入至薄膜電晶體時，避免相鄰像素之發光量的巨大差異由於薄膜電晶體之特性變化而發生。

更詳而言之，分時灰階顯示之執行係如下所述者。使用一  $n$  位元數位資料訊號之  $2^n$  個灰階位準顯示將被說明。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 10 )

以下所述之本發明的電激螢光顯示器具有數對源極訊號線驅動電路以及數對閘極訊號線驅動電路。

首先，一框架週期被區分成  $n$  個顯示週期 ( $T_{r1}$  至  $T_{rn}$ )。  $n$  位元數位資料訊號被輸入至顯示區域之所有像素以執行顯示功能的時間被稱作一框架週期，而且藉由將一框架週期分割以定義之區段被稱作顯示週期 ( $T_{r1}$  至  $T_{rn}$ )。

在一般的電激螢光顯示器中，較佳者係為在每一秒設定 60 或更多個框架週期。如果每一秒所顯示之影像的數目小於 60，很有可能會使得閃爍現象容易被看到。

在每個顯示週期 ( $T_{r1}$  至  $T_{rn}$ ) 中，顯示之執行係以  $n$  位元數位資料訊號中的一位元數位資料訊號為基礎，其中的一位元數位資料被輸入至一框架週期中之數個寫入週期 ( $T_{a1}$  至  $T_{an}$ ) 之一者。首先到來的寫入週期係由  $T_{a1}$  所表示，而接續的寫入週期則對應時間依序由  $T_{a2}$ 、 $T_{a3}$  ...  $T_{an}$  所表示。相對應之顯示週期依照  $T_{r1}$  至  $T_{rn}$  的順序出現。在每個寫入週期 ( $T_{a1}$  至  $T_{an}$ ) 中，每一對源極訊號線驅動電路與閘極訊號線驅動電路之一。

每一像素具有一電激螢光元件。該電激螢光元件係由一陽極、一陰極、以及設置於該陽極與該陰極之間的電激螢光層所形成。該陽極與該陰極之一者被稱作一像素電極，而且被連接至薄膜電基體之源極或汲極。該陽極與該陰極之另一者被稱作一相對電極，而且有一預定電位 (相對

## 五、發明說明 ( 11 )

電位)藉由一連線而被施加至該相對電極。

在本發明中，相對電位與功率供給電位之每一者永遠被保持在一固定位準。相對電位與功率供給電位之間的電位差被設定於此一數值，使得該電激螢光元件產生一足夠的發光度於該功率供給電位被施加至該像素電極時。該功率供給電位係為當被連接至該電激螢光元件之像素電極的薄膜電晶體位於導通狀態時，一被施加至該像素電極之電位。

被輸入至每一寫入週期之一像素的數位資料訊號選擇該像素之電激螢光元件狀態(發光或非發光)。當選擇發光狀態之一位元的數位資料訊號被輸入至該像素時，功率供給電位會馬上被施加至該像素之電激螢光元件的電極，藉以造成電激螢光元件的發光。在另一方面，當選擇非發光狀態之一位元的數位資料訊號被輸入至該像素時，該像素之電激螢光元件的電極會馬上從一供應該功率供給電位的連線(稱作功率供給線)斷線，使得該電激螢光元件不會發光。被輸入至該像素的該位元的數位資料訊號被保持至下一位元的數位資料訊號被輸入。換言之，該像素之電激螢光元件被保持於發光或非發光狀態，直到下一位元的數位資料訊號被輸入。

因此，當寫入週期(T a 1至T a n)之一者開始而且當一位元的數位資料訊號被輸入時，相對應之顯示週期(T r 1至T r n之一者)也立即開始。當下一寫入週期開始而且當另一位元的數位資料訊號被輸入時，該顯示週

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 12 )

期則立即結束。同時，下一顯示週期也開始。亦即，每一顯示週期係決定於寫入週期 ( T a 1 至 T a n ) 之一者開始的時刻與下一寫入週期開始的時刻之間的時間間隔中。

隨著數位資料訊號的位元在寫入週期 ( T a 1 至 T a n ) 中被輸入至像素， n 個顯示週期 ( T r 1 至 T r n ) 也接續出現。第 n 位元的數位資料訊號被保持於像素中，直到第一位元的數位資料訊號被再次輸入。當第一位元的數位資料訊號被再次輸入時，顯示週期 T r n 結束，而且框架週期也同時結束。

顯示週期 ( T r 1 至 T r n ) 之長度被設定，使得其依照遞增次序排列之長度係與  $2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$  成正比。使用  $2^n$  個灰階位準之所欲位準的灰階顯示可藉由選擇一種由這些顯示週期的組合而被執行。

在一框架週期中顯示的像素之灰階位準係決定於在框架週期中相對應之電激螢光元件發光之顯示週期的長度之總和。舉例而言，有種情形是考慮  $n = 8$  而且顯示週期被設定以遞增次序出現。如果當像素發光於所有的顯示週期時像素的發光度是 100%，那麼 1% 的發光度可由週期 T r 1 至 T r 2 的像素發光度來表示。而且，60% 的發光度可由週期 T r 3、T r 3 與 T r 8 被選擇時的像素發光度來表示。

在本發明中，可能在每一像素執行顯示功能，即使是在寫入週期內。因此，顯示週期的長度之總和在框架中所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 13 )

佔的比例 ( 工作比值 ) 可被設定至一較高的數值。

在本發明中，一對源極訊號線驅動電路與一對閘極訊號線驅動電路被提供，而且不同的閘極訊號線驅動電路與不同的源極訊號線驅動電路可以針對於每對鄰近的寫入週期而被使用，以致使該兩寫入週期彼此重疊。舉例而言，寫入週期  $T_{a2}$  可以開始於寫入週期  $T_{a1}$  結束之前。上述之寫入週期的重疊可以致使每一顯示週期被設定成短於相對應之寫入週期。因此，一特別短的顯示週期可被設定以實現數量龐大的灰階位準。

在本發明中，相鄰對之每一顯示週期的長度和  $T_{r1} + T_{r2}$ 、 $T_{r2} + T_{r3}$ 、...、 $T_{rn} +$  下一框架之起始顯示週期  $T_{r1}$ ，必須相等或大於寫入週期之相對應者  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  之長度。毫無疑問地，用來與閘極訊號線驅動電路寫入之寫入週期的長度總和也必須小於一框架週期。

上述之功率供給電位與相對電位係藉由本發明之電激螢光元件上所外加地提供之一提積體電路 ( IC ) 或類似者而被供應。在目前之典型電激螢光元件中，當像素所發出之每單位面積的發光度為  $200 \text{ cd} / \text{m}^2$ ，該像素部分之單位面積大約需要數  $\text{mA} / \text{cm}^2$  的電流。因此，如果螢幕的尺寸增加，藉由外接開關來控制由從功率源所提供至上述之 IC 或類似者的電位位準將會變成十分困難。在本發明中，相對電位與功率供給電位永遠被保持在一固定位準，因此使用開關來控制從功率源所提供至 IC 的電位位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

## 五、發明說明（<sup>14</sup>）

準便不需要了，如此使得本發明適用於實現具有較大螢幕尺寸的顯示面板。

本發明將在下文中針對於其結構而被說明。

一種電子裝置，包括：一對源極訊號線驅動電路、一對閘極訊號線驅動電路、以及一像素部分，其特徵在於：該像素部分包括複數個像素；該複數個像素之每一者具有一電激螢光元件、一對電激螢光驅動薄膜電晶體、一對交換薄膜電晶體、以及一對消除薄膜電晶體；該電激螢光元件的發光係由該對電激螢光驅動薄膜電晶體所控制；該對電激螢光驅動薄膜電晶體之一者係由該對交換薄膜電晶體之一者以及該對消除薄膜電晶體之一者所控制；該對電激螢光驅動薄膜電晶體之另一者係由該對交換薄膜電晶體之另一者以及該對消除薄膜電晶體之另一者所控制；以及灰階顯示係藉由控制該複數個電激螢光元件之發光時間而被控制。

一種電子裝置，包括：一第一源極訊號線驅動電路、一第二源極訊號線驅動電路、一第一閘極訊號線驅動電路、一第二閘極訊號線驅動電路、一像素部分、複數條連接至該第一源極訊號線驅動電路之第一源極訊號線、複數條連接至該第二源極訊號線驅動電路之第二源極訊號線、複數條連接至該第一閘極訊號線驅動電路之第一閘極訊號線、複數條連接至該第二閘極訊號線驅動電路之第二閘極訊號線、以及一功率供給線，其特徵在於：該像素部分包括複數個像素；該複數個像素之每一者具有一第一交換薄膜



## 五、發明說明 ( 15 )

電晶體、一第二交換薄膜電晶體、一第一消除薄膜電晶體、一第二消除薄膜電晶體、一第一電激螢光驅動薄膜電晶體、一第二電激螢光驅動薄膜電晶體、以及一電激螢光元件；該第一交換薄膜電晶體之一閘極電極係被連接至該第一閘極訊號線；該第二交換薄膜電晶體之一閘極電極係被連接至該第二閘極訊號線；該第一交換薄膜電晶體之一源極區域與一汲極區域之一者係被連接至該第一源極訊號線，而且其另一者係被連接至該第一交換薄膜電晶體之一閘極電極；該第二交換薄膜電晶體之一源極區域與一汲極區域之一者係被連接至該第二源極訊號線，而且其另一者係被連接至該第二交換薄膜電晶體之一閘極電極；該第一消除薄膜電晶體之一閘極電極係被連接至該第一閘極訊號線；該第二消除薄膜電晶體之一閘極電極係被連接至該第二閘極訊號線；該第一消除薄膜電晶體之一源極區域與一汲極區域之一者係被連接至該功率供給線，而且其另一者係被連接至該第二電激螢光驅動薄膜電晶體之一閘極電極；該第二消除薄膜電晶體之一源極區域與一汲極區域之一者係被連接至該功率供給線，而且其另一者係被連接至該第一電激螢光驅動薄膜電晶體之一閘極電極；該第一電激螢光驅動薄膜電晶體之一源極區域與一汲極區域之一者係被連接至該功率供給線，而且其另一者係被連接至該電激螢光元件；該第二電激螢光驅動薄膜電晶體之一源極區域與一汲極區域之一者係被連接至該功率供給線，而且其另一者係被連接至該電激螢光元件。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 16 )

該第一交換薄膜電晶體與該第一消除薄膜電晶體可以同時被導通或截止，而且該第二交換薄膜電晶體與該第二消除薄膜電晶體可以同時被導通或截止。

該第一電激螢光驅動薄膜電晶體與該第二電激螢光驅動薄膜電晶體之每一者可以在功率供給線的電位被施加至每一電激螢光驅動薄膜電晶體之閘極電極時被設置成截止狀態。

在此提供一種電子裝置，其特徵在於：n 個寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  以及 n 個顯示週期  $T_{r1}$ 、 $T_{r2}$ 、...、 $T_{rn}$  被提供於一框架週期內；該 n 個寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  依序出現；該 n 個顯示週期  $T_{r1}$ 、 $T_{r2}$ 、...、 $T_{rn}$  依序出現；該 n 個寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  之一者開始的時刻至接續著該 n 個寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  之一者的寫入週期之間的時間週期相對應於該 n 個顯示週期  $T_{r1}$ 、 $T_{r2}$ 、...、 $T_{rn}$  之一者；在該寫入週期  $T_{an}$  之後接續出現之一寫入週期係為一寫入週期  $T_{a1}'$ ，其首先出現於下一框架週期中；在該顯示週期  $T_{rn}$  之後接續出現之一顯示週期係為一寫入週期  $T_{r1}'$ ，其首先出現於下一框架週期中；該 n 個寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  被分割成 i 個寫入週期（i：一等於或大於零且小於或等於 n 的整數）以及（n - i）個寫入週期；在該 i 個寫入週期中，數位資料訊號被從該第一源極訊號線驅動電路藉由該第一源極訊號線而輸

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

約

## 五、發明說明 ( 17 )

入至該複數個像素之所有者；在該  $(n - i)$  個寫入週期中，數位資料訊號被從該第二源極訊號線驅動電路藉由該第二源極訊號線而輸入至該複數個像素之所有者；在該  $i$  個寫入週期之每一者中，在該  $i$  個寫入週期之前被從該第二源極訊號線驅動電路輸入的數位資料訊號被從該複數個像素之所有者中抹除；在該  $(n - i)$  個寫入週期之每一者中，在該  $(n - i)$  個寫入週期之前被從該第一源極訊號線驅動電路輸入的數位資料訊號被從該複數個像素之所有者中抹除；在一組該  $n$  個寫入週期  $T a 1$ 、 $T a 2$ 、...、 $T a n$  與一組接續之該  $n$  個寫入週期  $T a 2$ 、 $T a 3$ 、...、 $T a 1'$  之間的相鄰對  $(T a 1, T a 2)$ 、 $(T a 2, T a 3)$ 、...、 $(T a (n - 1), T a n)$ 、 $(T a n, T a 1')$  被分割成一組  $j$  對相鄰的寫入週期 ( $j$ ：一等於或大於零且小於或等於  $(n - 1)$  的整數) 以及  $(n - j)$  對相鄰的寫入週期；在該  $j$  對相鄰的寫入週期之每一對中，該兩寫入週期互相重疊；在該  $(n - j)$  對相鄰的寫入週期之每一對中，該兩寫入週期並不互相重疊；在該  $j$  對相鄰的寫入週期之每一對之一寫入週期中，數位資料訊號被從該第一源極訊號線驅動電路輸入至該複數個像素之所有者，而且在另一寫入週期中，數位資料訊號被從該第二源極訊號線驅動電路輸入至該複數個像素之所有者；在該  $n$  個寫入週期  $T a 1$ 、 $T a 2$ 、...、 $T a n$  之每一者中，該複數個像素之每一者之該電激螢光元件的發光狀態或非發光狀態之一者係由被輸入至該複數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 18 )

個像素之數位資料訊號所選擇；在該  $n$  個顯示週期  $T_{r1}$ 、 $T_{r2}$ 、...、 $T_{rn}$  之每一者中，該複數個像素之每一者之該電激螢光元件係根據該數位資料訊號而被設定於發光狀態或非發光狀態之一者；在該  $n$  個顯示週期  $T_{r1}$ 、 $T_{r2}$ 、...、 $T_{rn}$  之  $m$  個顯示週期 ( $m$ ：一等於或大於零且小於或等於  $n$  的整數) 之每一者中，該複數個像素之所有該電激螢光元件被設定於非發光狀態；而且在該組該  $n$  個寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  與該組接續之該  $n$  個寫入週期  $T_{a2}$ 、 $T_{a3}$ 、...、 $T_{a1'}$  之間的相鄰對之長度總和  $T_{r1} + T_{r2}$ 、 $T_{r2} + T_{r3}$ 、...、與  $T_{rn} + T_{a1'}$  之每一者之長度係相等或長於該寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  之長度。

該  $(n - m)$  個顯示週期之長度的比例可以一致於  $(n - m)$  個藉由分割  $k$  個週期  $T_1$ 、 $T_2$ 、...、 $T_k$  ( $k$ ：一等於或大於 1 且小於或等於  $(n - m)$  的整數) 以及  $(n - m - k)$  個週期所定義之長度的比例；如果該  $k$  個週期  $T_1$ 、 $T_2$ 、...、 $T_k$  被依照長度遞增的順序排列，該  $k$  個週期  $T_1$ 、 $T_2$ 、...、 $T_k$  的長度比例可以表示成  $2^0 : 2^1 : 2^2 : \dots : 2^{(k-2)} : 2^{(k-1)}$ 。

該  $n$  對相鄰之寫入週期  $(T_{a1}, T_{a2})$ 、 $(T_{a2}, T_{a3})$ 、...、 $(T_{a(n-1)}, T_{an})$ 、 $(T_{an}, T_{a1'})$  之至少一者之兩寫入週期可以彼此重疊。

該複數個像素之所有電激螢光元件可以被設定於非發

## 五、發明說明 ( 19 )

光狀態於該  $n$  個顯示週期  $T_{r1}$ 、 $T_{r2}$ 、...、 $T_{rn}$  之至少一者。

該  $n$  個顯示週期  $T_{r1}$ 、 $T_{r2}$ 、...、 $T_{rn}$  之無任何一者可被設定成一個該複數個像素之所有電激螢光元件都被設定於非發光狀態之週期。

該  $i$  個寫入週期之長度可以彼此相等；而且該  $(n - i)$  個寫入週期之長度可以彼此相等。

所有該  $n$  個寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  之長度可以彼此相等。

該  $i$  個寫入週期與該  $(n - i)$  個寫入週期可以交替出現。

如果該  $(n - m)$  個顯示週期被依長度遞增的順序排列，該  $(n - m)$  個顯示週期的長度比例可以表示成  $2^0 : 2^1 : 2^2 : \dots : 2^{(n - m - 1)}$ 。

該源極訊號線驅動電路與該像素部分被形成於相同的基板上，而且其驅動頻率可以為  $10\text{MHz}$  或更高。

該電激螢光元件可以具有一像素電極、一相對電極、以及設置於該像素電極與該相對電極之間之一電激螢光層。

該相對電極可以被保持在一固定電位；而且該功率供給線可以被保持在一固定電位。

該電激螢光層可以為一低分子型有機材料或是一聚合有機材料。

該低分子型有機材料可以包括  $\text{Alq}_3$  (

## 五、發明說明 ( 20 )

tris-8-quinolilite-aluminum ) 或 T P D ( triphenylamine derivative ) 。

該聚合有機材料可以包括 P P V ( polyphenylene vinylene ) 、 P V K ( polyvinyl carbazole ) 、 或 polycarbonate 。

提供有一種電激螢光顯示裝置，其特徵在於該電子裝置被使用。

提供有一種視訊攝影器，其特徵在於該電子裝置被使用。

提供有一種套頭式電激螢光顯示裝置，其特徵在於該電子裝置被使用。

提供有一種 D V D 播放器，其特徵在於該電子裝置被使用。

提供有一種套頭式顯示器，其特徵在於該電子裝置被使用。

提供有一種個人電腦，其特徵在於該電子裝置被使用。

提供有一種可攜式電話，其特徵在於該電子裝置被使用。

提供有一種汽車音響，其特徵在於該電子裝置被使用。

### 圖式之簡要說明

本發明之特色與優點將自以下之說明而顯現，其係參

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 五、發明說明 ( 21 )

照附圖並且藉由用以說明卻不因而為之所侷限之範例，本發明之具體實施例係如以下圖式所示，其中：

圖 1 係為一示意圖，顯示本發明之電激螢光元件的電路結構；

圖 2 係為一示意圖，顯示本發明之電激螢光元件的像素部分之電路組成；

圖 3 係為一示意圖，顯示本發明之電激螢光元件的像素之電路組成；

圖 4 係為一示意圖，顯示本發明之電激螢光元件的驅動方法；

圖 5 係為一示意圖，顯示本發明之電激螢光元件的像素之電路組成；

圖 6 係為一示意圖，顯示本發明之電激螢光元件的像素之電路組成；

圖 7 係為一示意圖，顯示本發明之電激螢光元件的像素之電路組成；

圖 8 係為一示意圖，顯示本發明之電激螢光元件的驅動方法；

圖 9 係為一示意圖，顯示本發明之電激螢光元件的驅動方法；

圖 10 係為一示意圖，顯示本發明之電激螢光元件的驅動方法；

圖 11 係為一示意圖，顯示本發明之電激螢光元件的驅動方法；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 22 )

圖 1 2 A 與 1 2 B 係分別為本發明之電激螢光元件的上視圖與橫截面圖；

圖 1 3 A 與 1 3 B 係分別為本發明之電激螢光元件的上視圖與橫截面圖；

圖 1 4 A 與 1 4 B 係分別為本發明之電激螢光元件的上視圖與橫截面圖；

圖 1 5 A 與 1 5 B 係分別為本發明之電激螢光元件的上視圖與橫截面圖；

圖 1 6 係為本發明之電激螢光元件的橫截面圖；

圖 1 7 係為本發明之電激螢光元件的橫截面圖；

圖 1 8 係為一示意圖，顯示本發明之電激螢光元件的像素部分之電路組成；

圖 1 9 係為一示意圖，顯示本發明之電激螢光元件的驅動方法；

圖 2 0 A 與 2 0 B 係分別為顯示一電激螢光元件與一薄膜電晶體之功率供給電壓特性的圖表；

圖 2 1 A 至 2 1 D 係為顯示本發明之電激螢光元件製程的示意圖；

圖 2 2 A 至 2 2 D 係為顯示本發明之電激螢光元件製程的示意圖；

圖 2 3 A 至 2 3 D 係為顯示本發明之電激螢光元件製程的示意圖；

圖 2 4 係為顯示本發明所使用之源極訊號線驅動電路的電路組成；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 23 )

圖 2 5 係為顯示本發明所使用之閃鎖電路的上視圖；

圖 2 6 A 至 2 6 F 係為使用本發明之電激螢光元件的電子設備；以及

圖 2 7 A 與 2 7 B 係為使用本發明之電激螢光元件的電子設備。

### 主要元件對照表

1 0 1	像素部分
1 0 2	源極訊號線驅動電路
1 0 2 a	移位暫存器電路
1 0 2 b	閃鎖電路
1 0 2 c	閃鎖電路
1 0 3	閘極訊號線驅動電路
1 0 4	源極訊號線驅動電路
1 0 4 a	移位暫存器電路
1 0 4 b	閃鎖電路
1 0 4 c	閃鎖電路
1 0 5	閘極訊號線驅動電路
1 0 6	分時灰階資料訊號產生電路
1 0 7	像素
1 0 8 a	電激螢光驅動薄膜電晶體
1 0 8 b	電激螢光驅動薄膜電晶體
1 0 9 a	消除薄膜電晶體
1 0 9 b	消除薄膜電晶體

### 五、發明說明 ( 24 )

- |         |             |
|---------|-------------|
| 1 1 0   | 電激螢光元件      |
| 1 1 2 a | 電容          |
| 1 1 2 b | 電容          |
| 1 1 3 a | 交換薄膜電晶體     |
| 1 1 3 b | 交換薄膜電晶體     |
| 2 0 2   | 電激螢光驅動薄膜電晶體 |
| 2 0 5   | N 通道薄膜電晶體   |
| 2 0 6   | P 通道薄膜電晶體   |
| 3 0 0   | 基板          |
| 3 0 1   | 基膜          |
| 3 0 2   | 結晶矽膜        |
| 3 0 3   | 保護膜         |
| 3 0 4 a | 光阻幕罩        |
| 3 0 4 b | 光阻幕罩        |
| 3 0 5   | n 型雜質區域     |
| 3 0 7   | 主動層         |
| 3 0 8   | 主動層         |
| 3 0 9   | 主動層         |
| 3 1 0   | 主動層         |
| 3 1 1   | 閘極絕緣膜       |
| 3 1 2   | 閘極電極        |
| 3 1 3   | 閘極電極        |
| 3 1 4   | 閘極電極        |
| 3 1 5   | 閘極電極        |

## 五、發明說明 ( 25 )

- |         |      |
|---------|------|
| 3 1 6   | 閘極電極 |
| 3 1 7   | 雜質區域 |
| 3 1 8   | 雜質區域 |
| 3 1 9   | 雜質區域 |
| 3 2 0   | 雜質區域 |
| 3 2 1   | 雜質區域 |
| 3 2 2   | 雜質區域 |
| 3 2 3 a | 雜質區域 |
| 3 2 3 b | 雜質區域 |
| 3 2 4 a | 光阻幕罩 |
| 3 2 4 b | 光阻幕罩 |
| 3 2 4 c | 光阻幕罩 |
| 3 2 4 d | 光阻幕罩 |
| 3 2 5   | 雜質區域 |
| 3 2 6   | 雜質區域 |
| 3 2 7   | 雜質區域 |
| 3 2 8   | 雜質區域 |
| 3 2 9   | 雜質區域 |
| 3 3 0   | 雜質區域 |
| 3 3 1   | 雜質區域 |
| 3 3 2   | 光阻幕罩 |
| 3 3 3   | 雜質區域 |
| 3 3 4   | 雜質區域 |
| 3 3 5   | 閘極連線 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 26 )

- |         |                              |
|---------|------------------------------|
| 3 3 6   | 層間絕緣膜                        |
| 3 3 7   | 源極連線                         |
| 3 3 8   | 源極連線                         |
| 3 3 9   | 源極連線                         |
| 3 4 0   | 源極連線                         |
| 3 4 1   | 汲極連線                         |
| 3 4 2   | 汲極連線                         |
| 3 4 3   | 汲極連線                         |
| 3 4 4   | 第一保護膜                        |
| 3 4 5   | 層間絕緣膜                        |
| 3 4 6   | 像素電極                         |
| 3 4 7   | 岸面                           |
| 3 4 8   | 電激螢光層                        |
| 3 4 9   | 陰極                           |
| 3 5 5   | 源極區域                         |
| 3 5 6   | 汲極區域                         |
| 3 5 7   | L D D 區域                     |
| 3 5 8   | 通道形成區域                       |
| 8 0 1   | 移位暫存器                        |
| 8 0 2   | 閘鎖 ( A )                     |
| 8 0 3   | 閘鎖 ( B )                     |
| 8 0 4   | 閘鎖 ( A ) 8 0 2 的部分           |
| 8 3 1 a | 主動層 8 3 2 a 與 8 3 2 b 上之閘極電極 |
| 8 3 1 b | 主動層                          |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 27 )

- |         |             |
|---------|-------------|
| 8 3 2 a | 主動層         |
| 8 3 2 b | 主動層         |
| 8 3 3 a | 主動層         |
| 8 3 3 b | 主動層         |
| 8 3 4 a | 主動層         |
| 8 3 4 b | 主動層         |
| 8 3 6   | 閘極電極        |
| 8 3 7 a | 閘極電極        |
| 8 3 7 b | 閘極電極        |
| 8 3 8 a | 閘極電極        |
| 8 3 8 b | 閘極電極        |
| 8 3 9   | 閘極電極        |
| 8 4 0   | 閘極電極        |
| 8 4 1   | 閘極電極        |
| 1 8 0 1 | 交換薄膜電晶體     |
| 1 8 0 4 | 電激螢光驅動薄膜電晶體 |
| 1 8 0 6 | 電激螢光元件      |
| 1 8 0 8 | 電容器         |
| 3 5 0 1 | 基板          |
| 3 5 0 2 | 交換薄膜電晶體     |
| 3 5 0 3 | 電激螢光驅動薄膜電晶體 |
| 3 5 0 4 | 消除薄膜電晶體     |
| 3 5 0 5 | 電激螢光元件      |
| 3 1     | 汲極連線        |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 28 )

- 3 5 汲極連線
- 3 6 連線
- 3 7 閘極電極
- 3 8 a 閘極電極
- 3 8 b 閘極電極
- 4 0 源極連線
- 4 1 第一保護膜
- 4 2 平坦層
- 4 3 像素電極
- 4 4 a 岸面
- 4 4 b 岸面
- 4 5 發光層
- 4 6 電洞發射層
- 4 7 陽極
- 4 8 第二保護膜
- 4 9 陽極
- 5 0 像素電極
- 5 1 a 岸面
- 5 1 b 岸面
- 5 2 發光層
- 5 3 電子發射層
- 5 4 陰極
- 3 7 0 1 電激螢光元件
- 3 8 0 1 a 閘極連線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 ( 29 )

- 3 8 0 1 b      閘極連線
- 3 8 0 2 a      源極連線
- 3 8 0 2 b      源極連線
- 3 8 0 3      電流供給線
- 3 8 0 4 a      交換薄膜電晶體
- 3 8 0 4 b      交換薄膜電晶體
- 3 8 0 5 a      消除薄膜電晶體
- 3 8 0 5 b      消除薄膜電晶體
- 3 8 0 6 a      電激螢光驅動薄膜電晶體
- 3 8 0 6 b      電激螢光驅動薄膜電晶體
- 3 8 0 7 a      電容器
- 3 8 0 7 b      電容器
- 3 8 0 8      電激螢光元件
- 4 0 3      像素部分
- 4 0 9      彈性印刷電路
- 4 0 1 0      基板
- 4 0 1 1      像素部分
- 4 0 1 2 a      源極訊號線驅動電路
- 4 0 1 2 b      源極訊號線驅動電路
- 4 0 1 2 a      閘極訊號線驅動電路
- 4 0 1 3 b      閘極訊號線驅動電路
- 4 0 1 4 a      連線
- 4 0 1 4 b      連線
- 4 0 1 5      連線

## 五、發明說明 ( 30 )

- |           |             |
|-----------|-------------|
| 4 0 1 6 a | 連線          |
| 4 0 1 6 b | 連線          |
| 4 0 1 7   | 彈性印刷電路      |
| 4 0 2 1   | 基膜          |
| 4 0 2 2 a | 驅動電路        |
| 4 0 2 2 b | 驅動電路        |
| 4 0 2 3   | 像素部分薄膜電晶體   |
| 4 0 2 6   | 層間絕緣膜       |
| 4 0 2 7   | 像素電極        |
| 4 0 2 8   | 絕緣膜         |
| 4 0 2 9   | 電激螢光層       |
| 4 0 3 0   | 陰極          |
| 4 0 3 1   | 區域          |
| 4 0 3 2   | 導電板材料       |
| 6 0 0 0   | 覆蓋材料        |
| 6 0 0 1   | 框架構件        |
| 6 0 0 2   | 密封構件        |
| 6 0 0 3   | 保護膜         |
| 6 0 0 4   | 填充材料        |
| 6 8 0 0   | 基板          |
| 6 8 0 1 a | 源極訊號線驅動電路   |
| 6 8 0 1 b | 源極訊號線驅動電路   |
| 6 8 0 2 a | 寫入閘極訊號線驅動電路 |
| 6 8 0 2 b | 寫入閘極訊號線驅動電路 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 31 )

- |           |             |
|-----------|-------------|
| 6 8 0 3   | 像素部分        |
| 6 8 0 4   | 覆蓋構件        |
| 6 8 0 5   | 第一密封構件      |
| 6 8 0 6   | 第二密封構件      |
| 6 8 0 7   | 填充劑         |
| 6 8 0 8   | 連線          |
| 6 8 0 9   | 彈性印刷電路      |
| 6 8 5 1   | 薄膜電晶體       |
| 6 8 5 2   | 像素電極        |
| 6 8 5 3 a | N 通道薄膜電晶體   |
| 6 8 5 3 b | N 通道薄膜電晶體   |
| 6 8 5 4 a | P 通道薄膜電晶體   |
| 6 8 5 4 b | P 通道薄膜電晶體   |
| 6 8 5 5   | 色彩濾波器 ( 紅 ) |
| 6 8 5 6   | 色彩濾波器 ( 綠 ) |
| 6 8 5 7   | 絕緣膜         |
| 6 8 5 8   | 發光層         |
| 6 8 5 9   | 發光層         |
| 6 8 6 0   | 陰極          |
| 6 8 6 1   | 濕氣吸收層       |
| 6 8 6 2   | 導電層         |
| 6 9 0 1   | 像素部分        |
| 6 9 0 2   | 電激螢光驅動薄膜電晶體 |
| 6 9 0 3   | 像素電極        |

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

### 五、發明說明 ( 32 )

- |         |             |
|---------|-------------|
| 6 9 0 4 | 透明導電層       |
| 6 9 0 5 | 色彩濾波器 ( 紅 ) |
| 6 9 0 6 | 色彩濾波器 ( 綠 ) |
| 7 0 0 0 | 密封材料        |
| 7 0 0 1 | 密封材料        |
| 2 0 0 1 | 框架          |
| 2 0 0 2 | 支撐桌面        |
| 2 0 0 3 | 顯示器部分       |
| 2 1 0 1 | 主機          |
| 2 1 0 2 | 顯示器部分       |
| 2 1 0 3 | 音訊輸入部分      |
| 2 1 0 4 | 操作開關        |
| 2 1 0 5 | 電池          |
| 2 1 0 6 | 影像接收部分      |
| 2 2 0 1 | 主機          |
| 2 2 0 2 | 訊號線         |
| 2 2 0 3 | 套頭帶         |
| 2 2 0 4 | 顯示器部分       |
| 2 2 0 5 | 光學系統        |
| 2 2 0 6 | 電激螢光顯示器裝置   |
| 2 3 0 1 | 主機          |
| 2 3 0 2 | 紀錄媒介        |
| 2 3 0 3 | 操作開關        |
| 2 3 0 4 | 顯示器部分 ( a ) |

### 五、發明說明 ( 33 )

- |         |             |
|---------|-------------|
| 2 3 0 5 | 顯示器部分 ( b ) |
| 2 4 0 1 | 主機          |
| 2 4 0 2 | 顯示器部分       |
| 2 4 0 3 | 手臂部分        |
| 2 5 0 1 | 主機          |
| 2 5 0 2 | 框架          |
| 2 5 0 3 | 顯示器部分       |
| 2 5 0 4 | 鍵盤          |
| 2 6 0 1 | 主機          |
| 2 6 0 2 | 音訊輸出部分      |
| 2 6 0 3 | 音訊輸入部分      |
| 2 6 0 4 | 顯示器部分       |
| 2 6 0 5 | 操作開關        |
| 2 6 0 6 | 天線          |
| 2 7 0 1 | 主機          |
| 2 7 0 2 | 顯示器部分       |
| 2 7 0 3 | 操作開關        |
| 2 7 0 4 | 操作開關        |

#### 本發明之詳細描述

在下文中，本發明之電激螢光元件的說明與結構將藉由參照附圖而被詳細描述。藉由一  $n$  位元數位資料訊號而執行  $2^n$  個灰階顯示的情形將在此被解釋。

圖 1 係為一方塊圖，顯示本發明之電激螢光元件的電

## 五、發明說明（34）

路結構。圖 1 之電激螢光元件藉由使用薄膜電晶體而包括一像素部分 1 0 1、一對設置於像素部分 1 0 1 之周圍的源極訊號線驅動電路 1 0 2、1 0 4、以及一對閘極訊號線驅動電路 1 0 3、1 0 5 於一基板上。

該第一源極訊號線驅動電路 1 0 2 係由一移位暫存器 1 0 2 a、一閘鎖電路（A）1 0 2 b、與一閘鎖電路（B）1 0 2 c 及其類似者所組成。類似地，該第二源極訊號線驅動電路 1 0 4 係由一移位暫存器 1 0 4 a、一閘鎖電路（A）1 0 4 b、與一閘鎖電路（B）1 0 4 c 及其類似者所組成。

在該第一源極訊號線驅動電路 1 0 2 中，一時脈訊號 C L K 與一起始脈衝 S P 被輸入至移位暫存器 1 0 2 a。移位暫存器 1 0 2 a 以時序訊號 C L K 與起始脈衝 S P 為基礎依序產生時序訊號，以藉此透過一緩衝器（未繪示）或類似者依序將該時序訊號引入下流（downstream）電路。類似地，在該第二源極訊號線驅動電路 1 0 4 中，一時脈訊號 C L K 與一起始脈衝 S P 被輸入至移位暫存器 1 0 4 a。移位暫存器 1 0 4 a 以時序訊號 C L K 與起始脈衝 S P 為基礎依序產生時序訊號，以藉此透過一緩衝器（未繪示）或類似者依序將該時序訊號引入下流（downstream）電路。一共用時序訊號與一共用起始脈衝可被提供成即將被輸入至該對源極訊號線驅動電路（1 0 2、1 0 4）的時序訊號 C L K 與起始脈衝 S P，或者，時序訊號 C L K 與起始脈衝 S P 係可被分別提供。

## 五、發明說明 ( 35 )

在該對源極訊號線驅動電路 ( 1 0 2 、 1 0 4 ) 之每一者中，從移位暫存器 ( 1 0 2 a 、 1 0 4 a ) 所提供的時序訊號藉由一緩衝器或類似者而被電流放大。大量的電路或元件被連接至連線，透過該連線而引入該時序訊號，使得負載電容 ( 包括寄生電容 ) 由於其電路或元件而顯得相當的大。緩衝器被提供以避免由於此一大負載電容而減低時序訊號敏銳的上升或下降。

藉由緩衝器電路而被電流放大的時序訊號接著被引入該門鎖電路 ( A ) 1 0 2 b 。該門鎖電路 ( A ) 1 0 2 b 具有複數個層級，以處理 n 位元數位資料訊號。該門鎖電路 ( A ) 1 0 2 b 接著介入並且保持分時灰階資料訊號產生電路 1 0 6 所引入之 n 位元數位資料訊號於輸入時序訊號時。

完成寫入數位資料訊號至門鎖電路 ( A ) 1 0 2 b 之所有層級所需要的時間稱作一個線週期 ( line term ) 。換言之，線週期係被定義成一時間間隔，其從開始寫入數位資料訊號至門鎖電路 ( A ) 1 0 2 b 之最左層級的門鎖電路到結束寫入數位資料訊號至門鎖電路 ( A ) 1 0 2 b 之最右層級的門鎖電路為止。

請注意，當數位資料訊號由門鎖電路 ( A ) 1 0 2 b 所接收時，數位資料訊號被依序引入該門鎖電路 ( A ) 1 0 2 b 之複數個層級的門鎖電路。然而，本發明並不限定於此一結構。一種所謂的分割驅動 ( division drive ) 可被執行於該對源極訊號線驅動電路 1 0 2 、 1 0 4 之一或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 36 )

二者中，換言之，該門鎖電路 ( A ) 1 0 2 b 之複數個層級的門鎖電路被分割成數個群組，而且該數位資料訊號同時被平行地引入個別的群組中。亦必須注意的是，此刻的群組數目係稱作一分割數目。舉例來說，如果該門鎖電路被分割成 4 個群組，則其便被稱作 4 支分割驅動。

在完成一個線週期之後，一門鎖訊號被引入該門鎖電路 ( B ) 1 0 2 c 。在此時，由該門鎖電路 ( A ) 1 0 2 b 所寫入並且保持的數位資料訊號全部被一起送出去至門鎖電路 ( B ) 1 0 2 c ，以藉由其所有層級之門鎖電路所寫入並且保持。

當該門鎖電路 ( A ) 1 0 2 b 已經完成傳送數位資料訊號至門鎖電路 ( B ) 1 0 2 c 時，在從移位暫存器 1 0 2 a 所產生的時序訊號之基礎上，依序從分時灰階資料訊號產生電路 1 0 6 寫入該數位資料訊號再次地被實現至該門鎖電路 ( A ) 1 0 2 b 。

在此第二線週期中，由門鎖電路 ( B ) 1 0 2 c 所寫入並且保持的數位資料訊號被輸入至該源極訊號線。

在該第二源極訊號線驅動電路 1 0 4 中，係執行與在上述之該第一源極訊號線驅動電路 1 0 2 中所進行的步驟相同者。首先，由緩衝器所進行電流放大的時序訊號被引入該門鎖電路 ( A ) 1 0 4 b 。在接收到該時序訊號之後，門鎖電路 ( A ) 1 0 4 b 接著接收並且保持從該分時灰階資料訊號產生電路 1 0 6 所引出之 n 位元數位資料訊號。當該門鎖電路 ( A ) 1 0 4 b 接收該數位資料訊號時，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 37 )

數位資料訊號可以連續地被輸入至該門鎖電路 ( A )

1 0 4 b 之複數個門鎖層級，或者所謂的分割驅動可被執行，亦即，門鎖電路 ( A ) 1 0 4 b 之複數個門鎖層級被分割成 n 個群組並且該數位資料訊號被同時而彼此平行地引入該門鎖層級的群組中。在完成一線週期之後，一門鎖訊號被引入該門鎖電路 ( B ) 1 0 4 c。在此時，由該門鎖電路 ( A ) 1 0 4 b 所寫入並且保持的數位資料訊號全部被一起送出去至門鎖電路 ( B ) 1 0 4 c，以藉由其所有層級之門鎖電路所寫入並且保持。在該門鎖電路 ( A ) 1 0 4 b 已經完成傳送之前所寫的數位資料訊號至門鎖電路 ( B ) 1 0 4 c 後，在從移位暫存器 1 0 4 a 所產生的時序訊號之基礎上，依序從分時灰階資料訊號產生電路

1 0 6 寫入該數位資料訊號再次地被實現至該門鎖電路 ( A ) 1 0 4 b。在此第二線週期中，由門鎖電路 ( B ) 1 0 4 c 所寫入並且保持的數位資料訊號被輸出至該源極訊號線。

在本具體實施例模式中，該對源極訊號線驅動電路 ( 1 0 2、1 0 4 ) 分別具有該門鎖電路 ( A ) ( 1 0 2 b、1 0 4 b ) 與門鎖電路 ( B ) ( 1 0 2 c、1 0 4 c )，而且由該門鎖電路所保持的數位資料訊號被同時引至該源極訊號線 ( 以用於線順序驅動 )。在該對源極訊號線驅動電路 1 0 2、1 0 4 之一或二者中，用來處理 n 位元數位資料訊號的複數個傳輸閘極層級可被提供，而不是提供該門鎖電路 ( A ) 與 ( B )。在這種情形中，每一層級之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 38 )

傳輸閘極被連接至該移位暫存器、分時灰階資料訊號產生電路 106、以及該源極訊號線之一者。當從移位暫存器所產生的時序訊號被輸入至每一層級之傳輸閘極時，從分時灰階資料訊號產生電路 106 所產生的數位資料訊號透過該傳輸閘極而被引至該源極訊號線。從移位暫存器所產生的時序訊號被連續地引至連接到傳輸閘極層級的源極訊號線。在從移位暫存器所產生的時序訊號被輸入至所有的傳輸閘極層級以完成引入數位資料訊號至源極訊號線之後，傳輸閘極層級再次以移位暫存器所產生的時序訊號為基礎傳送從分時灰階資料訊號產生電路 106 所產生的數位資料訊號至該源極訊號線。在複數個傳輸閘極層級而不是閃鎖電路 (A) 與 (B) 被提供的情形中，所謂的點順序驅動藉由連續地將數位資料訊號引至該源極訊號線而被執行。

在另一方面，該第一閘極訊號線驅動電路 103 與第二閘極訊號線驅動電路 105 係分別由一移位暫存器與一緩衝器電路（均未繪示於圖中）所構成。視情況而定，該第一閘極訊號線驅動電路 103 與第二閘極訊號線驅動電路 105 可以具有一位準移位電路。

在該第一閘極訊號線驅動電路 103 與第二閘極訊號線驅動電路 105 中，從移位暫存器（未繪示於圖中）所產生的時序訊號被輸入至該緩衝器電路（未繪示於圖中），以被引至相對應之閘極訊號線（亦被稱作掃描線）。該閘極訊號線被連接至一線之像素薄膜電晶體的閘極電極，



## 五、發明說明 ( 39 )

而且一線之所有的像素薄膜電晶體必須被同時導通，其需要使用具有大電流容量的緩衝器電路。

在該分時灰階資料訊號產生電路 1 0 6 中，類比或數位視訊訊號（包含影像資訊的訊號）被轉換成數位資料訊號，以執行分時灰階並且被引至門鎖電路（A）1 0 2 b 與 1 0 4 b。該分時灰階資料訊號產生電路 1 0 6 亦為一種用來產生諸如執行分時灰階顯示時所必須之時間脈衝的訊號。

該分時灰階資料訊號產生電路 1 0 6 可被提供於本發明之電激螢光元件的外部。在此情形中，其變成一種結構，其中由該分時灰階資料訊號產生電路 1 0 6 所產生的數位資料訊號被引至本發明之電激螢光元件。因此，本發明之電激螢光元件與該分時灰階資料訊號產生電路 1 0 6 以具有本發明之電激螢光元件以作為其顯示部分的電子設備之分離元件的角色被包括。

該分時灰階資料訊號產生電路 1 0 6 亦可利用 I C 晶片的形式或類似者而被使用於該電激螢光元件中。在此情形中，其變成一種結構，其中由該 I C 晶片所產生的數位資料訊號被引至本發明之電激螢光元件。因此，使用該具有該分時灰階資料訊號產生電路 1 0 6 之 I C 晶片的本發明之電激螢光元件係被包括以作為具有本發明之電激螢光元件以作為其顯示部分的電子設備之一元件。

最後，藉由使用薄膜電晶體所形成的分時灰階資料訊號產生電路 1 0 6 可以與該像素部分 1 0 1、該對源極訊

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 40 )

號線驅動電路 ( 1 0 2 、 1 0 4 ) 、 以及該對閘極訊號線驅動電路 ( 1 0 3 、 1 0 5 ) 被形成於同一基板上。在此情形中，包含被引至該電激螢光元件的影像資訊之視訊訊號可以完全被處理於該基板上。本情形之分時灰階資料訊號產生電路可以藉由使用一多晶矽層作為主動層而由一薄膜電晶體所形成。此外，在具有本發明之電激螢光元件以作為其顯示部分的電子設備中，該分時灰階資料訊號產生電路被使用於該電激螢光元件內，以藉此製造更小的電子設備。

該像素部分 1 0 1 之放大圖式係如圖 2 所示。被提供於該像素 1 0 7 者係為連接至該第一源極訊號線驅動電路 1 0 2 之閘鎖電路 ( B ) 1 0 2 c 的源極訊號線 ( S a 1 至 S a x ) 、 連接至該第二源極訊號線驅動電路 1 0 4 之閘鎖電路 ( B ) 1 0 4 c 的源極訊號線 ( S b 1 至 S b x ) 、 連接至該電激螢光顯示器之一外接功率源的功率供給線 ( V 1 至 V x ) 、 連接至該第一閘極訊號線驅動電路 1 0 3 之閘極訊號線 ( G a 1 至 G a x ) 、 以及連接至該第二閘極訊號線驅動電路 1 0 5 之閘極訊號線 ( G b 1 至 G b x ) 。

像素 1 0 7 係為由源極訊號線 ( S a 1 、 S b 1 ) 、 功率供給線 V 1 、 以及閘極訊號線 ( G a 1 、 G b 1 ) 所形成的區域。在該像素部份 1 0 1 中，如像素 1 0 7 之像素係被設置於矩陣中。

圖 3 所示係為像素 1 0 7 之一放大圖式。在圖 3 中，

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

## 五、發明說明（<sup>41</sup>）

參考數字 1 1 3 a 與 1 1 3 b 代表交換薄膜電晶體。該交換薄膜電晶體 1 1 3 a 與 1 1 3 b 之閘極電極分別被連接至閘極訊號線（G a 1、G b 1）。至於交換薄膜電晶體 1 1 3 a 之一源極與一汲極者，其一被連接至源極訊號線 S a 而另一者被連接至一電激螢光驅動薄膜電晶體

1 0 8 a 之一閘極電極、該像素之每一者的電容 1 1 2 a、消除薄膜電晶體 1 0 9 b 之源極區域與汲極區域之一者。此外，至於交換薄膜電晶體 1 1 3 b 之一源極與一汲極者，其一被連接至源極訊號線 S b 而另一者被連接至一電激螢光驅動薄膜電晶體 1 0 8 b 之一閘極電極、該像素之每一者的電容 1 1 2 b、消除薄膜電晶體 1 0 9 a 之源極區域與汲極區域之一者。

當該交換薄膜電晶體 1 1 3 a 與 1 1 3 b 於非選擇狀態（即截止狀態）時，該電容 1 1 2 a 與 1 1 2 b 被提供以用來保持電激螢光驅動薄膜電晶體 1 0 8 a 與 1 0 8 b 之閘極電壓。請注意，儘管本具體實施例模式顯示一種具有電容 1 1 2 a 與 1 1 2 b 之結構，本發明並不侷限於此一結構，並且可以使用不具有該電容 1 1 2 a 與 1 1 2 b 之之者或兩者之結構。

至於該消除薄膜電晶體 1 0 9 a 與 1 0 9 b 之一源極與一汲極者，未被連接至交換薄膜電晶體 1 1 3 a 與 1 1 3 b 之源極區域或汲極區域者係被連接至功率供給線 V。該消除薄膜電晶體 1 0 9 a 與 1 0 9 b 之閘極電極係分別被連接至閘極訊號線 G a 與 G b。

## 五、發明說明 ( 42 )

至於該電激螢光驅動薄膜電晶體 1 0 8 a 與 1 0 8 b 之一源極與一汲極者，其一被連接至功率供給線 V 而另一者被連接至一電激螢光元件 1 1 0。該功率供給線 V ( V 1 至 V x ) 被連接至電容 1 1 2 a 與 1 1 2 b。

該電激螢光元件 1 1 0 係由一陽極、一陰極、以及包夾於該陽極與該陰極之間的電激螢光層所構成。在陽極被連接至該電激螢光驅動薄膜電晶體 1 0 8 a 與 1 0 8 b 之源極或汲極的情形中，該陽極成爲一像素電極而該陰極成爲一相對電極。反之，如果該陰極被連接至該電激螢光驅動薄膜電晶體 1 0 8 a 與 1 0 8 b 之源極或汲極，則該陰極成爲一像素電極而該陽極成爲一相對電極。

一相對電位被施加至該電激螢光元件 1 1 0 之相對電極，而且一功率供給電位被施加至功率供給線 V。該相對電位與該功率供給電位之每一者均永遠被保持在一固定之位準。該相對電位與該功率供給電位之間的電位差被設定於一位準，使得該電激螢光元件產生足夠之發光度於該功率供給電位被施加至一像素電極時。爲了供給該相對電位與該功率供給電位，功率透過一外接之 I C 晶片或類似者而被供給至本發明之電激螢光元件。

在目前所使用之典型的電激螢光元件中，當該像素在一區域的發光度爲  $200 \text{ cd} / \text{m}^2$  時，像素部分之面積所需之電流密度爲數個  $\text{mA} / \text{cm}^2$ 。因此，特別是對於較大尺寸的螢幕，藉由外接的開關來控制從功率源所提供至

I C 的電位位準變得更加困難。在本發明中，該相對電位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（43）

與該功率供給電位之每一者均永遠被保持在一固定之位準，因此使用一開關來來控制從功率源所提供至 I C 的電位位準便不需要了，其使本發明可以被用於實現具有較大尺寸螢幕的顯示面板。

在本發明中，當該功率供給電位被施加至閘極電極時，該電激螢光驅動薄膜電晶體 1 0 8 a 與 1 0 8 b 之每一者均必須被截止。

不論是 n 通道薄膜電晶體或是 p 通道薄膜電晶體均可被使用來形成該電激螢光驅動薄膜電晶體 1 0 8 a 與 1 0 8 b、該消除薄膜電晶體 1 0 9 a 與 1 0 9 b、與該交換薄膜電晶體 1 1 3 a 與 1 1 3 b。此外，該電激螢光驅動薄膜電晶體 1 0 8 a 與 1 0 8 b、該消除薄膜電晶體 1 0 9 a 與 1 0 9 b、與該交換薄膜電晶體 1 1 3 a 與 1 1 3 b 並不必然由一單一閘極結構所構成，而且可以具有一多重閘極結構如一雙閘極結構或一三閘極結構。

一種利用上述之結構而用來驅動本發明之電激螢光元件的方法係藉由參照圖 4 而被說明。一種使用  $2^n$  個灰階位準來顯示的方法將藉由參照圖 1 至圖 3 而被用來解釋本發明之驅動方法的例子。

從該第一閘極訊號線驅動電路 1 0 3 所產生之一閘極訊號係首先被引至該寫入閘極訊號線 G a 1。因此，被連接至該寫入閘極訊號線 G a 1 的所有像素（第一線上的像素）之交換薄膜電晶體 1 1 3 a 與消除薄膜電晶體 1 0 9 a 被轉成導通狀態。

## 五、發明說明（44）

且在此同時，從該第一源極訊號線驅動電路 102 之閃鎖電路（B）102c 所產生的數位資料訊號之第一位元被引至源極訊號線（S a 1 至 S a x）。該數位資料訊號係透過該交換薄膜電晶體 113a 而被引至該電激螢光驅動薄膜電晶體 108a 的閘極電極。數位資料訊號具有“0”或“1”的資訊，其中“1”具有一“高”電位而“0”具有一“低”電位。

此外，在同時，該功率供給線（V 1 至 V x）之功率供給電位透過該消除薄膜電晶體 109a 而被施加至該電激螢光驅動薄膜電晶體 108b 的閘極電極，藉以將該電激螢光驅動薄膜電晶體 108b 截止。

在本具體實施例模式中，當該數位資料訊號具有“0”的資訊時，該電激螢光驅動薄膜電晶體 108a 係於截止狀態。該電激螢光驅動薄膜電晶體 108b 亦於截止狀態。在此考量之下，該功率供給電位未被施加至該電激螢光元件 110 之像素電極。因此，具有“0”的資訊之數位資料訊號所引至之像素的電激螢光元件 110 並未發光。

反之，當該數位資料訊號具有“1”的資訊時，該電激螢光驅動薄膜電晶體 108a 係於導通狀態，因此該功率供給電位被施加至該電激螢光元件 110 之像素電極，不論該電激螢光驅動薄膜電晶體 108b 之狀態（導通或截止）。結果，具有“1”的資訊之數位資料訊號所引至之像素的電激螢光元件 110 發光。

## 五、發明說明 ( 45 )

因此，該電激螢光元件 1 1 0 之發光與否係決定於輸入至每一第一線像素之數位資料訊號，其中該第一線像素執行顯示功能。

在完成將閘極訊號引至 G a 1 的同時，另一從該第一閘極訊號線驅動電路 1 0 3 所產生之閘極訊號被引至閘極訊號線 G a 2。在此時，所有連接至閘極訊號線 G a 2 之交換薄膜電晶體 1 1 3 a 與消除薄膜電晶體 1 0 9 a 被導通，以從源極訊號線 ( S a 1 至 S a x ) 輸入數位資料訊號之第一位元至該第二線像素。該第二線像素之電激螢光元件 1 1 0 藉此而被選擇性地設定於發光或非發光狀態，其中該第二線像素執行顯示功能。

之後，閘極訊號被連續地引至其他的閘極訊號線 ( G a 3 至 G a y )。所有的閘極訊號線 ( G a 1 至 G a y ) 被選擇而且該數位資料訊號之第一位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 1。

在該寫入週期 T a 1 中，每一線之像素根據該數位資料訊號之第一位元的輸入而執行顯示功能。輸入至每一線之每一像素的該數位資料訊號之第一位元被保持，直到下一數位資料訊號，亦即該數位資料訊號之第二位元，被輸入於一寫入週期 T a 2 中。每一線之像素根據該數位資料訊號之第一位元的輸入而執行顯示功能的时间週期被稱作一顯示週期 T r 1。圖 4 繪示第一、第二、與第 y 線之像素執行顯示功能之顯示週期 T r 1。每一線之顯示週期 T r 1 開始時具有從目前所進行的線之顯示週期 T r 1 所產

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

## 五、發明說明 ( 46 )

生之一定的延遲。

在寫入週期 T a 1 結束前，寫入週期 T a 2 便已經開始。換言之，在該數位資料訊號之第一位元被輸入至所有的線之像素之前，從該第二閘極訊號線驅動電路 1 0 5 所產生之閘極訊號被引至閘極訊號線 G b 1。在此情形中，該數位資料訊號之第一位元的輸入係與該數位資料訊號之第二位元被輸入至像素平行地被執行。相對於寫入週期 T a 2，相對於寫入週期 T a 1 所使用之第一閘極訊號線驅動電路 1 0 3 之外的電路，亦即該第二閘極訊號線驅動電路 1 0 5 係被使用。在本具體實施例模式（如圖 4 所示）中，寫入週期 T a 2 開始於寫入週期 T a 1 結束之前。然而，本發明並不侷限於此。換言之，相同的驅動方法可以被使用，無論寫入週期 T a 2 開始於寫入週期 T a 1 結束之前或之後。

當閘極訊號被引至閘極訊號線 G b 1 時，被連接至該閘極訊號線 G b 1 的所有像素（第一線像素）之交換薄膜電晶體 1 1 3 b 與消除薄膜電晶體 1 0 9 b 被導通。類似地，從該第二源極訊號線驅動電路 1 0 4 之閘鎖電路（B）1 0 4 c 所產生的數位資料訊號之第二位元被引至源極訊號線（S b 1 至 S b x）。該數位資料訊號之每一者係透過該交換薄膜電晶體 1 1 3 b 而被引至該電激螢光驅動薄膜電晶體 1 0 8 b 的閘極電極。數位資料訊號具有“0”或“1”的資訊，其中“1”具有一“高”電位而“0”具有一“低”電位。此外，該功率供給線（V 1 至 V x

（請先閱讀背面之注意事項再填寫本頁）

裝  
訂



## 五、發明說明 ( 47 )

) 之功率供給電位透過該消除薄膜電晶體 1 0 9 b 而被施加至該電激螢光驅動薄膜電晶體 1 0 8 a 的閘極電極，藉以將該電激螢光驅動薄膜電晶體 1 0 8 a 截止。

電激螢光元件 1 1 0 係根據輸入至每一第一線像素的數位資料訊號而被選擇性地設定於發光或非發光狀態，如寫入週期 T a 1 之電激螢光元件 1 1 0。因此，該第一線像素執行顯示功能。

之後，閘極訊號被連續地引至其他的閘極訊號線 ( G b 2 至 G b y )。所有的閘極訊號線 ( G b 1 至 G b y ) 被選擇而且該數位資料訊號之第二位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 2。

在該寫入週期 T a 2 中，當該數位資料訊號之第二位元被輸入至每一線之每一像素時，原先被保持之該數位資料訊號之第一位元被新寫入該數位資料訊號之第二位元所取代。每一線之像素因而執行顯示功能。換言之，顯示週期 T r 1 結束而且顯示週期 T r 2 開始。該數位資料訊號之第二位元被保持於每一線之每一像素中，直到下一數位資料訊號，亦即該數位資料訊號之第三位元，被輸入於一寫入週期 T a 3 中。每一線之顯示週期 T r 2 開始時具有從目前所進行的線之顯示週期 T r 2 所產生之一定的延遲。(參考圖 4)

類似地，下一寫入週期 T a 3 開始。在本具體實施例模式中 (如圖 4 所示)，寫入週期 T a 3 開始於寫入週期 T a 1 結束之前。相對於寫入週期 T a 3，相對於寫入週

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 48 )

期 T a 2 所使用之第二閘極訊號線驅動電路 1 0 5 之外的電路，亦即該第一閘極訊號線驅動電路 1 0 3 係被使用。然而，本發明並不侷限於此。換言之，相同的驅動方法可以被使用，無論寫入週期 T a 3 開始於寫入週期 T a 2 結束之前或之後。所有的閘極訊號線 ( G a 1 至 G a y ) 被連續地選擇，而且該數位資料訊號之第三位元被輸入至所有線之像素。該數位資料訊號之第三位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 3 。

在該寫入週期 T a 3 中，當該數位資料訊號之第三位元被輸入至每一線之每一像素時，原先被保持之該數位資料訊號之第二位元被新寫入該數位資料訊號之第三位元所取代。每一線之像素因而執行顯示功能。換言之，顯示週期 T r 2 結束而且顯示週期 T r 3 開始。該數位資料訊號之第三位元被保持於每一線之每一像素中，直到下一數位資料訊號，亦即該數位資料訊號之第四位元，被輸入於一寫入週期 T a 4 中。每一線之顯示週期 T r 3 開始時具有從目前所進行的線之顯示週期 T r 3 所產生之一定的延遲。

上述的操作被重複執行，直到該數位資料訊號之第 n 個位元被輸入至該像素。因此，顯示週期 ( T r 1 至 T r n ) 依序接著出現 ( 如圖 4 所示 ) 。每一數位資料訊號之第 n 個位元被保持於像素中，直到該數位資料訊號之第一個位元再次被輸入。當該數位資料訊號之第一個位元再次被輸入時，顯示週期 T r n 就結束了。在此時，框架

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 49 )

週期也跟著結束。在該顯示週期群組 (  $T_{r1}$  至  $T_{rn}$  ) 結束時，一個影像的顯示便已經完成。在本發明之驅動方法中，影像所顯示之週期係稱作一框架週期 (  $F$  )。每一顯示週期 (  $T_{r1}$  至  $T_{rn}$  ) 係為從相對應之寫入週期 (  $T_{a1}$  至  $T_{an}$  之一者 ) 開始之時間到下一寫入週期開始之時間之間的時間週期。因此，顯示週期 (  $T_{r1}$  至  $T_{rn}$  ) 係由相對應之該對寫入週期 (  $T_{a1}$  至  $T_{an}$  ) 之開始時間差所決定。

因此，在完成一框架週期後，從該第一閘極訊號線驅動電路 103 所產生之閘極訊號再次被引至閘極訊號線  $G_{a1}$ 。結果，數位資料訊號之第一位元被引至該像素而且第一線之像素再次成為顯示週期  $T_{r1}$ 。上述之操作係因而被重複。

較佳者係於一正常的電激螢光元件中，每秒提供 60 或更多個框架週期。如果每秒顯示少於 60 個框架週期，會出現影像之閃爍。

顯示週期 (  $T_{r1}$  至  $T_{rn}$  ) 之長度被設定，使得其依照遞增的順序被排列之長度比例可以表示成  $2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ 。在  $2^n$  個灰階位準中使用所欲之位準的灰階顯示可以藉由選擇這些顯示週期的組合而被執行。在本具體實施例模式中 (如圖 4 所示)，以長度遞增之順序排列之該組顯示週期 (  $T_{r1}$  至  $T_{rn}$  ) (  $n$  : 偶數 ) 係為  $T_{r(n-1)}$ 、 $T_{r(n-3)}$ 、 $T_{r(n-5)}$ 、...、 $T_{r1}$ 、 $T_{r2}$ 、 $T_{r4}$ 、 $T_{r6}$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 50 )

、...、 $T r n$ 。換言之，在本具體實施例模式中（如圖 4 所示），顯示週期（ $T r 1$  至  $T r n$ ）被設定以使得

$$T r ( n - 1 ) : T r ( n - 3 ) : T r ( n - 5 ) : \dots \\ : T r 1 : T r 2 : T r 4 : T r 6 : \dots : T r n = 2^0 : \\ 2^1 : 2^2 : \dots : 2^{(n/2-1)} : 2^{(n/2)} : 2^{(n+1)} : \\ 2^{(n+2)} : \dots : 2^{(n-1)}。$$

在一框架週期中，顯示之像素的灰階位準係由顯示週期之總長度所決定，在其中相對應之電激螢光元件在一框架週期內發光。舉例來說，若在本具體實施例模式中  $n = 8$ （如圖 4 所示），顯示週期（ $T r 1$  至  $T r 8$ ）之長度被設定，使得  $T r 1 : T r 2 : T r 3 : T r 4 : T r 5 : T r 6 : T r 7 : T r 8 = 2^0 : 2^1 : 2^2 : 2^3 : 2^4 : 2^5 : 2^6 : 2^7$ 。在此情形中，如果像素之發光度在所有的顯示週期中為 100%，13% 之發光度可以藉由像素在顯示週期  $T r 4$  與  $T r 5$  中發光而被表示。此外，58% 之發光度亦可以藉由像素在顯示週期  $T r 2$ 、 $T r 3$  與  $T r 8$  中發光而被表示。

藉著採用上述結構，本發明在即使薄膜電晶體中有稍微變化而相同的電壓被施加時，可以抑制所輸出之電流量的改變。因此，即使在具有相同電壓的訊號被引入時，由於薄膜電晶體之特性的變化所導致電激螢光元件之發光度的巨大改變可被避免。

以相同之閘極訊號線驅動電路寫入之寫入週期在長度方面係為相等。在本具體實施例模式（如圖 4 所示）中，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

結

## 五、發明說明 ( 51 )

由於該寫入週期 (  $T_{a1}$  至  $T_{an}$  ) 被指定至該對閘極訊號線驅動電路，因此  $T_{a1} = T_{a3} = \dots = T_{a(n-1)}$  而且  $T_{a2} = T_{a4} = \dots = T_{an}$  被建立。相對應至不同的閘極訊號線驅動電路之寫入週期的長度可以為相同或不同。在該對閘極訊號線驅動電路具有相同的驅動電路組成並且使用一共用時脈訊號 ( CLK ) 及一共用起始脈衝的情形中，相對應至不同的閘極訊號線驅動電路之寫入週期的長度係為彼此相同。在另一方面，在該對閘極訊號線驅動電路具有不同的驅動電路組成 ( 具有不同之分割數目或類似者 ) 並且使用不同之時脈訊號 ( CLK ) 及不同之起始脈衝的情形中，相對應至不同的閘極訊號線驅動電路之寫入週期的長度可被設定成不同相同。

在本發明中，每一相鄰對之顯示週期的總和  $T_{r1} + T_{r2}$ 、 $T_{r2} + T_{r3}$ 、...、 $T_{rn} +$  下一顯示框架之起始顯示週期  $T_{r1}$  ) 等於或大於相對應之寫入週期

$T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  的長度是為必要的。舉例而言，如果本具體實施例模式 ( 如圖 4 所示 ) 中之所有寫入週期均相等 (  $T_a$  )，相對應至相鄰對之顯示週期之總和的最小值  $T_{r2} + T_{r3}$  等於或大於寫入週期 (  $T_a$  ) 係為必要的。更詳而言之，如果  $n = 8$ ，顯示週期之總和

$T_{r2} + T_{r3}$  係等於 ( 一框架週期 )  $\times ( 2^4 + 2^2 ) / ( 2^0 + 2^1 + 2^2 + \dots + 2^7 )$ ，也因此寫入週期 (  $T_a$  ) 的長度等於或小於 ( 一框架週期 )  $\times 20 / 255$  係為必要的。此外，以相同之閘極訊號線驅動電路寫入之寫入週期

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

總

## 五、發明說明 ( 52 )

的長度和小於一框架週期一框架週期。

顯示週期 (  $T_{r1}$  至  $T_{rn}$  ) 可以依任何次序出現。舉例而言，該顯示週期可在一框架週期內依  $T_{r1}$ 、 $T_{r3}$ 、 $T_{r5}$ 、 $T_{r2}$ 、... 的次序出現。然而，每一相鄰對的顯示週期之總和  $T_{ri} + T_{rj}$  ( 其中  $i$  與  $j$  係為等於或大於 1 且等於或小於  $n$  的不同整數 ) 等於或大於相對應至進行中之顯示週期  $T_{ri}$  的寫入週期  $T_{ai}$  之長度，係為必須的。

在本具體實施例模式 ( 如圖 4 所示 ) 中，為了解釋方便， $n$  被假設成一偶數。然而，毫無疑問地，本發明並不侷限於此。

在本具體實施例模式 ( 如圖 4 所示 ) 中，寫入週期  $T_{a2}$  與  $T_{a3}$  之每一者開始於進行中的寫入週期  $T_{a1}$  與  $T_{a2}$  結束之前。然而，本發明並不侷限於此。該寫入週期之每一相鄰對可以彼此重疊或不重疊。設定顯示週期 (  $T_{r1}$  至  $T_{rn}$  ) 以及寫入週期 (  $T_{a1}$  至  $T_{an}$  ) 長度的結果決定相鄰對之寫入週期之重疊或非重疊狀態。

在本具體實施例模式 ( 如圖 4 所示 ) 中，為了解釋方便，係假設該對閘極訊號線驅動電路針對該寫入週期 (  $T_{a1}$  至  $T_{an}$  ) 而被交替地使用。然而，本發明並不侷限於此。在本發明中，如果在寫入週期之相鄰對之每一者中沒有任何重疊，兩閘極訊號線驅動電路或一閘極訊號線驅動電路可以在兩相鄰寫入週期中被用來驅動。在另一方面，如果在本發明中之寫入週期之相鄰對中有重疊，針對

## 五、發明說明 ( 53 )

兩重疊之寫入週期使用分離之閘極訊號線驅動電路是必須的。

在本發明中，沒有任何像素發光的顯示週期可被設定，其係藉由添加一寫入週期而非  $n$  位元數位資料訊號，以選擇所有像素（在本具體實施例模式中永遠具有“0”之資訊的數位資料訊號）中的電激螢光元件之非發光狀態。這種寫入與顯示週期分別被稱作非發光寫入週期與非發光顯示週期。在習知類比驅動的情形中，當該電激螢光元件被形成以執行完全寫入顯示時，該電激螢光元件會連續發光。這種情形可能導致電激螢光層迅速惡化。在本發明中，非發光顯示週期可被設定以達到限制電激螢光層惡化的效果。

在  $m$  個非發光顯示週期被設定的情形中，顯示週期（ $T_{r1}$  至  $T_{r(n+m)}$ ）包含  $m$  個非發光顯示週期與  $n$  個  $2^n$  個灰階顯示所必須的顯示週期（請參考第 3 與第 4 具體實施例）。針對該顯示週期（ $T_{r1}$  至  $T_{r(n+m)}$ ），寫入週期（ $T_{a1}$  至  $T_{a(n+m)}$ ）包含  $m$  個非發光寫入週期與  $n$  個  $2^n$  個灰階顯示所必須的寫入週期。在此情形中，針對該顯示週期（ $T_{r1}$  至  $T_{r(n+m)}$ ）與寫入週期（ $T_{a1}$  至  $T_{a(n+m)}$ ），顯示週期之每一相鄰對之總和  $T_{ri} + T_{rj}$  等於或大於相對應至進行中之顯示週期  $T_{ri}$  之寫入週期  $T_{ai}$  的長度係為必須的。

在本發明中，顯示週期與寫入週期有一部分彼此重疊。換言之，其甚至可以透過寫入週期之像素來執行顯示功

## 五、發明說明 ( 54 )

能。因此，在一框架中之顯示週期的長度總和之比例（工作比值）可被設定至一較高的數值。特別地，在本具體實施例模式（如圖 4 所示）之沒有提供任何非發光顯示週期的情形中，其工作比值係為 100%。毫無疑問地，適用之非發光顯示週期可被設定以實現等於或小於 100% 的工作比值。

在本發明中，一對源極訊號線驅動電路與一對閘極訊號線驅動電路係被提供，而且不同的源極訊號線驅動電路與不同的閘極訊號線驅動電路可以被配成一對，以致使相對應之寫入週期的相鄰對可以部分地重疊。依此方式，每一顯示週期可被設定以短於相對應之寫入週期。因此，特別短的顯示週期可被設定以實現較大的灰階位準。

在  $m$  個非發光顯示週期被設定的情形中，顯示週期（ $T_{r1}$  至  $T_{r(n+m)}$ ）可以依任何順序出現。然而，每一相鄰對的顯示週期之總和  $T_{ri} + T_{rj}$ （其中  $i$  與  $j$  係為等於或大於 1 且等於或小於  $n$  的不同整數）等於或大於相對應至進行中之顯示週期  $T_{ri}$  的寫入週期  $T_{ai}$  之長度，係為必須的。因此，可被設定之顯示週期之最小可能值係根據顯示週期（ $T_{r1}$  至  $T_{r(n+m)}$ ）出現的順序而變動。

以長度遞增之方式出現的顯示週期之顯示系統的一簡單範例以及針對本具體實施例模式（如圖 4 所示）之範例將被比較於  $n = 8$  的情形，亦即，係設定了 256 個灰階位準。在這兩個範例中，所有的寫入週期在長度上均相等



## 五、發明說明 ( 55 )

，而且沒有任何非發光顯示週期被設定。在顯示週期以長度遞增的方式出現之情形中，依出現順序被設置的顯示週期係與  $2^0 : 2^1 : 2^2 : 2^3 : 2^4 : 2^5 : 2^6 : 2^7$  成比例，而且其相鄰對顯示週期總和之最小值係為最初兩顯示週期之總和。在另一方面，在本具體實施例模式（如圖 4 所示）之情形中，依出現順序被設置的顯示週期係與  $2^0 : 2^1 : 2^2 : 2^3 : 2^4 : 2^5 : 2^6 : 2^7$  成比例，而且第二與第三顯示週期之總和係為最小者。上述兩範例之比較結果是為，當相同的寫入週期被共同使用時，在本具體實施例模式（如圖 4 所示）中的相鄰對顯示週期總和之最小值係為  $(2^4 + 2^2) / (2^0 + 2^1)$  倍於依遞增順序顯示之週期的情形，換言之，其可被減至  $3 / 20$  倍。

在本發明中，如上所述，可能之設定中的顯示週期之最小值係根據顯示週期（ $T_{r1}$  至  $T_{r(n+m)}$ ）之出現順序而被決定。因此，可以藉由最佳化顯示週期（ $T_{r1}$  至  $T_{r(n+m)}$ ）之出現順序而設定一較短之顯示週期，並且因而實現一較大之灰階顯示位準的數目。

此外，在本發明中，較短之顯示週期將藉由適當地分割較顯示週期（ $T_{r1}$  至  $T_{r(n+m)}$ ）中的寫入週期長之顯示週期並且藉由最佳化這種顯示週期出現的順序而被實現（請參考第二具體實施例）。如果顯示週期藉由更進一步的分割而被增加，用來實現分割之顯示週期的寫入週期也被提供。相同於在分割前被輸入以實現顯示週期的數位資料訊號也可以針對新加入之寫入週期而被使用。

## 五、發明說明 ( 56 )

本發明之上述系統不僅適用於電激螢光元件，也適用於使用任何其他電子裝置的設備中。如果一具有高速反應的液晶顯示器，如一種具有數十毫秒或更短之反應時間，被實現，本發明也可以被應用至這種液晶裝置。

在下文中，本發明之具體實施例將被說明。

### [ 第一具體實施例 ]

在本發明之電激螢光元件中，從一 6 位元數位資料訊號執行 6 4 個灰階顯示之情形係被解釋於第一具體實施例中。值得注意的是，第一具體實施例中的電激螢光元件具有圖 1 至圖 3 中所繪示的結構。此外，圖 8 也將被用來解釋。

首先，從該第一閘極訊號線驅動電路 1 0 3 所產生之一閘極訊號係首先被引至該寫入閘極訊號線 G a 1。因此，被連接至該寫入閘極訊號線 G a 1 的所有像素（第一線上的像素）之交換薄膜電晶體 1 1 3 a 與消除薄膜電晶體 1 0 9 a 被轉成導通狀態。

且在此同時，從該第一源極訊號線驅動電路 1 0 2 之閘鎖電路（B）1 0 2 c 所產生的數位資料訊號之第一位元被引至源極訊號線（S a 1 至 S a x）。該數位資料訊號係透過該交換薄膜電晶體 1 1 3 a 而被引至該電激螢光驅動薄膜電晶體 1 0 8 a 的閘極電極。數位資料訊號具有“0”或“1”的資訊，其中“1”具有一“高”電位而“0”具有一“低”電位。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明（57）

此外，在同時，該功率供給線（V 1 至 V x）之功率供給電位透過該消除薄膜電晶體 1 0 9 a 而被施加至該電激螢光驅動薄膜電晶體 1 0 8 b 的閘極電極，藉以將該電激螢光驅動薄膜電晶體 1 0 8 b 截止。

在第一具體實施例中，當該數位資料訊號具有“0”的資訊時，該電激螢光驅動薄膜電晶體 1 0 8 a 係於截止狀態。該電激螢光驅動薄膜電晶體 1 0 8 b 亦於截止狀態。在此考量之下，該功率供給電位未被施加至該電激螢光元件 1 1 0 之像素電極。因此，具有“0”的資訊之數位資料訊號所引至之像素的電激螢光元件 1 1 0 並未發光。

反之，當該數位資料訊號具有“1”的資訊時，該電激螢光驅動薄膜電晶體 1 0 8 a 係於導通狀態，因此該功率供給電位被施加至該電激螢光元件 1 1 0 之像素電極，不論該電激螢光驅動薄膜電晶體 1 0 8 b 之狀態（導通或截止）。結果，具有“1”的資訊之數位資料訊號所引至之像素的電激螢光元件 1 1 0 發光。

因此，該電激螢光元件 1 1 0 之發光與否係決定於輸入至每一第一線像素之數位資料訊號，其中該第一線像素執行顯示功能，其係透過一作為顯示週期  $T_{r1}$  的時間週期。在圖 8 中，為了方便解釋，只有透過第一線像素所顯示的顯示週期被繪示。

在完成將閘極訊號引至 G a 1 的同時，另一從該第一閘極訊號線驅動電路 1 0 3 所產生之閘極訊號被引至閘極訊號線 G a 2。在此時，所有連接至閘極訊號線 G a 2 之

## 五、發明說明 ( 58 )

交換薄膜電晶體 1 1 3 a 與消除薄膜電晶體 1 0 9 a 被導通，以從源極訊號線 ( S a 1 至 S a x ) 輸入數位資料訊號之第一位元至該第二線像素。該第二線像素之電激螢光元件 1 1 0 藉此而被選擇性地設定於發光或非發光狀態，其中該第二線像素執行顯示功能。

之後，閘極訊號被連續地引至其他的閘極訊號線 ( G a 3 至 G a y ) 。所有的閘極訊號線 ( G a 1 至 G a y ) 被選擇而且該數位資料訊號之第一位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 1 。

在另一方面，在寫入週期 T a 1 結束前，寫入週期 T a 2 便已經開始。換言之，在該數位資料訊號之第一位元被輸入至所有的線之像素之前，從該第二閘極訊號線驅動電路 1 0 5 所產生之閘極訊號被引至閘極訊號線 G b 1 。在此情形中，該數位資料訊號之第一位元的輸入係與該數位資料訊號之第二位元被輸入至像素平行地被執行。相對於寫入週期 T a 2 ，相對於寫入週期 T a 1 所使用之第一閘極訊號線驅動電路 1 0 3 之外的電路，亦即該第二閘極訊號線驅動電路 1 0 5 係被使用。在第一具體實施例中，寫入週期 T a 2 開始於寫入週期 T a 1 結束之前。然而，本發明並不侷限於此。換言之，相同的驅動方法可以被使用，無論寫入週期 T a 2 開始於寫入週期 T a 1 結束之前或之後。

當閘極訊號被引至閘極訊號線 G b 1 時，被連接至該閘極訊號線 G b 1 的所有像素 ( 第一線像素 ) 之交換薄膜

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 59 )

電晶體 1 1 3 b 與消除薄膜電晶體 1 0 9 b 被導通。類似地，從該第二源極訊號線驅動電路 1 0 4 之門鎖電路 ( B ) 1 0 4 c 所產生的數位資料訊號之第二位元被引至源極訊號線 ( S b 1 至 S b x )。該數位資料訊號之每一者係透過該交換薄膜電晶體 1 1 3 b 而被引至該電激螢光驅動薄膜電晶體 1 0 8 b 的閘極電極。數位資料訊號具有 " 0 " 或 " 1 " 的資訊，其中 " 1 " 具有一 " 高 " 電位而 " 0 " 具有一 " 低 " 電位。此外，該功率供給線 ( V 1 至 V x ) 之功率供給電位透過該消除薄膜電晶體 1 0 9 b 而被施加至該電激螢光驅動薄膜電晶體 1 0 8 a 的閘極電極，藉以將該電激螢光驅動薄膜電晶體 1 0 8 a 截止。

電激螢光元件 1 1 0 係根據輸入至每一第一線像素的數位資料訊號而被選擇性地設定於發光或非發光狀態，如寫入週期 T a 1 之電激螢光元件 1 1 0。因此，該第一線像素執行顯示功能。

之後，閘極訊號被連續地引至其他的閘極訊號線 ( G b 2 至 G b y )。所有的閘極訊號線 ( G b 1 至 G b y ) 被選擇而且該數位資料訊號之第二位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 2。

在該寫入週期 T a 2 中，當該數位資料訊號之第二位元被輸入至每一線之每一像素時，原先被保持之該數位資料訊號之第一位元被新寫入該數位資料訊號之第二位元所取代。每一線之像素因而執行顯示功能。換言之，顯示週期 T r 1 結束而且顯示週期 T r 2 開始。該數位資料訊號

## 五、發明說明 ( 60 )

之第二位元被保持於每一線之每一像素中，直到下一數位資料訊號，亦即該數位資料訊號之第三位元，被輸入於一寫入週期 T a 3 中。(如圖 8 所示)

在另一方面，下一寫入週期 T a 3 開始。在第一具體實施例中，寫入週期 T a 3 開始於寫入週期 T a 1 結束之前。相對於寫入週期 T a 3，相對於寫入週期 T a 2 所使用之第二閘極訊號線驅動電路 1 0 5 之外的電路，亦即該第一閘極訊號線驅動電路 1 0 3 係被使用。然而，本發明並不侷限於此。換言之，相同的驅動方法可以被使用，無論寫入週期 T a 3 開始於寫入週期 T a 2 結束之前或之後。所有的閘極訊號線 ( G a 1 至 G a y ) 被連續地選擇，而且該數位資料訊號之第三位元被輸入至所有線之像素。該數位資料訊號之第三位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 3。

在該寫入週期 T a 3 中，當該數位資料訊號之第三位元被輸入至每一線之每一像素時，原先被保持之該數位資料訊號之第二位元被新寫入該數位資料訊號之第三位元所取代。每一線之像素因而執行顯示功能。換言之，顯示週期 T r 2 結束而且顯示週期 T r 3 開始。該數位資料訊號之第三位元被保持於每一線之每一像素中，直到下一數位資料訊號，亦即該數位資料訊號之第四位元，被輸入於一寫入週期 T a 4 中。(如圖 8 所示)

上述的操作被重複執行，直到該數位資料訊號之第 6 個位元被輸入至該像素。因此，顯示週期 ( T r 1 至

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 五、發明說明 ( 61 )

T r 6 ) 依序接著出現 ( 如圖 8 所示 ) 。每一數位資料訊號之第 6 個位元被保持於像素中，直到該數位資料訊號之第一個位元再次被輸入。當該數位資料訊號之第一個位元再次被輸入時，顯示週期 T r 6 就結束了。在此時，框架週期也跟著結束。在該顯示週期群組 ( T r 1 至 T r 6 ) 結束時，一個影像的顯示便已經完成。在本發明之驅動方法中，影像所顯示之週期係稱作一框架週期 ( F ) 。每一顯示週期 ( T r 1 至 T r 6 ) 係為從相對應之寫入週期 ( T a 1 至 T a 6 之一者 ) 開始之時間到下一寫入週期開始之時間之間的時間週期。因此，顯示週期 ( T r 1 至 T r 6 ) 係由相對應之該對寫入週期 ( T a 1 至 T a 6 ) 之開始時間差所決定。

因此，在完成一框架週期後，從該第一閘極訊號線驅動電路 1 0 3 所產生之閘極訊號再次被引至閘極訊號線 G a 1 。結果，數位資料訊號之第一位元被引至該像素而且第一線之像素再次成為顯示週期 T r 1 。上述之操作係因而被重複。

較佳者係於一正常的電激螢光元件中，每秒提供 6 0 或更多個框架週期。如果每秒顯示少於 6 0 個框架週期，會出現影像之閃爍。

顯示週期 T r 之長度被設定，使得其依照遞增的順序被排列之長度比例可以表示成 T r 1 : T r 2 : T r 3 : T r 4 : T r 5 : T r 6 = 2<sup>2</sup> : 2<sup>3</sup> : 2<sup>1</sup> : 2<sup>4</sup> : 2<sup>0</sup> : 2<sup>5</sup>。在 6 4 個灰階位準中使用所欲之位準的灰階顯示可以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 62 )

藉由選擇這些顯示週期的組合而被執行。

在一框架週期中，顯示之像素的灰階位準係由顯示週期之總長度所決定，在其中相對應之電激螢光元件在一框架週期內發光。舉例來說，假設像素之發光度在所有的顯示週期中為 100%，5% 之發光度可以藉由像素在顯示週期  $T_{r3}$  與  $T_{r5}$  中發光而被表示。此外，32% 之發光度亦可以藉由像素在顯示週期  $T_{r1}$  與  $T_{r4}$  中發光而被表示。

以相同之閘極訊號線驅動電路寫入之寫入週期在長度方面係為相等。在第一具體實施例中，由於該寫入週期 ( $T_{a1}$  至  $T_{a6}$ ) 被指定至該對閘極訊號線驅動電路，因此  $T_{a1} = T_{a3} = T_{a5}$  而且  $T_{a2} = T_{a4} = T_{a6}$  被建立。

在本發明中，每一相鄰對之顯示週期的總和  $T_{r1} + T_{r2}$ 、 $T_{r2} + T_{r3}$ 、...、 $T_{r6} +$  下一顯示框架之起始顯示週期  $T_{r1}$ ) 等於或大於相對應之寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{a6}$  的長度是為必要的。舉例而言，如果第一具體實施例中之所有寫入週期均相等 ( $T_a$ )，相對應至相鄰對之顯示週期之總和的最小值  $T_{r2} + T_{r3}$  等於或大於寫入週期 ( $T_a$ ) 係為必要的。更詳而言之，顯示週期之總和  $T_{r2} + T_{r3}$  係等於 (一框架週期)  $\times (2^3 + 2^1) / (2^0 + 2^1 + 2^2 + \dots + 2^5)$ ，也因此寫入週期 ( $T_a$ ) 的長度等於或小於 (一框架週期)  $\times 10 / 63$  係為必要的。此外，以相同之閘極訊號線驅動



## 五、發明說明 ( 63 )

電路寫入之寫入週期的長度和小於一框架週期一框架週期。

藉由採用第一具體實施例之驅動方式，本發明在即使薄膜電晶體中有稍微變化而相同的電壓被施加時，可以抑制所輸出之電流量的改變。因此，即使在具有相同電壓的訊號被引入時，由於薄膜電晶體之特性的變化所導致電激螢光元件之發光度的巨大改變可被避免。

在第一具體實施例中，顯示週期 (  $T_{r1}$  至  $T_{r6}$  ) 可以依任何次序出現。舉例而言，該顯示週期可在一框架週期內依  $T_{r1}$ 、 $T_{r3}$ 、 $T_{r5}$ 、 $T_{r2}$ 、... 的次序出現。然而，每一相鄰對的顯示週期之總和  $T_{ri} + T_{rj}$  ( 其中  $i$  與  $j$  係為等於或大於 1 且等於或小於  $n$  的不同整數 ) 等於或大於相對應至進行中之顯示週期  $T_{ri}$  的寫入週期  $T_{ai}$  之長度，係為必須的。

在第一具體實施例中，為了解釋方便，係假設該對閘極訊號線驅動電路針對該寫入週期 (  $T_{a1}$  至  $T_{a6}$  ) 而被交替地使用。然而，本發明並不侷限於此。在本發明中，如果在寫入週期之相鄰對之每一者中沒有任何重疊，兩閘極訊號線驅動電路或一閘極訊號線驅動電路可以在兩相鄰寫入週期中被用來驅動。在另一方面，如果在本發明中之寫入週期之相鄰對中有重疊，針對兩重疊之寫入週期使用分離之閘極訊號線驅動電路是必須的。

相反地來說，由於在第一具體實施例中，該對閘極訊號線驅動電路針對該寫入週期 (  $T_{a1}$  至  $T_{a6}$  ) 而被交

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 64 )

替地使用，每一相鄰對寫入週期是否重疊便無關緊要了。

在第一具體實施例中，沒有任何像素發光的顯示週期可被設定，其係藉由添加一寫入週期而非 6 位元數位資料訊號，以選擇所有像素（在第一具體實施例中永遠具有“0”之資訊的數位資料訊號）中的電激螢光元件之非發光狀態。這種寫入與顯示週期分別被稱作非發光寫入週期與非發光顯示週期。在習知類比驅動的情形中，當該電激螢光元件被形成以執行完全寫入顯示時，該電激螢光元件會連續發光。這種情形可能導致電激螢光層迅速惡化。在本發明中，非發光顯示週期可被設定以達到限制電激螢光層惡化的效果。

在本發明中，顯示週期與寫入週期有一部分彼此重疊。換言之，其甚至可以透過寫入週期之像素來執行顯示功能。因此，在一框架中之顯示週期的長度總和之比例（工作比值）可被設定至一較高的數值。特別地，在第一具體實施例之沒有提供任何非發光顯示週期的情形中，其工作比值係為 100%。毫無疑問地，適用之非發光顯示週期可被設定以實現等於或小於 100% 的工作比值。

### [ 第二具體實施例 ]

在本發明之電激螢光元件中，一 256 個灰階顯示系統係被解釋於第二具體實施例中。係被解釋於第二具體實施例中。值得注意的是，第二具體實施例中的電激螢光元件具有圖 1 至圖 3 中所繪示的結構。此外，圖 9 也將被用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 65 )

來解釋。

首先，從該第一閘極訊號線驅動電路 1 0 3 所產生之一閘極訊號係首先被引至該寫入閘極訊號線 G a 1。接著電激螢光元件透過顯示週期 T r 1 而發光或不發光。圖 9 僅繪示針對第一線像素之顯示週期。之後，閘極訊號被連續地引至閘極訊號線 ( G a 2 至 G a y )，而且同時執行顯示功能。所有的閘極訊號線 ( G a 1 至 G a y ) 被選擇而且該數位資料訊號之第一位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 1。

在另一方面，在寫入週期 T a 1 結束前，寫入週期 T a 2 便已經開始。換言之，在該數位資料訊號之第一位元被輸入至所有的線之像素之前，從該第二閘極訊號線驅動電路 1 0 5 所產生之閘極訊號被引至閘極訊號線 G b 1。在第一線像素中，電激螢光元件 1 1 0 根據數位資料訊號之輸入而發光或不發光，藉以執行顯示功能。換言之，顯示週期 T r 1 結束而且顯示週期 T r 2 開始（如圖 9 所示）。閘極訊號被連續地引至閘極訊號線 ( G b 2 至 G b y )，藉以執行顯示功能。該數位資料訊號之第二位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 2。在第二具體實施中，寫入週期 T a 1 與 T a 2 彼此重疊。然而，本發明並不侷限於此，而且相同的驅動方法也可以被使用，即使寫入週期 T a 1 與 T a 2 彼此並未重疊。

在另一方面，在寫入週期 T a 2 結束前，寫入週期

## 五、發明說明 ( 66 )

T a 3 便已經開始。換言之，在該數位資料訊號之第二位元被輸入至所有的線之像素之前，從該第一閘極訊號線驅動電路 1 0 3 所產生之閘極訊號再次被引至閘極訊號線

G b 1。在第一線像素中，電激螢光元件 1 1 0 根據數位資料訊號之輸入而發光或不發光，藉以執行顯示功能。換言之，顯示週期 T r 2 結束而且顯示週期 T r 3 開始（如圖 9 所示）。閘極訊號被連續地引至閘極訊號線（G a 2 至 G a y），藉以執行顯示功能。該數位資料訊號之第三位元被輸入至所有線之像素的時間週期係為一寫入週期

T a 3。在第二具體實施中，寫入週期 T a 2 與 T a 3 彼此重疊。然而，本發明並不侷限於此，而且相同的驅動方法也可以被使用，即使寫入週期 T a 2 與 T a 3 彼此並未重疊。

上述的操作被重複執行，直到該數位資料訊號之第 1 0 個位元被輸入至該像素。因此，顯示週期（T r 1 至 T r 1 0）依序接著出現（如圖 9 所示）。每一數位資料訊號之第 1 0 個位元被保持於像素中，直到該數位資料訊號之第一個位元再次被輸入。當該數位資料訊號之第一個位元再次被輸入時，顯示週期 T r 1 0 就結束了。在此時，框架週期也跟著結束。在該顯示週期群組（T r 1 至 T r 1 0）結束時，一個影像的顯示便已經完成。在本發明之驅動方法中，影像所顯示之週期係稱作一框架週期（F）。每一顯示週期（T r 1 至 T r 1 0）係為從相對應之寫入週期（T a 1 至 T a 1 0 之一者）開始之時間到下

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂

## 五、發明說明 ( 67 )

一寫入週期 ( T a 2 至 T a 1 0 之一者以及下一框架之第一寫入週期 T a 1 ) 開始之時間之間的時間週期。因此，顯示週期 ( T r 1 至 T r 1 0 ) 係由相對應之該對寫入週期 ( T a 1 至 T a 1 0 ) 之開始時間差所決定。

因此，在完成一框架週期後，從該第一閘極訊號線驅動電路 1 0 3 所產生之閘極訊號再次被引至閘極訊號線 G a 1 。結果，數位資料訊號之第一位元被引至該像素而且第一線之像素再次成為顯示週期 T r 1 。上述之操作係因而被重複。

顯示週期 ( T r 至 T r 1 0 ) 之長度被設定，使得其依照遞增的順序被排列之長度比例可以表示成 T r 1 :

$$T r 2 : T r 3 : T r 4 : T r 5 : ( T r 6 + T r 8 + T r 1 0 ) : T r 7 : T r 9 = 2^4 : 2^5 : 2^3 : 2^6 :$$

$2^2 : 2^7 : 2^1 : 2^0$ 。此外，T r 6、T r 8、與

T r 1 0 被設定，使得 T r 6 : T r 1 0 : T r 1 0 = 1

: 1 : 2。輸入至顯示週期 T r 6、T r 8、與 T r 1 0

內之數位資料訊號，亦即數位資料訊號之第 6、第 8 與第 1 0 位元必須彼此相等。換言之，像素內之電激螢光元件必須在顯示週期 T r 6、T r 8、與 T r 1 0 內之被設定於相同的狀態 ( 發光或非發光狀態 )。此一設定使得使用 2 5 6 灰階位準之所欲位準的灰階顯示能被實現。

在一框架週期中，顯示之像素的灰階位準係由顯示週期之總長度所決定，在其中相對應之電激螢光元件在一框架週期內發光。舉例來說，假設像素之發光度在所有的顯

## 五、發明說明 ( 68 )

示週期中為 100%，75%之發光度可以藉由像素在顯示週期  $T_{r4}$ 、 $T_{r6}$ 、 $T_{r8}$ 、與  $T_{r10}$  中發光而被表示。此外，16%之發光度亦可以藉由像素在顯示週期  $T_{r2}$ 、 $T_{r3}$  與  $T_{r9}$  中發光而被表示。

以相同之閘極訊號線驅動電路寫入之寫入週期在長度方面係為相等。在第二具體實施例中，由於該寫入週期 ( $T_{a1}$  至  $T_{a10}$ ) 被指定至該對閘極訊號線驅動電路，因此  $T_{a1} = T_{a3} = T_{a5} = T_{a7} = T_{a9}$  而且  $T_{a2} = T_{a4} = T_{a6} = T_{a8} = T_{a10}$  被建立。

在本發明中，每一相鄰對之顯示週期的總和  $T_{r1} + T_{r2}$ 、 $T_{r2} + T_{r3}$ 、...、 $T_{r10} +$  下一顯示框架之起始顯示週期  $T_{r1}$ ) 等於或大於相對應之寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{a10}$  的長度是為必要的。舉例而言，如果第二具體實施例中之所有寫入週期均相等 ( $T_a$ )，相對應至相鄰對之顯示週期之總和的最小值  $T_{r8} + T_{r9}$  等於或大於寫入週期 ( $T_a$ ) 係為必要的。更詳而言之，顯示週期之總和  $T_{r8} + T_{r9}$  係等於 (一框架週期)  $\times (2^5 + 2^1) / (2^0 + 2^1 + 2^2 + \dots + 2^7)$ ，也因此寫入週期 ( $T_a$ ) 的長度等於或小於 (一框架週期)  $\times 33 / 255$  係為必要的。與本具體實施例模式之對應值  $20 / 255$  相較，第二具體實施例中的相鄰對顯示週期之最小值可被減少至  $20 / 33$ 。因此，可以藉此實現大數目的灰階位準。此外，以相同之閘極訊號線驅動電路寫入之寫入週期的長度和小於一框架週期。

## 五、發明說明 ( 69 )

因此，較短之顯示週期將藉由適當地分割較顯示週期中的寫入週期長之顯示週期並且藉由最佳化這種顯示週期出現的順序而被實現。如果顯示週期藉由更進一步的分割而被增加，用來實現分割之顯示週期的寫入週期也被提供。相同於在分割前被輸入以實現顯示週期的數位資料訊號也可以針對新加入之寫入週期而被使用。

換言之，在第二具體實施例中，256個灰階位準所需要的8個顯示週期之最長週期被分割成三個週期，使得該三週期的長度比為1：1：2，而且該分割之週期係如圖9所示之順序設置。以此方式，可以獲得較短的週期而仍能滿足寫入週期  $T_a$  等於或短於  $(\text{一框架週期}) \times 33 / 255$  的條件。在此情形中，三個寫入週期被設定以實現三個分割之顯示週期。被輸入至該三個寫入週期之數位資料訊號係為彼此相同，其與在執行分割之前被輸入以實現顯示週期之數位資料訊號相同。

根據第二具體實施例之驅動方法，當被施加至薄膜電晶體之閘極電壓相等時由該薄膜電晶體所輸出的電流不均勻現象可被限制住，即使薄膜電晶體之特性變化至某種程度。因此，這樣可以在具有相同電壓位準的訊號被輸入至薄膜電晶體時，避免相鄰像素之發光量的巨大差異由於薄膜電晶體之特性變化而發生。

在第二具體實施例中，顯示週期 ( $T_{r1}$  至  $T_{r10}$ ) 可以依任何次序出現。舉例而言，該顯示週期可在一框架週期內依  $T_{r1}$ 、 $T_{r3}$ 、 $T_{r5}$ 、 $T_{r2}$ 、... 的次序

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 70 )

出現。然而，每一相鄰對的顯示週期之總和  $T_{r i} + T_{r j}$  (其中  $i$  與  $j$  係為等於或大於 1 且等於或小於  $n$  的不同整數) 等於或大於相對應至進行中之顯示週期  $T_{r i}$  的寫入週期  $T_{a i}$  之長度，係為必須的。

在第二具體實施例中，為了解釋方便，係假設該對開極訊號線驅動電路針對該寫入週期 ( $T_{a 1}$  至  $T_{a 10}$ ) 而被交替地使用。然而，本發明並不侷限於此。在本發明中，如果在寫入週期之相鄰對之每一者中沒有任何重疊，兩開極訊號線驅動電路或一開極訊號線驅動電路可以在兩相鄰寫入週期中被用來驅動。在另一方面，如果在本發明中之寫入週期之相鄰對中有重疊，針對兩重疊之寫入週期使用分離之開極訊號線驅動電路是必須的。

相反地來說，由於在第二具體實施例中，該對開極訊號線驅動電路針對該寫入週期 ( $T_{a 1}$  至  $T_{a 10}$ ) 而被交替地使用，每一相鄰對寫入週期是否重疊便無關緊要了。

在第二具體實施例中，沒有任何像素發光的顯示週期可被設定，其係藉由添加一寫入週期而非 10 位元數位資料訊號，以選擇所有像素 (在第二具體實施例中永遠具有 "0" 之資訊的數位資料訊號) 中的電激螢光元件之非發光狀態。這種寫入與顯示週期分別被稱作非發光寫入週期與非發光顯示週期。在習知類比驅動的情形中，當該電激螢光元件被形成以執行完全寫入顯示時，該電激螢光元件會連續發光。這種情形可能導致電激螢光層迅速惡化。在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 71 )

本發明中，非發光顯示週期可被設定以達到限制電激螢光層惡化的效果。

在本發明中，顯示週期與寫入週期有一部分彼此重疊。換言之，其甚至可以透過寫入週期之像素來執行顯示功能。因此，在一框架中之顯示週期的長度總和之比例（工作比值）可被設定至一較高的數值。特別地，在第二具體實施例之沒有提供任何非發光顯示週期的情形中，其工作比值係為 100%。毫無疑問地，適用之非發光顯示週期可被設定以實現等於或小於 100% 的工作比值。

### 〔第三具體實施例〕

在本發明之電激螢光元件中，一 64 個灰階顯示系統係被解釋於第三具體實施例中。值得注意的是，第三具體實施例中的電激螢光元件具有圖 1 至圖 3 中所繪示的結構。此外，圖 10 也將被用來解釋。

首先，從該第一閘極訊號線驅動電路 103 所產生之一閘極訊號係首先被引至該寫入閘極訊號線 G a 1。接著電激螢光元件透過顯示週期 T r 1 而發光或不發光。圖

10 僅繪示針對第一線像素之顯示週期。之後，閘極訊號被連續地引至閘極訊號線（G a 2 至 G a y），而且同時執行顯示功能。所有的閘極訊號線（G a 1 至 G a y）被選擇而且該數位資料訊號之第一位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 1。

在另一方面，在寫入週期 T a 1 結束前，寫入週期

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 72 )

T a 2 便已經開始。換言之，在該數位資料訊號之第一位元被輸入至所有的線之像素之前，從該第二閘極訊號線驅動電路 1 0 5 所產生之閘極訊號被引至閘極訊號線 G b 1。在第一線像素中，電激螢光元件 1 1 0 根據數位資料訊號之輸入而發光或不發光，藉以執行顯示功能。換言之，顯示週期 T r 1 結束而且顯示週期 T r 2 開始（如圖 1 0 所示）。閘極訊號被連續地引至閘極訊號線（G b 2 至 G b y），藉以執行顯示功能。該數位資料訊號之第二位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 2。在第三具體實施中，寫入週期 T a 1 與 T a 2 彼此重疊。然而，本發明並不侷限於此，而且相同的驅動方法也可以被使用，即使寫入週期 T a 1 與 T a 2 彼此並未重疊。

在另一方面，在寫入週期 T a 2 結束前，寫入週期 T a 3 便已經開始。換言之，在該數位資料訊號之第二位元被輸入至所有的線之像素之前，從該第一閘極訊號線驅動電路 1 0 3 所產生之閘極訊號再次被引至閘極訊號線 G b 1。在第一線像素中，電激螢光元件 1 1 0 根據數位資料訊號之輸入而發光或不發光，藉以執行顯示功能。換言之，顯示週期 T r 2 結束而且顯示週期 T r 3 開始（如圖 1 0 所示）。閘極訊號被連續地引至閘極訊號線（G a 2 至 G a y），藉以執行顯示功能。該數位資料訊號之第三位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 3。在第三具體實施中，寫入週期 T a 2 與

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

約

### 五、發明說明 ( 73 )

T a 3 彼此重疊。然而，本發明並不侷限於此，而且相同的驅動方法也可以被使用，即使寫入週期 T a 2 與 T a 3 彼此並未重疊。

上述的操作被重複執行，直到該數位資料訊號之第 8 個位元被輸入至該像素。因此，顯示週期 ( T r 1 至 T r 8 ) 依序接著出現 ( 如圖 1 0 所示 )。每一數位資料訊號之第 8 個位元被保持於像素中，直到該數位資料訊號之第一個位元再次被輸入。當該數位資料訊號之第一個位元再次被輸入時，顯示週期 T r 8 就結束了。在此時，框架週期也跟著結束。在該顯示週期群組 ( T r 1 至 T r 8 ) 結束時，一個影像的顯示便已經完成。在本發明之驅動方法中，影像所顯示之週期係稱作一框架週期 ( F )。每一顯示週期 ( T r 1 至 T r 8 ) 係為從相對應之寫入週期 ( T a 1 至 T a 8 之一者 ) 開始之時間到下一寫入週期 ( T a 2 至 T a 8 之一者以及下一框架之第一寫入週期 T a 1 ) 開始之時間之間的時間週期。因此，顯示週期 ( T r 1 至 T r 8 ) 係由相對應之該對寫入週期 ( T a 1 至 T a 8 ) 之開始時間差所決定。

因此，在完成一框架週期後，從該第一閘極訊號線驅動電路 1 0 3 所產生之閘極訊號再次被引至閘極訊號線 G a 1。結果，數位資料訊號之第一位元被引至該像素而且第一線之像素再次成為顯示週期 T r 1。上述之操作係因而被重複。

在第三具體實施例中，所有被輸入至寫入週期 T a 4

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 74 )

與 T a 8 的數位資料訊號係為用來選擇電激螢光元件之非發光狀態的訊號。因此，顯示週期 T r 4 與 T r 8 之每一者被設定以作為一顯示週期，其中所有的像素均不發光。這種寫入與顯示週期分別被稱作非發光寫入週期與非發光顯示週期。在習知類比驅動的情形中，當該電激螢光元件被形成以執行完全寫入顯示時，該電激螢光元件會連續發光。這種情形可能導致電激螢光層迅速惡化。在本發明中，非發光顯示週期可被設定以達到限制電激螢光層惡化的效果。

顯示週期 ( T r 至 T r 8 ) 之長度被設定，使得其依照遞增的順序被排列之長度比例可以表示成 T r 1 :

$T r 2 : T r 3 : T r 5 : T r 6 : T r 7 = 2^3 : 2^4 : 2^2 : 2^1 : 2^5 : 2^0$ 。此外，在 64 個灰階位準中使用所欲之位準的灰階顯示可以藉由選擇這些顯示週期的組合而被執行。非發光顯示週期 T r 4 與 T r 8 對於其他顯示週期之長度比值可被自由地決定。

在一框架週期中，顯示之像素的灰階位準係由顯示週期之總長度所決定，在其中相對應之電激螢光元件在一框架週期內發光。舉例來說，假設像素之發光度在所有的顯示週期中為 100%，76% 之發光度可以藉由像素在顯示週期 T r 2 與 T r 6 中發光而被表示。此外，11% 之發光度亦可以藉由像素在顯示週期 T r 3、T r 5 與 T r 7 中發光而被表示。

以相同之閘極訊號線驅動電路寫入之寫入週期在長度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 75 )

方面係為相等。在第三具體實施例中，由於該寫入週期 (  $T_{a1}$  至  $T_{a8}$  ) 被指定至該對閘極訊號線驅動電路，因此  $T_{a1} = T_{a3} = T_{a5} = T_{a7}$  而且  $T_{a2} = T_{a4} = T_{a6} = T_{a8}$  被建立。

在本發明中，每一相鄰對之顯示週期的總和  $T_{r1} + T_{r2}$ 、 $T_{r2} + T_{r3}$ 、...、 $T_{r8} +$  下一顯示框架之起始顯示週期  $T_{r1}$  ) 等於或大於相對應之寫入週期

$T_{a1}$ 、 $T_{a2}$ 、...、 $T_{a8}$  的長度是為必要的。在第三具體實施例中，非發光顯示週期  $T_{r4}$  與  $T_{r8}$  對於其他顯示週期之長度比值可被自由地決定，以滿足上述之條件。寫入週期 (  $T_{a}$  ) 的長度等於或小於框架週期係為必要的。

根據第三具體實施例之驅動方法，當被施加至薄膜電晶體之閘極電壓相等時由該薄膜電晶體所輸出的電流不均勻現象可被限制住，即使薄膜電晶體之特性變化至某種程度。因此，這樣可以在具有相同電壓位準的訊號被輸入至薄膜電晶體時，避免相鄰像素之發光量的巨大差異由於薄膜電晶體之特性變化而發生。

在第三具體實施例中，顯示週期 (  $T_{r1}$  至  $T_{r8}$  ) 可以依任何次序出現。舉例而言，該顯示週期可在一框架週期內依  $T_{r1}$ 、 $T_{r3}$ 、 $T_{r5}$ 、 $T_{r2}$ 、... 的次序出現。然而，每一相鄰對的顯示週期之總和  $T_{ri} + T_{rj}$  ( 其中  $i$  與  $j$  係為等於或大於 1 且等於或小於  $n$  的不同整數 ) 等於或大於相對應至進行中之顯示週期  $T_{ri}$  的寫入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 76 )

週期 T a i 之長度，係為必須的。

在第三具體實施例中，為了解釋方便，係假設該對閘極訊號線驅動電路針對該寫入週期（T a 1 至 T a 8）而被交替地使用。然而，本發明並不侷限於此。在本發明中，如果在寫入週期之相鄰對之每一者中沒有任何重疊，兩閘極訊號線驅動電路或一閘極訊號線驅動電路可以在兩相鄰寫入週期中被用來驅動。在另一方面，如果在本發明中之寫入週期之相鄰對中有重疊，針對兩重疊之寫入週期使用分離之閘極訊號線驅動電路是必須的。

相反地來說，由於在第三具體實施例中，該對閘極訊號線驅動電路針對該寫入週期（T a 1 至 T a 8）而被交替地使用，每一相鄰對寫入週期是否重疊便無關緊要了。

在本發明中，顯示週期與寫入週期有一部分彼此重疊。換言之，其甚至可以透過寫入週期之像素來執行顯示功能。因此，在一框架中之顯示週期的長度總和之比例（工作比值）可被設定至一較高的數值。特別地，在第三具體實施例之沒有提供任何非發光顯示週期的情形中，其工作比值係為 100%。毫無疑問地，適用之非發光顯示週期可被設定以實現等於或小於 100% 的工作比值。

### 〔第四具體實施例〕

在本發明之電激螢光元件中，一 64 個灰階顯示系統係被解釋於第四具體實施例中。值得注意的是，第四具體實施例中的電激螢光元件具有圖 1 至圖 3 中所繪示的結構

## 五、發明說明 ( 77 )

。此外，圖 1 1 也將被用來解釋。

首先，從該第一閘極訊號線驅動電路 1 0 3 所產生之一閘極訊號係首先被引至該寫入閘極訊號線 G a 1。接著電激螢光元件透過顯示週期 T r 1 而發光或不發光。圖 1 1 僅繪示針對第一線像素之顯示週期。之後，閘極訊號被連續地引至閘極訊號線 ( G a 2 至 G a y )，而且同時執行顯示功能。所有的閘極訊號線 ( G a 1 至 G a y ) 被選擇而且該數位資料訊號之第一位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 1。

在另一方面，在寫入週期 T a 1 a 結束前，寫入週期 T a 2 便已經開始。換言之，在該數位資料訊號之第一位元被輸入至所有的線之像素之前，從該第二閘極訊號線驅動電路 1 0 5 所產生之閘極訊號被引至閘極訊號線 G b 1。在第一線像素中，電激螢光元件 1 1 0 根據數位資料訊號之輸入而發光或不發光，藉以執行顯示功能。換言之，顯示週期 T r 1 a 結束而且顯示週期 T r 2 a 開始 (如圖 1 1 所示)。閘極訊號被連續地引至閘極訊號線 ( G b 2 至 G b y )，藉以執行顯示功能。該數位資料訊號之第二位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 2 a。

在另一方面，在寫入週期 T a 2 a 結束前，寫入週期 T a 3 便已經開始。換言之，在該數位資料訊號之第二位元被輸入至所有的線之像素之前，從該第一閘極訊號線驅動電路 1 0 3 所產生之閘極訊號再次被引至閘極訊號線

## 五、發明說明 ( 78 )

G b 1。在第一線像素中，電激螢光元件 1 1 0 根據數位資料訊號之輸入而發光或不發光，藉以執行顯示功能。換言之，顯示週期 T r 2 a 結束而且顯示週期 T r 3 a 開始（如圖 1 1 所示）。閘極訊號被連續地引至閘極訊號線（G a 2 至 G a y），藉以執行顯示功能。該數位資料訊號之第三位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 3 a。

上述的操作被重複執行，直到該數位資料訊號之第 7 個位元被輸入至該像素。在寫入週期 T a 7 a 之後，從該第二閘極訊號線驅動電路 1 0 5 所產生之閘極訊號被輸入至閘極訊號線 G b 1 再次被執行。在顯示週期 T r 7 a 結束時，可透過顯示週期（T r 1 a 至 T r 7 a）完成影像之顯示。影像所顯示之週期係稱作一框架週期（F）。接著，在第一線像素中，電激螢光元件 1 1 0 根據數位資料訊號之輸入而發光或不發光，藉以執行顯示功能。換言之，下一框架之一第一顯示週期 T r 1 b 開始（如圖 1 1 所示）。閘極訊號被連續地引至閘極訊號線（G b 2 至 G b y），藉以執行顯示功能。該數位資料訊號之第二位元被輸入至所有線之像素的時間週期係為一寫入週期 T a 1 b。

在另一方面，在寫入週期 T a 1 b 結束前，從該第二閘極訊號線驅動電路 1 0 5 所產生之閘極訊號再次被引至閘極訊號線 G b 1。在第一線像素中，電激螢光元件 1 1 0 根據數位資料訊號之輸入而發光或不發光，藉以執



## 五、發明說明 ( 79 )

行顯示功能。換言之，顯示週期  $T r 1 b$  結束而且顯示週期  $T r 2 b$  開始（如圖 1 1 所示）。閘極訊號被連續地引至閘極訊號線（ $G a 2$  至  $G a y$ ），藉以執行顯示功能。該數位資料訊號之第二位元被輸入至所有線之像素的時間週期係為一寫入週期  $T a 2 b$ 。

上述的操作被重複執行，直到該數位資料訊號之第 7 個位元被輸入至該像素。因此，顯示週期（ $T r 1 a$  至  $T r 6 a$ 、 $T r 1 b$  至  $T r 7 b$ ）依序接著出現（如圖 1 1 所示）。每一數位資料訊號之第 7 個位元被保持於像素中，直到該數位資料訊號之第一個位元再次被輸入。當該數位資料訊號之第一個位元再次被輸入時，顯示週期  $T r 7 b$  就結束了。在此時，框架週期也跟著結束。在本發明之驅動方法中，每一顯示週期（ $T r 1 a$  至  $T r 7 a$ 、 $T r 1 b$  至  $T r 7 b$ ）係為從相對應之寫入週期（ $T r 1 a$  至  $T r 7 a$  與  $T r 1 b$  至  $T r 7 b$  之一者）開始之時間到下一寫入週期（ $T r 1 a$  至  $T r 7 a$  與  $T r 1 b$  至  $T r 7 b$  之一者以及下一框架之第一寫入週期  $T a 1$ ）開始之時間之間的時間週期。

因此，在完成一框架週期後，從該第一閘極訊號線驅動電路 1 0 3 所產生之閘極訊號再次被引至閘極訊號線  $G a 1$ 。結果，數位資料訊號之第一位元被引至該像素而且第一線之像素再次成為顯示週期  $T r 1$ 。上述之操作係因而被重複。

在第四具體實施例中，所有被輸入至寫入週期

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

給

## 五、發明說明 ( 80 )

T a 7 a 與 T a 7 b 的數位資料訊號係為用來選擇電激螢光元件之非發光狀態的訊號。因此，顯示週期 T r 7 a 與 T r 7 b 之每一者被設定以作為一顯示週期，其中所有的像素均不發光。這種寫入與顯示週期分別被稱作非發光寫入週期與非發光顯示週期。在習知類比驅動的情形中，當該電激螢光元件被形成以執行完全寫入顯示時，該電激螢光元件會連續發光。這種情形可能導致電激螢光層迅速惡化。在本發明中，非發光顯示週期可被設定以達到限制電激螢光層惡化的效果。

顯示週期 ( T r 1 a 至 T r 7 a 與 T r 1 b 至 T r 7 b 之一者 ) 中除了 T r 7 a 與 T r 7 b 這兩個非發光顯示週期之長度被設定，使得其依照遞增的順序被排列之長度比例可以表示成 T r 1 a : T r 2 a : T r 3 a : T r 4 a : T r 5 a : T r 6 a = T r 1 b : T r 2 b : T r 3 b : T r 4 b : T r 5 b : T r 6 b = 2<sup>3</sup> : 2<sup>2</sup> : 2<sup>4</sup> : 2<sup>1</sup> : 2<sup>5</sup> : 2<sup>0</sup>。此外，在 64 個灰階位準中使用所欲之位準的灰階顯示可以藉由選擇這些顯示週期的組合而被執行。非發光顯示週期 T r 7 a 與 T r 7 b 對於其他顯示週期之長度比值可被自由地決定。

在一框架週期中，顯示之像素的灰階位準係由顯示週期之總長度所決定，在其中相對應之電激螢光元件在一框架週期內發光。舉例來說，假設像素之發光度在所有的顯示週期中為 100%，76% 之發光度可以藉由像素在顯示週期 T r 3 a 與 T r 5 a ( 或是 T r 3 b 與 T r 3 b )

## 五、發明說明 ( 81 )

中發光而被表示。此外，11%之發光度亦可以藉由像素在顯示週期  $T_{r2a}$ 、 $T_{r4a}$  與  $T_{r6a}$  中發光（或是  $T_{r2b}$ 、 $T_{r4b}$  與  $T_{r6b}$  中）而被表示。

以相同之閘極訊號線驅動電路寫入之寫入週期在長度方面係為相等。在第四具體實施例中，由於該寫入週期（ $T_{r1a}$  至  $T_{r7a}$  與  $T_{r1b}$  至  $T_{r7b}$ ）被指定至該對閘極訊號線驅動電路，因此  $T_{a1a} = T_{a3a} = T_{a5a} = T_{a7a} = T_{a2a} = T_{a4a} = T_{a6a}$  而且  $T_{a1b} = T_{a3b} = T_{a5b} = T_{a7b} = T_{a2b} = T_{a4b} = T_{a6b}$  被建立。

在本發明中，每一相鄰對之顯示週期的總和  $T_{r1a} + T_{r2a}$ 、 $T_{r2a} + T_{r3a}$ 、...、 $T_{r7a} + T_{r1b}$ 、 $T_{r2b} + T_{r3b}$ 、...、 $T_{r7b} +$  下一顯示框架之起始顯示週期  $T_{r1a}$  等於或大於相對應之寫入週期  $T_{a1a}$ 、 $T_{a2a}$ 、...、 $T_{a7a}$  與  $T_{a1b}$ 、 $T_{a2b}$ 、...、 $T_{a7b}$  的長度是為必要的。在第四具體實施例中，非發光顯示週期  $T_{r7a}$  與  $T_{r7b}$  對於其他顯示週期之長度比值可被自由地決定，以滿足上述之條件。寫入週期（ $T_a$ ）的長度等於或小於框架週期係為必要的。

根據第四具體實施例之驅動方法，當被施加至薄膜電晶體之閘極電壓相等時由該薄膜電晶體所輸出的電流不均勻現象可被限制住，即使薄膜電晶體之特性變化至某種程度。因此，這樣可以在具有相同電壓位準的訊號被輸入至

## 五、發明說明 ( 82 )

薄膜電晶體時，避免相鄰像素之發光量的巨大差異由於薄膜電晶體之特性變化而發生。

在第四具體實施例中，顯示週期 (  $T_{r1a}$  至  $T_{r7a}$  與  $T_{r1b}$  至  $T_{r7b}$  ) 可以依任何次序出現。然而，每一相鄰對的顯示週期之總和等於或大於相對應至進行中之顯示週期  $T_{ri}$  的寫入週期  $T_{ai}$  之長度，係為必須的。

在第四具體實施例中，為了解釋方便，係假設該對閘極訊號線驅動電路針對該寫入週期 (  $T_{r1a}$  至  $T_{r7a}$  與  $T_{r1b}$  至  $T_{r7b}$  ) 而被交替地使用。然而，本發明並不侷限於此。在本發明中，如果在寫入週期之相鄰對之每一者中沒有任何重疊，兩閘極訊號線驅動電路或一閘極訊號線驅動電路可以在兩相鄰寫入週期中被用來驅動。在另一方面，如果在本發明中之寫入週期之相鄰對中有重疊，針對兩重疊之寫入週期使用分離之閘極訊號線驅動電路是必須的。

相反地來說，由於在第四具體實施例中，該對閘極訊號線驅動電路針對該寫入週期 (  $T_{r1a}$  至  $T_{r7a}$  與  $T_{r1b}$  至  $T_{r7b}$  ) 而被交替地使用，每一相鄰對寫入週期是否重疊便無關緊要了。

在本發明中，顯示週期與寫入週期有一部分彼此重疊。換言之，其甚至可以透過寫入週期之像素來執行顯示功能。因此，在一框架中之顯示週期的長度總和之比例 ( 工作比值 ) 可被設定至一較高的數值。特別地，在第四具體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 83 )

實施例之沒有提供任何非發光顯示週期的情形中，其工作比值係為 1 0 0 %。毫無疑問地，適用之非發光顯示週期可被設定以實現等於或小於 1 0 0 % 的工作比值。

### 〔第五具體實施例〕

在本具體實施例中，如圖 5 與圖 6 所示之像素結構不同於圖 3 所示之電路示意圖。請注意在本具體實施例中，參考數字 3 8 0 1 a、3 8 0 1 b 係代表交換薄膜電晶體 3 8 0 4 a、3 8 0 4 b 之閘極連線（訊號線之一部份）；3 8 0 2 a、3 8 0 2 b 係代表交換薄膜電晶體 3 8 0 4 a、3 8 0 4 b 之源極連線（源極訊號線之一部份）；3 8 0 6 a、3 8 0 6 b 代表電激螢光驅動薄膜電晶體；3 8 0 5 a、3 8 0 5 b 代表消除薄膜電晶體；3 8 0 8 代表電激螢光元件；3 8 0 3 代表電流供給線；而且 3 8 0 7 a 與 3 8 0 7 b 代表電容器。

此外，圖 5 係為電流供給線 3 8 0 3 係與閘極連線 3 8 0 1 a、3 8 0 1 b 平行地被形成的情形。在圖 5 中，所形成的結構使得電流供給線 3 8 0 3 與閘極連線 3 8 0 1 a、3 8 0 1 b 並不重疊。然而，以不同方式形成上述兩者，其可在之間包夾一絕緣層而彼此重疊。在此種情形中，唯一的表面區域可以由電流供給線 3 8 0 3 與閘極連線 3 8 0 1 a、3 8 0 1 b 所分享，而且該像素可以具有更高的解析度。

圖 6 與圖 7 係為電流供給線 3 8 0 3 由兩像素共用的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

結

## 五、發明說明 ( 84 )

情形。亦即，其特徵在於該兩像素被形成以具有對於電流供給線 3 8 0 3 的線性對稱。在此種情形中，電流供給線的數目可被減少，而且該像素可以具有更高的解析度。

此外，圖 6 係為電流供給線 3 8 0 3 與源極連線 3 8 0 2 a、3 8 0 2 b 平行地被形成的情形。圖 7 係為電流供給線 3 8 0 3 與閘極連線 3 8 0 1 a、3 8 0 1 b 平行地被形成的情形。在圖 6 與圖 7 中，當有可能提供電流供給線 3 8 0 3 以與源極連線 3 8 0 2 a、3 8 0 2 b 之一者或閘極連線 3 8 0 1 a、3 8 0 1 b 之一者相重疊時，可以有效地使其重疊。在此種情形中，電流供給線的數目可被減少，而且該像素可以具有更高的解析度。

### [ 第六具體實施例 ]

使用本發明之電激螢光元件之製造電激螢光元件的例子，將在本具體實施例中被予以說明。

圖 1 2 A 係為本發明之電激螢光元件的上視圖。在圖 9 A 中，參考數字 4 0 1 0 係為基板；參考數字 4 0 1 1 係為像素部分；參考數字 4 0 1 2 a、4 0 1 2 b 係為源極訊號線驅動電路；而且參考數字 4 0 1 3 a、4 0 1 3 b 係為閘極訊號線驅動電路。每一驅動電路與電流供給線係透過一彈性印刷電路 ( F P C ) 4 0 1 7 由連線 4 0 1 6 a、4 0 1 6 b、4 0 1 4 a、4 0 1 4 b 與 4 0 1 5 而被連接至外接設備。

一覆蓋材料 6 0 0 0、一密封材料 ( 亦稱作外框材料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 五、發明說明 ( 85 )

) 7 0 0 0、一緊閉的密封材料 ( 第二密封材料 )

7 0 0 1 被形成以包圍至少該像素部分、該驅動電路以及該像素部分。

此外，圖 1 2 B 係為本發明之電激螢光元件沿著圖 1 2 A 中的線 A - A ' 的橫截面圖。驅動電路薄膜電晶體 4 0 2 2 a、4 0 2 2 b ( 請注意，由一 n 通道薄膜電晶體與一 p 通道薄膜電晶體所組成的互補式金氧半電路係繪示於本圖中 )、像素部分薄膜電晶體 4 0 2 3 ( 請注意，在此僅顯示一用來控制流到電激螢光元件之電流的電激螢光驅動薄膜電晶體 ) 被形成於基板 4 0 1 0 上之基膜 4 0 2 1 上。可以使用一種已知結構 ( 上閘極結構或下閘極結構 ) 來形成這些薄膜電晶體。

在驅動電路薄膜電晶體 4 0 2 2 a、4 0 2 2 b、像素部分薄膜電晶體 4 0 2 3 被完成之後，一像素電極 4 0 2 7 被形成於一由樹脂所構成的層間絕緣膜 4 0 2 6 上。該像素電極 4 0 2 7 係由一種透明導通薄膜所構成，以電導通至像素部分薄膜電晶體 4 0 2 3 的汲極。一種由氧化銮與氧化錫所構成之化合物 ( 亦稱作氧化銮錫 ) 或一種由氧化銮與氧化鋅所構成之化合物可以被用來作為該透明導通薄膜。一絕緣層 4 0 2 8 被形成於該像素電極 4 0 2 7 形成之後，而且一開啓部分被形成於該像素電極 4 0 2 7 上。

接著形成一電激螢光層 4 0 2 9。該電激螢光層 4 0 2 9 可藉由自由地組合已知的電激螢光材料 ( 諸如一

## 五、發明說明 ( 86 )

電洞發射層、一電洞傳輸層、一電子傳輸層以及一電子發射層) 被形成而具有一合片結構、或是一種單層結構。已知技術可被使用以決定要使用哪一種結構。此外，電激螢光材料係以低分子量材料與高分子量(聚合物)材料的形式存在。當使用低分子量材料時，蒸鍍係被使用，但當使用高分子量材料時，可以使用諸如旋轉塗佈、印刷、噴墨印刷等任何方式。

在本具體實施例中，該電激螢光層係使用遮影幕罩而以蒸鍍的方式形成。對於使用遮影幕罩的每一像素，色彩之顯示可以藉由形成發射層(一紅光發射層、一綠光發射層、與一藍光發射層)，其可發射不同波長的光。另外，結合電荷耦合層(CCM)與色彩濾波器的方法、結合白光發射層與色彩濾波器的方法亦可被使用。當然，該電激螢光顯示裝置也可以被形成以發射單一顏色的光。

在形成電激螢光層4029之後，一陰極4030被形成於該電激螢光層4029之上。較佳者係儘量移除存在於陰極4030以及電激螢光層4029之間介面之濕氣或氧氣。因此必須使用一種在惰性氣體環境中沉積電激螢光層4029或在真空中形成陰極4030的方法。在本具體實施例中，上述之薄膜沉積可以使用一種多成長室薄膜沉積設備而進行。

請注意，氟化鋰(LiF)膜與鋁膜所構成之合片結構係被使用以作為本具體實施例中的陰極4030。詳而言之，1nm(奈米)厚的氟化鋰膜係藉由蒸鍍而被形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明（87）

於該電激螢光層 4 0 2 9 上，而且 3 0 0 n m 厚的鋁膜被形成於該電激螢光層 4 0 2 9 上。鎂銀（M g A g）電極，一種習知陰極材料，當然也可以被使用。接著連線

4 0 1 6 被連接到由參考數字 4 0 3 1 所代表的區域內之陰極 4 0 3 0。該連線 4 0 1 6 係為一電功率供給線，以施加一預定電壓至該陰極 4 0 3 0，並且透過一導電板導電板材料 4 0 3 2 而被連接到一彈性印刷電路（F P C）4 0 1 7。

爲了要電連接該陰極 4 0 3 0 與該連線 4 0 1 6 於由參考數字 4 0 3 1 所代表的區域內，必須要在該層間絕緣膜 4 0 2 6 與該絕緣膜 4 0 2 8 內形成一接觸孔。該接觸孔可被形成於蝕刻該層間絕緣膜 4 0 2 6（以形成電極的接觸孔）與蝕刻該絕緣膜 4 0 2 8（以在形成該電激螢光層之前形成開窗）時。此外，當蝕刻該絕緣膜 4 0 2 8 時，可以進行蝕刻而一次到達該層間絕緣膜 4 0 2 6。在這種情形下，可以形成良好的接觸孔，前提是該層間絕緣膜 4 0 2 6 與該絕緣膜 4 0 2 8 係由相同的樹脂材料所構成。

一保護膜 6 0 0 3、一填充材料 6 0 0 4、以及該覆蓋材料 6 0 0 0 被形成以覆蓋該電激螢光元件的表面。

此外，密封材料 7 0 0 0 被形成於該覆蓋材料 6 0 0 0 與該基板之間，以包圍該電激螢光元件部分，而且該緊閉的密封材料（第二密封材料）7 0 0 1 被形成於該密封材料 7 0 0 0 的外部。

## 五、發明說明 ( 88 )

該填充材料 6 0 0 4 在此係用來作為黏合該覆蓋材料 6 0 0 0 之黏合劑。聚氯乙烯 ( P V C )、環氧樹脂、P V B ( polyvinyl butyral )、以及 E V A ( ethylene vinyl acetate ) 可被用來作為該填充材料 6 0 0 4。較佳者，如果乾化媒介被形成於該填充材料 6 0 0 4 之內部，其可保持保持濕氣吸收效果。

此外，在該填充材料 6 0 0 4 裡面也可以包括空間層。該空間層可以是諸如氧化鋇 ( B a O ) 的粉末基板，使得該空間層本身即具備吸收濕氣的能力。

當使用空間層時，該保護膜 6 0 0 3 可以減輕空間層的壓力。此外，諸如樹脂薄膜的薄膜可以與該保護膜 6 0 0 3 分開以減輕空間層的壓力。

此外，玻璃板、鋁板、不銹鋼板、玻璃纖維強化塑膠 ( F R P ) 板、聚氯乙烯 ( P V F ) 板、密拉 ( Mylar，一種聚酯薄膜 ) 板、聚酯板、以及丙烯酸膜也可以用來作為該覆蓋材料 6 0 0 0。請注意，如果 P V B ( polyvinyl butyral )、以及 E V A ( ethylene vinyl acetate ) 被用來作為該填充材料 6 0 0 4，較佳者係使用一種具有由聚氯乙烯 ( P V F ) 板或密拉 ( Mylar ) 板所包夾之數十微米鋁箔的合片結構。

然而，依據從該電激螢光元件所直接發光的方向 ( 光發射的方向 )，該覆蓋材料 6 0 0 0 必須具有光傳輸特性。

此外，連線 4 0 1 6 穿過該密封材料 7 0 0 0、該密

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂

## 五、發明說明 ( 89 )

封材料 7 0 0 1、與基板 4 0 1 0 之間的縫隙而被電連接至該彈性印刷電路 ( F P C ) 4 0 1 7。請注意，儘管在此係針對連線 4 0 1 6 而作說明，連線 4 0 1 4 a、4 0 1 4 b、與 4 0 1 5 也可以藉由該密封材料 7 0 0 0、該密封材料 7 0 0 1、與基板 4 0 1 0 下方的類似路徑而被電連接至該彈性印刷電路 ( F P C ) 4 0 1 7。

在本具體實施例中，該覆蓋材料 6 0 0 0 在該填充材料 6 0 0 4 形成之後被黏合，而且該密封材料 7 0 0 0 被黏合，以覆蓋該填充材料 6 0 0 4 之側表面 ( 曝露表面 )，但是該填充材料 6 0 0 4 也可以在黏合該覆蓋材料 6 0 0 0 與該密封材料 7 0 0 0 之後才被形成。在此情形中，填充材料噴出開口被形成，以穿透由該覆蓋材料 6 0 0 0、該密封材料 7 0 0 1、與基板 4 0 1 0 所構成的縫隙。該縫隙被設定為一真空狀態 ( 其壓力等於或小於  $10^{-2}$  t o r r )，而且在將該噴出開口浸於保存填充材料的容器之後，縫隙外部的氣壓高於縫隙內部的氣壓，且該填充材料填滿了縫隙。

請注意，可以藉由組合第一具體實施例至第五具體實施例來實現本具體實施例的條件。

### [ 第七具體實施例 ]

根據本發明之一與第六具體實施例不同方式所製造的電激螢光顯示器的例子係藉由參考圖式 1 3 A 與 1 3 B 而被說明。圖式 1 2 A 與 1 2 B 中所描述的類似部份或元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 90 )

係以相同的考考數字來表示，而且其說明將不予贅述。

圖 1 3 A 係為第七具體實施例之電激螢光元件的上視圖。圖 1 3 B 係為第七具體實施例之電激螢光元件沿著圖 1 3 A 中的線 A - A ' 的橫截面圖。

覆蓋電激螢光元件之表面的保護膜 6 0 0 3 下方的電激螢光顯示器之內部部分係以相同於第六具體實施例的方式形成。

此外，填充劑 6 0 0 4 被提供以覆蓋該電激螢光元件。該填充劑 6 0 0 4 亦作為黏合覆蓋構件 6 0 0 0 之黏合劑。作為該填充劑 6 0 0 4，氯乙烯 ( P V C )、環氧樹脂、P V B ( polyvinyl butyral )、以及 E V A ( ethylene vinyl acetate ) 可被使用。較佳者，在該填充劑 6 0 0 4 內係提供乾燥劑以保持濕氣吸收的效果。

此外，在該填充材料 6 0 0 4 裡面也可以包括空間層。該空間層可以是諸如氧化鋇 ( B a O ) 的粉末基板，使得該空間層本身即具備吸收濕氣的能力。

當使用空間層時，該保護膜 6 0 0 3 可以減輕空間層的壓力。此外，諸如樹脂薄膜的薄膜可以與該保護膜 6 0 0 3 分開以減輕空間層的壓力。

此外，玻璃板、鋁板、不銹鋼板、玻璃纖維強化塑膠 ( F R P ) 板、聚氯乙烯 ( P V F ) 板、密拉 ( Mylar，一種聚酯薄膜 ) 板、聚酯板、以及丙烯酸膜也可以用來作為該覆蓋構件 6 0 0 0。請注意，如果 P V B ( polyvinyl butyral )、以及 E V A ( ethylene vinyl acetate ) 被用來

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 五、發明說明 ( 91 )

作為該填充材料 6 0 0 4，較佳者係使用一種具有由聚氯乙烯 ( P V F ) 板或密拉 ( Mylar ) 板所包夾之數十微米鋁箔的合片結構。

然而，依據從該電激螢光元件所直接發光的方向 ( 光發射的方向 )，該覆蓋構件 6 0 0 0 必須具有光傳輸特性。

接下來，該覆蓋構件 6 0 0 0 係藉由使用填充材料 6 0 0 4 而被黏合。之後，一框架構件 6 0 0 1 被黏合以覆蓋由該填充材料 6 0 0 4 所形成之側表面 ( 曝露表面 )。該框架構件 6 0 0 1 係由一密封構件 6 0 0 2 ( 以作為一種黏合劑 ) 所黏合。較佳者，一種光設定樹脂被用來作為該密封構件 6 0 0 2。然而，熱設定樹脂也可以被使用，如果該電激螢光層的熱阻高到可以使用這種樹脂。該密封構件 6 0 0 2 必須具有這種性質，以盡可能有效地阻止濕氣與氧氣的滲透。乾燥劑也可以被混合於該密封構件 6 0 0 2 中。

此外，連線 4 0 1 6 穿過該密封構件 6 0 0 2 與基板 4 0 1 0 之間的縫隙而被電連接至該彈性印刷電路 ( F P C ) 4 0 1 7。請注意，儘管在此係針對連線 4 0 1 6 而作說明，連線 4 0 1 6 a、4 0 1 4 a、4 0 1 4 b、與 4 0 1 5 也可以藉由該密封構件 6 0 0 2 與基板 4 0 1 0 之間的縫隙而被電連接至該彈性印刷電路 ( F P C ) 4 0 1 7。

在第七具體實施例中，該覆蓋構件 6 0 0 0 在該填充

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 五、發明說明 ( 92 )

材料 6 0 0 4 形成之後被黏合，而且該框架構件 6 0 0 1 被黏合，以覆蓋該填充材料 6 0 0 4 之側表面（曝露表面），但是該填充材料 6 0 0 4 也可以在黏合該覆蓋構件 6 0 0 0 與該框架構件 6 0 0 1 之後才被形成。在此情形中，填充材料噴出開口被形成，以穿透由該覆蓋構件 6 0 0 0、框架構件 6 0 0 1、與基板 4 0 1 0 所構成的縫隙。該縫隙被設定為一真空狀態（其壓力等於或小於  $10^{-2}$  torr），而且在將該噴出開口浸於保存填充材料的容器之後，縫隙外部的氣壓高於縫隙內部的氣壓，且該填充材料填滿了縫隙。

請注意，可以藉由組合第一具體實施例至第五具體實施例來實現第七具體實施例的條件。

### 〔第八具體實施例〕

本發明之電激螢光顯示器將藉由參照圖 1 4 A 與 1 4 B 而被解釋於第八具體實施例中。圖 1 4 A 係一上視圖，其繪示裝置的狀態，其中形成於薄膜電晶體基板上的電激螢光元件的密封已經完成。依虛線所示，參考數字 6 8 0 1 a、6 8 0 1 b 代表源極訊號線驅動電路，6 8 0 2 a、6 8 0 2 b 代表寫入閘極訊號線驅動電路，以及 6 8 0 3 代表像素部分。此外，參考數字 6 8 0 4 代表覆蓋構件，6 8 0 5 代表第一密封構件，以及 6 8 0 6 代表第二密封構件。填充劑 6 8 0 7（參考圖 1 4 B）被填充於一空間中，其係形成於密封基板之內側，而由該第

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 93 )

一密封構件 6 8 0 5 所包圍於該覆蓋構件 6 8 0 4 與該薄膜電晶體基板之間。

由參考數字 6 8 0 8 所代表者係為一用來傳輸一訊號之連線，該訊號即將被輸入至一對源極訊號線驅動電路

6 8 0 1 a 與 6 8 0 1 b、一對閘極訊號線驅動電路

6 8 0 2 a 與 6 8 0 2 b 以及像素部分 4 0 3。

該連線 6 8 0 8 接收從彈性印刷電路 ( F P C ) 4 0 9 所發出之一視訊訊號與一時脈訊號，該彈性印刷電路 ( F P C ) 4 0 9 係作為連接到外部設備的連接端點。

圖 1 4 B 係一上視圖，其為沿著圖 1 4 A 中的線 A - A ' 的橫截面圖。在圖 1 4 A 與 1 4 B 中，相同的參考數字被用來代表相同的元件。

如圖 1 4 B 所示，像素部分 6 8 0 3 與該對源極訊號線驅動電路 6 8 0 1 a 與 6 8 0 1 b 被形成於一基板

6 8 0 0 上。該像素部分 6 8 0 3 係由複數個像素所構成，其中每一像素包括一用來控制流至電激螢光元件（以下稱作電激螢光驅動薄膜電晶體）之電流的薄膜電晶體

6 8 5 1 與被連接至該薄膜電晶體 6 8 5 1 之汲極的像素電極 6 8 5 2。在第八具體實施例中，電激螢光驅動薄膜電晶體 6 8 5 1 係由 p 通道薄膜電晶體所形成。此外，該對源極訊號線驅動電路 6 8 0 1 a 與 6 8 0 1 b 之每一者係由使用兩互補式金氧半電路所形成，其中一者由一 n 通道薄膜電晶體 6 8 5 3 a 與一 p 通道薄膜電晶體

6 8 5 4 a 互補地結合，另一者由一 n 通道薄膜電晶體

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

結

## 五、發明說明 ( 94 )

6 8 5 3 b 與一 p 通道薄膜電晶體 6 8 5 4 b 互補地結合。

每一像素在像素電極之下具有一色彩濾波器 ( 紅 )

6 8 5 5 、一色彩濾波器 ( 綠 ) 6 8 5 6 、以及一色彩濾波器 ( 藍 ) ( 未繪示 ) 。該色彩濾波器 ( 紅 ) 6 8 5 5 係用來濾出紅光，該色彩濾波器 ( 綠 ) 6 8 5 6 係用來濾出綠光、以及該色彩濾波器 ( 藍 ) 係用來濾出藍光。必須注意的是，該色彩濾波器 ( 紅 ) 6 8 5 5 、該色彩濾波器 ( 綠 ) 6 8 5 6 、與該色彩濾波器 ( 藍 ) 係分別被提供於一發出紅光的像素、一發出綠光的像素、以一發出藍光的像素中。

首先，所發射之光顏色的色彩純度之改善可以視為提供這些色彩濾波器的效果。舉例而言，電激螢光元件所發出的紅光係由其中發出紅光的像素所發出。紅光的色彩純度可以藉由使此道紅光通過用來濾出紅光的色彩濾波器 ( 紅 ) 6 8 5 5 而被改善。這種藉由色彩濾波器所達成的色彩純度的改善可被類似地應用於綠光與藍光的情形。

在沒有提供色彩濾波器的習知結構中，從電激螢光顯示器之外部所發出之可見光激發了電激螢光元件中的發光層的，因此會發生所欲之顏色無法獲得的問題。然而，藉由提供第八具體實施例所述之色彩濾波器，只有具有一特定波長的光可進入該電激螢光元件。換言之，電激螢光元件之外部激光方式所帶來的缺點可以被避免。

請注意，在結構中提供色彩濾波器的建議在過去便已

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 95 )

經被提出，但是在其中係使用一種發出白光的電激螢光元件。在本情形中，其他波長的光線被攔截，以濾出紅光，而造成發光度的衰減。然而，舉例來說，由於從電激螢光元件所發出之紅光被導通過第八具體實施例所述之該濾出紅光的色彩濾波器，因此其發光度沒有受到衰減。

接著，像素電極 6 8 5 2 由一透明導電膜所形成，並且作為該電激螢光元件的陽極。一絕緣膜 6 8 5 7 被形成於該像素電極 6 8 5 2 之每一端，以藉此形成一發出紅光的發光層 6 8 5 8 以及一發出綠光的發光層 6 8 5 9。必須注意到，未繪示於圖中之發出藍光的發光層被提供於相鄰的像素中。因此，色彩的顯示係由相對應至紅色、綠色與藍色的像素所執行。該發出藍光的發光層當然也被提供於形成藍光的像素中。

請注意，不只有機材料，無機材料也可以被使用來作為發光層 6 8 5 8 以及發光層 6 8 5 9 的材料。也必須注意到，儘管所示之結構僅由發光層所構成，其亦可為合片結構，其中發光層係由一電子發射層、一電子傳輸層、一電洞傳輸層或一電洞發射層所構成。

由一種具有擋光特性的導電膜所構成之電激螢光元件的陰極 6 8 6 0 係被形成於個別之發光層上。該陰極 6 8 6 0 作為所有像素所共用之連線，並且透過連線 6 8 0 8 而被電連接至該彈性印刷電路 ( F P C ) 6 8 0 9。

接著，第一密封構件 6 8 0 5 藉由使用塗佈器或類似

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

絕

## 五、發明說明( 96 )

者而被形成，而且一空間層（未繪示）被形成以黏合該第一密封構件 6 8 0 5 至該覆蓋構件 6 8 0 4。填充劑 6 8 0 7 接著藉由真空噴出而被填入由該薄膜電晶體基板、該覆蓋構件 6 8 0 4、以及該第一密封構件 6 8 0 5 所包圍之空間中。

在第八具體實施例中，作為濕氣吸收材料 6 8 6 1 的氧化鋇（BaO）被事先添加至該填充劑 6 8 0 7 中。請注意，儘管濕氣吸收材料 6 8 6 1 被添加至第八具體實施例所使用的填充劑 6 8 0 7 中，其可以廣泛地分布並且被包含於其他填充劑中。此外，亦可使用濕氣吸收材料以作為空間層（未繪示）之材料。

在以紫外線或熱乾化該填充劑 6 8 0 7 後，形成於該第一密封構件 6 8 0 5 中之一開口部分（未繪示）被密封起來。在密封該第一密封構件 6 8 0 5 之開口部分後，該連線 6 8 0 8 與該彈性印刷電路（FPC）6 8 0 9 藉由使用一種導電材料 6 8 6 2 而電連接。接著，第二密封構件 6 8 0 6 被設置，以覆蓋該第一密封構件 6 8 0 5 與該彈性印刷電路（FPC）6 8 0 9 之側邊（曝露面）。該第二密封構件 6 8 0 6 可以藉由使用與該第一密封構件 6 8 0 5 相同的材料而被形成。

藉由使用上述方式密封填充劑 6 8 0 7 中的電激螢光元件，該電激螢光元件完全與外界環境隔離，而且加速有機材料退化的物質如濕氣與氧氣可以因而被避免。藉此，具有高可靠度的電激螢光元件可被製造完成。

（請先閱讀背面之注意事項再填寫本頁）

訂

總

## 五、發明說明 ( 97 )

此外，根據第八具體實施例，既存之液晶顯示器生產線可以被轉型來製造本發明之裝置，以有效地減少生產此裝置之資本投資，而且複數個發光裝置可以藉由一種高良率製程而被形成於一塊基板上，使得製造成本可以顯著地下降。

請注意，可以藉由組合第一具體實施例至第五具體實施例來實現第八具體實施例。

### { 第九具體實施例 }

第九具體實施例所述者係為電激螢光元件所發出的光方向以及配置方式不同於第八具體實施例者之情形。儘管將藉由圖 1 5 A 與 1 5 B 來加以說明，其基本結構係與圖 1 4 A 與 1 4 B 所示者相同，因此相同的參考數字被使用而且僅有修正的元件被新的參考數字標示並且加以說明。

在第九具體實施例中，該 n 通道薄膜電晶體被用來作為像素 6 9 0 1 中的電激螢光驅動薄膜電晶體 6 9 0 2。由具有擋光特性的導電膜所構成之像素電極 6 9 0 3 被電連接至該電激螢光驅動薄膜電晶體 6 9 0 2 的汲極。該像素電極 6 9 0 3 被用來作為第九具體實施例之電激螢光元件的陰極。

一透明導電膜 6 9 0 4 被形成於發出紅光的發光層 6 8 5 8、發出綠光的發光層 6 8 5 9 上。該透明導電膜 6 9 0 4 被用來作為電激螢光元件的陽極。

此外，第九具體實施例之一特徵在於，一色彩濾波器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（98）

（紅）6905、一色彩濾波器（綠）6906、以及一色彩濾波器（藍）（未繪示）被形成於該覆蓋構件

6804上。在採用第九具體實施例之電激螢光元件的結構中，從發光層所發出來的光係朝向該覆蓋構件側邊的方向。因此，藉由採用圖15B所示之結構，其他的色彩濾波器可以被安裝於光路徑的位置上。

該薄膜電晶體基板的製造步驟可以藉由提供第九具體實施例所述之覆蓋構件6804上的色彩濾波器（紅）6905、色彩濾波器（綠）6906、以及色彩濾波器（藍）（未繪示）而加以簡化。因此，可以獲得諸如良率與產能的提昇等優點。

請注意，可以藉由組合第一具體實施例至第五具體實施例來實現第九具體實施例。

### 〔第十具體實施例〕

像素部分之結構的更仔細橫截面圖係繪示於圖16中。一對交換薄膜電晶體、一對消除薄膜電晶體、與一對電激螢光驅動薄膜電晶體可以分別使用相同的結構，因此圖16僅繪示出一個交換薄膜電晶體、一個消除薄膜電晶體、與一個電激螢光驅動薄膜電晶體。

在圖16中，形成於基板3501上的交換薄膜電晶體3502係藉由使用一由習知方法所形成的n通道薄膜電晶體而被製造。雙重閘極結構被使用於本具體實施例中。然而，該雙閘極結構係等效成兩個串聯之薄膜電晶體的

## 五、發明說明 ( 99 )

結構，且其具有截止電流值較低的優點。請注意到，儘管在本具體實施例中係使用雙重閘極結構，單閘極結構、三閘極結構、以及具有更多閘極數量的多重閘極結構亦可以被使用。此外，參考數字 38 代表一閘極訊號線，其連接彼此電連接之交換薄膜電晶體 3502 的閘極電極 38a、38b。

消除薄膜電晶體 3504 係由一 n 通道薄膜電晶體所構成，並且藉由使用一習知方法而被製造。雙重閘極結構被使用於本具體實施例中。然而，該雙閘極結構係等效成兩個串聯之薄膜電晶體的結構，且其具有截止電流值較低的優點。請注意到，儘管在本具體實施例中係使用雙重閘極結構，單閘極結構、三閘極結構、以及具有更多閘極數量的多重閘極結構亦可以被使用。該消除薄膜電晶體

3504 之汲極電極 31 藉由連線 36 而被電連接至該交換電晶體 3502 之汲極連線 35 以及電激螢光驅動薄膜電晶體 3503 的閘極 37。

交換薄膜電晶體 3502 與消除薄膜電晶體 3504 可以藉由使用一由習知方法所形成的 n 通道薄膜電晶體而被製造。較佳者，該交換薄膜電晶體 3502 與該消除薄膜電晶體 3504 係使用同一型的薄膜電晶體 ( n 通道或 p 通道 )。

電激螢光驅動薄膜電晶體 3503 係由一 n 通道薄膜電晶體所構成，並且藉由使用一習知方法而被製造。該電激螢光驅動薄膜電晶體 3503 的閘極 37 藉由連線 36

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 100 )

而被電連接至該交換電晶體 3 5 0 2 之汲極連線 3 5 以及該消除薄膜電晶體 3 5 0 4 之汲極電極 3 1 。

由於電激螢光驅動薄膜電晶體係為控制流經該電激螢光元件之電流量大小的元件，其有大電流流過，並且其對於熱與熱載子所引發的退化具有高穩定度。因此，本發明之結構是非常有效的，其中在該電激螢光驅動薄膜電晶體的汲極側提供有 L D D 區，以透過一閘極絕緣膜重疊至閘極電極。

在本具體實施例中，一單閘極結構的電激螢光驅動薄膜電晶體 3 5 0 3 被繪示於圖中。然而，雙重閘極結構、或是具有更多閘極數量的多重閘極結構亦可以被使用。此外，亦可以使用另一種結構，其中複數個薄膜電晶體被並聯以分割成複數個通道形成區域，而且其可以高效率地執行熱的發散。本結構可以有效地處理因熱所引起的性能退化問題。

此外，源極連線 4 0 被連接至一電功率供給線，而且一固定電壓永遠被供給。

第一保護膜 4 1 被形成於該交換薄膜電晶體 3 5 0 2、電激螢光驅動薄膜電晶體 3 5 0 3 與消除薄膜電晶體 3 5 0 4 上，而且一平坦層係由一絕緣樹脂膜而形成於其上。使用平坦薄膜 4 2 來平坦化由於薄膜電晶體所產生的階梯是極為重要的。接著，形成一非常薄之電激螢光層，因此可能產生有缺陷的光。因此，為了要盡可能形成表面般平坦的電激螢光層，較佳者是在形成像素電極之前進行

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 101 )

平坦化的步驟。

此外，參考數字 4 3 代表像素電極（電激螢光元件的陰極），其係由一具有高反射率的導電膜所形成，並且被電連接至該電激螢光驅動薄膜電晶體 3 5 0 3 的汲極區域。較佳者，係使用低電阻導電膜，諸如鋁合金膜、銅合金膜與銀合金膜，或者是這些膜所製成的合片。當然，由其他導電膜所構成的合片也可以被使用。

此外，一發光層 4 5 係形成於一（相對應至一像素的）槽溝中，其係由絕緣薄膜（較佳者為樹脂）所形成的岸面 4 4 a 與 4 4 b 所構成。請注意在此處的圖式中僅繪示一像素，但該發光層可被形成並且分割成對應至每一紅、綠、藍的顏色。一種  $\pi$  型聚合材料被使用來作為有機電激螢光材料。P P V（polyparaphenylene vinylenes）、P V K（polyvinyl carbazoles）以及 polyfluoranes 可被用來作為典型的聚合物材料。

請注意，有許多種類的 P P V 有機電激螢光材料，而例如 Schenk 等人於 1 9 9 9 年所發表於 Euro Display proceedings 中的 "Polymers for Light Emitting Diodes" 以及日本專利申請案 No. Hei 1 0 - 9 2 5 7 6 中所揭露的材料亦可以被使用。

作為特定的發光層，cyano-polyphenylene vinylene 可以被使用來作為紅光發光層，polyphenylene vinylene 可以被使用來作為綠光發光層，以及 polyphenylene vinylene 或 polyalkylphenylene 可以被使用來作為藍光發光層。該薄膜

## 五、發明說明 ( 102 )

厚度可以介於 30 到 150 nm (較佳者為介於 40 到 100 nm) 之間。

然而，上述例子只是可以被用來作為發光層之有機電激螢光材料之一實例，而且沒有必要來限制這些材料。電激螢光層（一用來發光並且進行載子運動的薄層）可以藉由自由地結合發光層、電荷傳輸層以及電荷發射層而被形成。

舉例來說，本具體實施例顯示一使用聚合物材料以作為發光層的例子，但是具有低分子量的有機電激螢光材料也可以被使用。此外，亦可以使用無機材料如碳化矽以作為電荷傳輸層或電荷發射層。已知的材料可以被使用來作為電激螢光材料與無機材料。

本具體實施例使用一合片結構電激螢光層，其中一由 P E D O T ( polythiophene ) 或 P a n i ( polyaniline ) 所形成的電洞發射層 46 係被形成於發光層 45 上。陽極 47 接著由一種透明導電膜而被形成於該電洞發射層 46 上。在本具體實施例中，該發光層 45 所產生的光被發射向薄膜電晶體的上表面，並且該陽極必須對光透明。一種由氧化銮與氧化錫所構成之化合物（亦稱作氧化銮錫）或一種由氧化銮與氧化鋅所構成之化合物可以被用來作為該透明導通薄膜。然而，由於其係形成於形成低熱阻發光與電洞發射層之後，較佳者係使用一種可以在盡可能的低溫下被沉積的材料。

電激螢光元件 3505 被完成於陽極 47 形成時。請

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 五、發明說明 ( 103 )

注意，在此所稱之為電激螢光元件者係由該像素電極（陰極）4 3、該發光層 4 5、該電洞發射層 4 6 與該陽極 4 7 所形成。該像素電極 4 3 幾乎相等於像素面積，而且整個像素作為一電激螢光裝置。因此，其發光效率非常的高，如此可以形成具有高亮度影像的顯示器。

此外，一第二保護膜 4 8 接著被形成於該陽極 4 7 上。較佳者係使用一氮化矽膜或一氧化之氮化矽膜以作為該第二保護膜 4 8。此一目的在於將該電激螢光元件與外界隔絕，以避免由於有機電激螢光材料的氧化而造成特性的退化，並且得以控制從該有機電激螢光材料所發出的氣體。是以，可以提昇電激螢光顯示器的可靠度。

本發明之電激螢光顯示器具有一由圖 1 6 的像素所構成的像素部分，並且具有較低截止電流值的交換薄膜電晶體、以及不受熱發射影響的電激螢光驅動薄膜電晶體。因此，具有高可靠度、良好影像顯示品質的電激螢光顯示器面板可以獲得。

第十具體實施例之結構可以藉由組合第一具體實施例至第七具體實施例來實現。

### [ 第十一具體實施例 ]

在本具體實施例中，將說明一種電激螢光元件 3 5 0 5 係與第十具體實施例中的像素部分內的電激螢光元件 3 5 0 5 倒裝的結構。其係參照圖 1 7 而作說明。由於僅有不同於圖 1 6 之結構的部分被顯示出來，其他的部

## 五、發明說明 ( 104 )

分便不予贅述。

參考圖 1 7，電激螢光驅動薄膜電晶體 3 5 0 3 係使用藉由習知方法所形成之 p 通道薄膜電晶體而被形成。

在本具體實施例中，一透明導電膜被使用來作為像素電極（陽極）5 0。該導電膜係由氧化銦與氧化鋅所構成的化合物所形成。當然，一種由氧化銦與氧化錫所構成的化合物亦可被使用。

此外，由一絕緣膜所構成之岸面 5 1 a 與 5 1 已被形成之後，一種由 polyvinylcarbazole 所構成的發光層 5 2 被形成於前道步驟所形成的基礎上。該發光層 5 2 係與一由 potassium acetylacetonate ( acacK ) 所構成的電子發射層 5 3 以及一由鋁合金所構成的陰極 5 4 重疊。在此情形中，陰極 5 4 亦作為一保護膜。因此，一電激螢光元件 3 7 0 1 便被形成了。

在本發明的情形中，發光層 5 2 所產生的光係如箭頭所指示地朝向基板。

另外，第十一具體實施例之結構可以藉由組合第一具體實施例至第七具體實施例來實現。

### 〔第十二具體實施例〕

在圖 3 與圖 5 中，電容器被提供以保持施加至電激螢光驅動薄膜電晶體之閘極電極的電壓。然而，該電容器可以被省略。由於 n 通道薄膜電晶體被用來作為該電激螢光驅動薄膜電晶體，該電激螢光驅動薄膜電晶體具有一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 105 )

L D D 區域，其係被提供以透過一閘極絕緣膜而與一閘極電極重疊。本發明之特徵在於寄生電容被正面地使用，以保持施加至電激螢光驅動薄膜電晶體之閘極電極的電壓。

該寄生電容器之電容值係根據上述之閘極電極與 L D D 區域重疊的面積而變化。

### [ 第十三具體實施例 ]

本發明將藉由使用圖 2 1 至 2 3 而被解釋。在此將解釋一種同時形成像素部分、形成於像素部分周圍之驅動電路部分的薄膜電晶體之方法。請注意，爲了要簡化說明，一互補式金氧半電路被顯示來作爲驅動電路的基礎電路。該消除薄膜電晶體、該交換薄膜電晶體、以及該電激螢光驅動薄膜電晶體具有相同的結構，其係被兩兩地提供於每個像素中。該消除薄膜電晶體可以藉由與該交換薄膜電晶體或該電激螢光驅動薄膜電晶體相同的方法形成，在本具體實施例中，該交換薄膜電晶體與該電激螢光驅動薄膜電晶體係一對一地被顯示以作爲一像素薄膜電晶體。

首先，如圖 2 1 A 所示，一基膜 3 0 1 被形成於一玻璃基板 3 0 0 上，而具有 3 0 0 n m 的厚度。在本具體實施例中，氧氮化矽膜被合片化以作爲該基膜 3 0 1。很適當地，在接觸基板 3 0 0 的薄膜中，氮的濃度可以設定於 1 0 與 2 5 w t % 之間。此外，該基膜 3 0 1 具有熱發散效應，而且一似鑽石的碳 ( D L C ) 膜也可以被提供。

接下來，一非晶矽膜 ( 未繪示 ) 藉由習知沉積方法而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 106 )

被形成於該基膜 3 0 1 上，且具有 5 0 n m 的厚度。請注意，並無必要限制為非晶矽膜，具有非晶結構的半導體膜（包括微結晶半導體膜）亦可被形成。此外，包括有非晶結構之化合物半導體膜，諸如非晶矽鍺膜，亦可被使用。此外，該薄膜之厚度可以介於 2 0 至 1 0 0 n m 之間。

該非晶矽膜接著藉由習知方法被結晶化，形成一結晶矽膜（亦稱作多晶矽膜）3 0 2。使用電熱爐的熱結晶化、使用雷射光的雷射退火結晶化、使用紅外光的燈光退火結晶化係為既存之習知方法。在本發明中，結晶化係使用準分子雷射而進行，其使用 X e C l 氣體。

請注意，在本具體實施例中，係使用形成為一線型的脈衝發射準分子雷射光，但矩形的雷射光亦可被採用，而且連續發射氬雷射光與連續發射準分子雷射亦可以被採用。

在本具體實施例中，儘管結晶矽膜被用來作為薄膜電晶體之主動層，亦可以使用非晶矽膜。

請注意，藉由使用非晶矽膜來形成交換薄膜電晶體之主動層以及使用結晶矽膜來形成電激螢光驅動薄膜電晶體之主動層是有效用的。由於在非晶矽中，載子遷移率很低，電流在非晶矽膜中流動會遇到困難，使得截止電流無法輕易地流動。換言之，由於在非晶矽層中電流無法輕易地流動而在多晶矽膜中電流可以輕易流動，因此可以有效善用以上兩種材料。

接下來，如圖 2 1 B 所示，一保護膜 3 0 3 藉由氧化

## 五、發明說明 ( 107 )

矽膜而被形成於該結晶矽膜 3 0 2 之上，並且具有 1 3 0 n m 的厚度。該厚度可以被選擇於 1 0 0 至 2 0 0 n m ( 較佳者為 1 3 0 至 1 7 0 n m ) 的厚度之間。此外，其他包含矽的絕緣層亦可被使用。該保護膜 3 0 3 被形成，使得該結晶矽膜 3 0 2 在添加雜質時沒有直接曝露至電漿，而且具有雜質濃度之精準控制。

光阻幕罩 3 0 4 a 與 3 0 4 b 接著被形成於該保護膜 3 0 3 上，並且具有 n 型導電性的雜質元素 ( 稱作 n 型雜質元素 ) 被添加。請注意，週期表中第五族的元素通常可以被用來當作 n 型雜質元素，而且典型地磷或砷可以被使用。請注意，本發明亦可使用電漿摻雜方法，其中 P H<sub>3</sub> 被電漿致動而不需要質量分離，而且在本具體實施例中，磷被添加至達到  $1 \times 10^{18}$  原子 / c m<sup>3</sup> 的濃度。當然，進行質量分離的離子佈植法亦可以被使用。

摻雜劑量被調整，使得 n 型雜質元素被包含於 n 型雜質區域 3 0 5，藉由此製程，可達到  $2 \times 10^{16}$  原子 / c m<sup>3</sup> 至  $5 \times 10^{19}$  原子 / c m<sup>3</sup> 的濃度 ( 較佳者為  $5 \times 10^{17}$  原子 / c m<sup>3</sup> 至  $5 \times 10^{18}$  原子 / c m<sup>3</sup> ) 。

接著，如圖 2 1 C 所示，該保護膜 3 0 3 被移除，而且所添加之 n 型雜質元素之活化係被執行。一習知之活化技術可被用來進行活化，但在本具體實施例中之活化係藉由準分子雷射的照射而進行。當然，脈衝發射準分子雷射與連續發射準分子雷射均可被使用，而且不必要對準分子雷射的使加以限制。其目的在於所添加之雜質元素的活化

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 108 )

，而且其較佳者為進行雷射光發射於該結晶矽尚未被熔化之一能量位準。請注意，雷射發射亦可以對於保護層 3 0 3 進行。

藉由熱處理（爐管退火）亦可以伴隨藉由雷射光以活化雜質元素的方法來被執行。當活化藉由熱處理而被執行，考慮基板的熱阻，較佳者為介於 4 0 0 至 5 5 0 °C 的範圍內進行熱處理。

n 型雜質區域 3 0 5 之末端部分的邊緣部分（連接部分），亦即 n 型雜質離子所未添加的部分，係由此製程所分區。此意味著，在薄膜電晶體形成時，非常良好的連接部分可以被形成於 L D D 區域與通道形成區域之間。

接著係移除結晶矽薄膜之不必要部分，如圖 2 1 D 中所示。而且島狀半導體膜（以下稱作主動層）3 0 7 至 3 1 0 被形成。一包含矽並且具有 1 0 至 2 0 0 n m（較佳者係為 5 0 至 1 5 0 n m）之厚度的絕緣膜可被用來作為閘極絕緣膜 3 1 1。單一層結構或合片結構均可被形成。1 1 0 n m 厚度的氧氮化矽膜被使用於本具體實施例中。

之後，一具有 2 0 0 至 4 0 0 n m 之厚度的導電膜被形成，並且被圖案化以形成閘極電極 3 1 2 至 3 1 6。在本具體實施例中，閘極電極 3 1 2 至 3 1 6 與電連接至該閘極電極以提供導電路徑的連線（以下稱作閘極連線）被以彼此不同的材料形成。詳而言之，該閘極連線係由一種具有較低於閘極電極的電阻係數的材料所構成。因此，成就細微製程的材料被使用來作為該閘極電極，而該閘極連

## 五、發明說明 ( 109 )

線則以可以提供較小連線電阻但不適用於細微製程的材料來被形成。當然可以用相同的材料來形成該閘極電極以及該閘極連線。

儘管閘極電極可以藉由一單層導電膜而構成，其較佳者係形成兩、三層或具有更多層之合片以用來作為閘極電極，如有需要的話。任何習知導電材料可以被用來作為閘極電極。必須注意到，然而，較佳者係使用這種成就細微製程的材料，而且更詳而言之，一種可以形成等於或小於 2 毫米線寬的材料。

典型地，可使用一種材料，其係由選擇自使用一包括有一種取自鉭 ( T a )、鈦 ( T i )、鉬 ( M o )、鎢 ( W )、鉻 ( C r )、鈮 ( N b ) 與矽 ( S i ) 的元素之金屬薄膜、一以上述這些元素作為主要成分之金屬化合物薄膜 ( 通常為氮化鉭薄膜、氮化鈦薄膜或氮化鎢薄膜 )、一結合上述這些元素之合金薄膜 ( 通常為鉬 - 鎢合金、鉬 - 鉭合金或矽化鎢薄膜 ) 或是這些薄膜所堆疊之薄膜。當然，這些薄膜可以作為單一層或一合片膜來使用。

在本具體實施例中，由一具有 30 nm 厚度的氮化鎢膜與一具有 370 nm 厚度的鎢膜所形成的合片膜被使用。此可藉由濺鍍而形成。當惰性氣體如 X e、N e 或類似者被添加至一濺鍍氣體，可以避免薄膜由於應力而剝落。

閘極電極 313 在此時被形成以與 n 型雜質區域 305 之部分重疊，包夾閘極絕緣層 311。此重疊部分在稍後成為與該閘極電極重疊之 L D D 區域。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 110 )

接下來，n 型雜質元素（在本具體實施例中係使用磷）被添加，其係以閘極電極 3 1 2 至 3 1 6 為幕罩而以自我對準的方式形成，如圖 2 2 A 所示。磷的添加被調整，使得磷被添加至雜質區域 3 1 7 至 3 2 3、3 2 3 b，如此形成之雜質區域具有  $1/10$  至  $1/2$ （較佳者係為  $1/4$  至  $1/3$ ）之雜質區域 3 0 5 的濃度。詳細地說，較佳者之濃度係為  $1 \times 10^{16}$  原子 /  $\text{cm}^3$  至  $5 \times 10^{18}$  原子 /  $\text{cm}^3$  的濃度（典型者為  $3 \times 10^{17}$  原子 /  $\text{cm}^3$  至  $3 \times 10^{18}$  原子 /  $\text{cm}^3$ ）。

光阻幕罩 3 2 4 a 至 3 2 4 b 接著被形成，具有如圖 2 2 B 所示之形狀，其覆蓋閘極電極，而且 n 型雜質元素（在本具體實施例中係使用磷）被添加，以形成包含有高濃度的磷之雜質區域 3 2 5 至 3 2 9。離子摻雜係藉由使用  $\text{PH}_3$  而被進行，而且這些區域內的磷濃度係被設定為  $1 \times 10^{20}$  至  $1 \times 10^{21}$  原子 /  $\text{cm}^3$ （通常為  $2 \times 10^{20}$  至  $5 \times 10^{20}$  原子 /  $\text{cm}^3$ ）。

藉由本製程，n 通道薄膜電晶體之源極區域與汲極區域可被形成。而在該交換薄膜電晶體體中，由圖 2 2 A 所示之製程所形成之 n 型雜質區域 3 2 0 至 3 2 2 被保持。這些保持區域對應至該交換薄膜電晶體之 L D D 區域。

接下來，如圖 2 2 C 所示，光阻幕罩 3 2 4 a 至 3 2 4 d 被移除，並且形成新的光阻幕罩 3 3 2。p 型雜質元素（在本具體實施例中係使用硼）被添加，以形成包含有高濃度的硼之雜質區域 3 3 0、3 3 1、3 3 3 與



## 五、發明說明 ( 111 )

3 3 4。離子摻雜係藉由使用  $B_2H_6$  而被進行，而且這些區域內的硼濃度係被設定為  $3 \times 10^{20}$  至  $3 \times 10^{21}$  原子 /  $cm^3$  (通常為  $5 \times 10^{20}$  至  $1 \times 10^{21}$  原子 /  $cm^3$ )。

請注意，磷已經以  $1 \times 10^{16}$  原子 /  $cm^3$  至  $1 \times 10^{18}$  原子 /  $cm^3$  的濃度被添加至雜質區域 3 3 0、3 3 1、3 3 3 與 3 3 4，但硼係以至少三倍於磷濃度的量被添加。因此，已經形成之 n 型雜質區域完全被轉變為 p 型，以作為 p 型雜質區域。

接下來，在移除光阻幕罩 3 3 2 之後，以個別之濃度被添加至主動層的 n 型雜質元素或 p 型雜質元素被活化。爐管退火、雷射退火、或燈管退火可被使用來作為退火的方式。在本具體實施例中，熱處理係於電爐管中的氮氣環境中，以  $550^\circ C$  的溫度進行四個小時。

在此時，從包圍在四周的環境中盡可能減少氧的含量是極為重要的。此乃因為當即使是很少量的氧氣都會使閘極電極之曝露之表面被氧化，其會造成上升之電阻並且使得閘極電極形成歐姆接觸的困難增加。因此，進行活化製成時包含於環境中的氧含量被設定成 1 ppm (較佳者係為小於 0.1 ppm)。

在活化製程結束時，具有厚度為 300 nm 的閘極連線 3 3 5 被形成。作為閘極連線 3 3 5 的材料，一包含有鋁或銅以作為主要成份的金屬膜可被使用。該閘極連線 3 3 5 被配置以提供交換薄膜電晶體之閘極電極 3 1 4 與 3 1 5 的電連接 (參見圖 2 2 D)。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 112 )

上述之結構可以允許閘極連線之線電阻大幅減少，而且藉此，一具有大面積之影像顯示區域（像素部分）可被形成。詳而言之，根據本具體實施例之像素結構具有能實現具有10吋或更大（或30吋或更大）之對角尺寸的顯示螢幕之電激螢光顯示器裝置的優點。

一第一層間絕緣層336接著被形成，如圖23A所示。一包含矽之單層絕緣膜被用來作為該第一層間絕緣層336，其可使用合片膜。此外，一厚度介於400nm至1.5 $\mu$ m之間的薄膜亦可被使用。在本具體實施例中，200nm厚之氧氮化矽膜上之800nm厚的二氧化矽膜所形成的合片結構係被使用。

此外，熱處理係藉由在含有3至100%之氫的環境中以300 $^{\circ}$ C至450 $^{\circ}$ C的高溫進行1至12小時的熱處理而完成。此步驟乃藉由熱激發氫的使用，而除去島狀半導體層上的垂懸鍵（dangling bond）。電漿氫化（使用電漿激發氫）也可被進行以作為另一種氫化的方法。

請注意，該氫化製程亦可藉由插入該第一層間絕緣層336形成的過程中。亦即，氫化製程可以在形成200nm厚的氧氮化矽膜之後如上所述地進行，接著所剩下800nm厚之二氧化矽膜可被形成。

接著，一接觸孔被形成於該第一層間絕緣層336中，而且源極連線337至340與汲極連線341至343被形成。在本具體實施例中，該電極係由一三層結構所形成的合片膜所形成，其中一具有100nm厚度的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 113 )

鈦膜、一包含鈦且厚度為 3 0 0 n m 的鋁膜、以及一具有 1 5 0 n m 厚度的鈦膜，其係以濺鍍法所形成。當然，其他的導電膜亦可被使用。

一第一保護膜 3 4 4 接著被形成而具有 5 0 至 5 0 0 n m (通常為 2 0 0 至 3 0 0 n m) 的厚度。3 0 0 n m 厚之氧氮化矽膜被用來作為本具體實施例中之第一保護膜 3 4 4。此亦可由二氧化矽膜所取代。請注意，在形成氧氮化矽膜之前先使用包含有氫之氣體如  $H_2$  或  $NH_3$  以進行電漿處理，是極為有效的。藉由此製程所活化的氫被供給到第一層間絕緣膜 3 3 6，而且該第一保護膜 3 4 4 的品質可藉由進行熱處理而獲得改善。在此時，被添加至該第一層間絕緣膜 3 3 6 的氫擴散至較低層，而該主動層可以有效地被氫化。

接下來，如圖 2 3 B 所示，一由有機樹脂所構成的第二層間絕緣膜 3 4 5 被形成。作為有機樹脂，可以使用 polyimide、polyamide、acryl、B C B 與類似者。尤其，由於該第二層間絕緣膜 3 4 5 係主要被用來平坦化，acryl 在平坦化方面的優異特性係為首要選擇。在本具體實施例中，丙烯酸膜被形成至一足夠的厚度，以平坦化一由於薄膜電晶體所形成之階梯部分。其適當厚度為 1 至 5  $\mu m$  (較佳地，2 至 4  $\mu m$ ) 之間。

之後，一接觸孔被形成於該第二層間絕緣膜 3 4 5 與第一保護膜 3 4 4 中，並且延伸到汲極連線 3 4 3，而且該像素電極 3 4 6 接著被形成。在本具體實施例中，一由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 114 )

添加 10 至 20 wt % 氧化銦至氧化鋅之具有 120 nm 厚度的透明導電膜係被形成為該像素電極 346。

接下來，如圖 23C 所示，一由樹脂材料所構成的岸面 347 被形成。該岸面 347 可藉由圖案化 1 至 2  $\mu$ m 厚的丙烯酸膜或 polyimide 膜而形成。該岸面 347 被形成為像素之間的條狀。在本具體實施例中，該岸面 347 被沿著源極連線 339 上方而形成，儘管也可以沿著閘極連線 336 上方而形成。該岸面 347 可以藉由包含碳與類似者被用來作為一遮蔽樹脂的薄膜。

接下來，電激螢光層 348 與陰極（鎂銀電極）349 藉由真空中的蒸鍍法而被形成。該電激螢光層 348 的厚度係為介於 80 至 200 nm（通常為 100 至 120 nm）之間，其陰極則為介於 180 至 300 nm（通常為 200 至 250 nm）之間。在本具體實施例中，只有一像素電極被顯示於圖中，在此時，發出紅光之電激螢光層、發出綠光之電激螢光層與發出藍光之電激螢光層被同時形成。

在本製程中，電激螢光層 348 與陰極（鎂銀電極）349 被形成，以作為一針對紅光的像素、一針對綠光的像素、與一針對藍光的像素。然而，由於電激螢光層 348 在抗溶液方面的特性極差，其對於每一種顏色必須獨立地形成而不使用光微影技術。因此，較佳者係藉由金屬幕罩的使用，將所欲曝露之外的部分遮罩住，以有效地對於所欲之像素形成電激螢光層 348 與陰極 349。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 115 )

換言之，幕罩係被設定來遮罩除了發出紅光之像素之外的部分，而且，藉由使用此幕罩，該電激螢光層與陰極可以被選擇性地形成，以進行紅光的發射。接著，幕罩被設定來遮罩除了發出綠光之像素之外的部分，而且，藉由使用此幕罩，該電激螢光層與陰極可以被選擇性地形成，以進行綠光的發射。接著，幕罩被設定來遮罩除了發出藍光之像素之外的部分，而且，藉由使用此幕罩，該電激螢光層與陰極可以被選擇性地形成，以進行藍光的發射。儘管上述使用了不同的幕罩，亦可以重複使用相同的幕罩。必須注意到，不可以在製程中破真空，直到所有像素之電激螢光層與陰極被形成。

該電激螢光層具有 4 層其他發光層，分別為一正電洞發射層、一正電洞傳輸層、一發光層、以及一電子發射層。不同組合的例子業已被發表，而且其可使用任何的組合方法。習知材料可以被用來作為該電激螢光層 3 4 8。習知材料之一範例即為藉由考慮一驅動電壓所形成之有機材料。在本具體實施例中，鎂銀電極被用來作為電激螢光元件的陰極。任何其他習知材料亦可被使用。

因此，具有圖 2 3 C 所示之結構的主動陣列基板於焉完成。請注意，在形成岸面 3 4 7 之後，使用多腔室法之薄膜沉積設備連續且不與大氣接觸的方式來進行薄膜的形成直到保護膜 3 5 1 形成，是極為有效的。

在本具體實施例之該主動陣列基板中，具有最佳化結構的薄膜電晶體不僅被設置於像素部分，亦被設置於該驅

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 116 )

動電路部分，因此具有極高的可靠度且可以增加其操作性能。在結晶化步驟中，可以摻雜金屬催化劑如 Ni 與類似者來增加其結晶度。據此，源極訊號驅動電路之驅動頻率可以被設定於小於 10 M h z 。

首先，一具有減少熱載子發射以盡可能地避免減少其速度之結構的薄膜電晶體被使用來作為形成驅動電路部分之互補式金氧半電路 ( C M O S ) 中的 n 通道薄膜電晶體 205。請注意，該驅動電路包括一移位暫存器、一緩衝器、一位準移位器、線順序驅動中的門鎖、以及點順序驅動中的傳輸閘。

在第一具體實施例中的情形，如圖 23C 所示，n 通道薄膜電晶體 205 之一主動層係由一源極區域 355、一汲極區域 356、一 L D D 區域 357、與一通道形成區域 358 所構成。該 L D D 區域 357 與該閘極電極 313 透過閘極絕緣膜 311 而重疊。

考慮不降低操作速度係為 L D D 區域僅被形成於汲極區域側的原因。在本 n 通道薄膜電晶體 205 中，並不需太在意截止電流值，然而，操作速度才是該去注意的。因此，L D D 區域 357 必須被形成以完全與閘極電極重疊，以降低電阻至最低值。亦即，最好是移除所謂的補償 ( offset ) 因素。

此外，互補式金氧半電路 ( C M O S ) 中的 p 通道薄膜電晶體 206 受到熱載子而退化的情形幾乎可以忽略，因此，並不需要對於該 p 通道薄膜電晶體 206 提供任何

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 117 )

L D D 區域。當然，可以對於 n 通道薄膜電晶體 2 0 5 提供 L D D 區域，以補償熱載子效應。

請注意，互補式金氧半電路 ( C M O S ) 被使用於該驅動電路，其中在通道形成區域中的兩個方向上均有大電流流過。亦即，源極與汲極的角色可以互換。在 n 通道薄膜電晶體被用於該互補式金氧半電路的情形中，該 L D D 區域被設置於通道形成區域之兩端之間。舉例來說，可提供點順序驅動所使用之傳輸閘。此外，在驅動電路中，當互補式金氧半電路被使用時，其必須控制截止電流值至盡可能的最小值，較佳者係使用具有 L D D 區域透過閘極絕緣膜而與閘極區域重疊的結構之 n 通道薄膜電晶體。其效用已被解釋於電激螢光驅動薄膜電晶體 2 0 2 中。舉例來說，使用於點順序驅動的傳輸閘亦可被提供。

請注意，在實際上，較佳者係額外地在完成圖 2 3 C 時藉由使用一緊密的保護膜來進行封裝，其對於氣體幾乎不會洩漏，因此不會與外界的大氣接觸。藉由在密封材料中形成惰性氣體以及乾化劑 ( 例如氧化鋇 ) ，該電激螢光元件的可靠度可被提高。

此外，在密封度藉由封裝等製程而被增加之後，一用來從形成於基板上之元件或電路連接輸出端與外界訊號端的連接器 ( 彈性印刷電路 ) 被銜接，以完成整個製程。該完成之製程係為可以被運送之狀態，即在本說明書中所稱之電激螢光顯示裝置 ( 或電激螢光模組 ) 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 118 )

[ 第十四具體實施例 ]

圖 1 所示之源極訊號線驅動電路 1 0 2 或 1 0 4 之詳細結構係於本具體實施例中詳加說明。本發明所使用之源極訊號線驅動電路之範例的電路圖係如圖 2 4 所示。

移位暫存器 8 0 1、門鎖 ( A ) 8 0 2 與門鎖 ( B ) 8 0 3 係如圖所示地被配置。請注意，門鎖 ( A ) 8 0 2 與門鎖 ( B ) 8 0 3 之一組對應至 4 條訊號線 S \_ a 至 S \_ d。此外，用來改變訊號電壓之寬度與強度之一位準移位器並未形成於本具體實施例中，但其可以由設計者所適當地形成。

一時脈訊號 C L K、一時脈訊號 C L K B ( 其中 C L K 的極性被反向 )、一起始脈衝 S P 與一驅動方向改變訊號 S L \_ R 藉由圖式中的連線而被輸入至該移位暫存器 8 0 1。此外，從外界輸入之數位資料訊號 V D 藉由圖式中的連線而被輸入至門鎖 ( A ) 8 0 2。一門鎖訊號 S \_ L A T 與一訊號 S \_ L A T b ( 其中 S \_ L A T 的極性被反向 ) 藉由圖式中的連線而被輸入至門鎖 ( B ) 8 0 3。

對於門鎖 ( A ) 8 0 2 之詳細結構，對應至該源極訊號線 S \_ a 之門鎖 ( A ) 8 0 2 的部分 8 0 4 將被說明。該部分 8 0 4 具有兩個時脈反向器與兩個反向器。

門鎖 ( A ) 8 0 2 的部分 8 0 4 之上視圖係如圖 2 5 所示。參考數字 8 3 1 a 與 8 3 1 b 分別代表形成門鎖 ( A ) 8 0 2 的部分 8 0 4 之反向器的薄膜電晶體之主動層



## 五、發明說明 ( 119 )

，而且參考數字 8 3 6 係代表形成一反向器之薄膜電晶體的共用閘極電極。此外，參考數字 8 3 2 a 與 8 3 2 b 分別代表形成閘鎖 ( A ) 8 0 2 的部分 8 0 4 之反向器的另一薄膜電晶體之主動層，而且參考數字 8 3 7 a 與 8 3 7 b 分別代表形成於主動層 8 3 2 a 與 8 3 2 b 上之閘極電極。請注意，閘極電極 8 3 7 a 與 8 3 7 b 被電連接。

參考數字 8 3 3 a 與 8 3 3 b 分別代表形成閘鎖 ( A ) 8 0 2 的部分 8 0 4 之時脈反向器的薄膜電晶體之主動層。此外，閘極電極 8 3 8 a 與 8 3 8 b 被形成於該主動層 8 3 3 a 上，以形成一雙閘極結構。此外，閘極電極 8 3 8 b 與 8 3 9 被形成於該主動層 8 3 3 b 上，以形成一雙閘極結構。

參考數字 8 3 4 a 與 8 3 4 b 分別代表形成閘鎖 ( A ) 8 0 2 的部分 8 0 4 之時脈反向器的薄膜電晶體之主動層。此外，閘極電極 8 3 9 與 8 4 0 被形成於該主動層 8 3 4 a 上，以形成一雙閘極結構。此外，閘極電極 8 4 0 與 8 4 1 被形成於該主動層 8 3 4 b 上，以形成一雙閘極結構。

### 〔 第十五具體實施例 〕

本發明之電激螢光顯示器中的電激螢光元件之電激螢光層所使用的材料並不侷限於有機電激螢光材料。而且本發明可以藉由使用一種無機電激螢光材料而被實現。然而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 120 )

，目前所使用之無機電激螢光材料具有極高的驅動電壓，因此具有抗電壓特性以使其能承受高電壓之薄膜電晶體必須被使用。

可替代地，如果具有較低驅動電壓的無機電激螢光材料在未來被開發出來，便可以在本發明中使用這種材料。

此外，本具體實施例之結構可以藉由組合第一具體實施例至第十四具體實施例來實現。

### [ 第十六具體實施例 ]

在本發明中，作為電激螢光層之有機材料可以為低分子量有機材料或是聚合物（高分子量）有機材料。低分子型有機材料可以包括  $Alq_3$ （tris-8-quinolilite-aluminum）或 T P D（triphenylamine derivative）。該聚合有機材料可以包括 P P V（polyphenylene vinylene）、P V K（polyvinyl carbazole）、或 polycarbonate。

該聚合物（高分子量）有機材料可以由一種簡單的薄膜形成法所形成，例如旋轉塗佈法（亦稱作溶液應用法）、浸泡法、塗佈法、印刷法、噴墨法或類似者。該聚合物有機材料較於低分子有機材料而言，具有較高的耐熱性。

此外，在本發明的電激螢光顯示器所使用的電激螢光元件之電激螢光層具有一電子傳輸層與一正電洞傳輸層的情形中，該電子傳輸層與該正電洞傳輸層。可以由無機材料所構成，諸如由非晶矽或非晶  $Si_{1-x}C_x$  或類似者所形成之非晶半導體。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 121 )

在該非晶半導體中，會出現大量的缺陷能階，且在同時，該非晶半導體會在該非晶半導體與其他層所接觸的介面處形成大量的介面能階。因此，該電激螢光元件可在低電壓時發光，且在同時，可以努力提高發光的亮度。

此外，摻雜劑（雜質）被添加至該有機電激螢光層，藉此可以改變有機電激螢光層所發出的光之顏色。這些摻雜劑包括 D C M 1、妮羅紅（nile red）、lubren、coumarin 6、T P B 與 quinaquelidon。

### 〔第十七具體實施例〕

根據本發明所製造之電激螢光顯示器裝置係為自我發光型（self-emission type），而且相較於液晶顯示裝置，展現更佳的影像辨識性。此外，該電激螢光顯示器裝置具有更大的視角。藉此，該電激螢光顯示器裝置可被應用於各種電子裝置之顯示器部分。舉例來說，為了要呈現電視節目或類似者於大尺寸螢幕上，根據本發明之電激螢光顯示器裝置可以被用來作為電激螢光顯示器（一種在框架中安裝有電激螢光顯示器裝置的顯示器）之一顯示部分，其具有 30 吋或更大（通常為 40 吋或更大）之對角線尺寸。

該電激螢光顯示器包括所有被用來顯示資訊的顯示器，諸如個人電腦之顯示器、接收電視廣播節目的顯示器、與廣告看板用的顯示器。此外，根據本發明之電激螢光顯示器裝置可以被用來作為其他各種電子裝置之顯示器部分

## 五、發明說明 ( 122 )

這些電子裝置包括視訊攝影機、數位相機、套頭式顯示器、汽車導航系統、聲音重生裝置（汽車音響、音響設備）、筆記型個人電腦、遊戲機、可攜式資訊終端機（行動電腦、行動電話、行動遊戲機、電子書或類似者）、包括紀錄媒介（特別是數位影音光碟機）之影像重生裝置，或類似者。尤其，在可攜式資訊終端機的情形中，較佳者係使用電激螢光顯示器裝置，因為經常被以一個斜角觀看的可攜式資訊終端機通常需要有一個較大的視角。圖 2 6 至 2 7 係為使用這種電子設備之若干範例。

圖 2 6 A 繪示一種電激螢光顯示器，其包括一框架 2 0 0 1、一支撐桌面 2 0 0 2、一顯示器部分 2 0 0 3 或類似者。本發明係應用於該顯示器部分 2 0 0 3。該電激螢光顯示器係為自我發光型，因此不需要背照光。是以，其顯示器部分相較於液晶顯示器裝置可以具有較薄的厚度。

圖 2 6 B 繪示一種視訊攝影機，其包括一主機 2 1 0 1、一顯示器部分 2 1 0 2、一聲訊輸入部分 2 1 0 3、一操作開關 2 1 0 4、一電池 2 1 0 5 與一影像接收部分 2 1 0 6。本發明之電激螢光顯示器裝置可被用來作為顯示器部分 2 1 0 2。

圖 2 6 C 繪示一種套頭式電激螢光顯示裝置之部分（右半邊部分），其包括主機 2 2 0 1、一訊號線 2 2 0 2、一套頭帶 2 2 0 3、一顯示器部分 2 2 0 4、一光學系

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 123 )

統 2 2 0 5 、一電激螢光顯示器裝置 2 2 0 6 或類似者。  
本發明之電激螢光顯示器裝置係被應用於該顯示器部分  
2 2 0 4 。

圖 2 6 D 繪示一種影像重生裝置，其包括一紀錄媒介  
(尤其是 DVD 重生裝置)，其包括一主機 2 3 0 1、一  
紀錄媒介 (DVD 或類似者) 2 3 0 2、一操作開關  
2 3 0 3、一顯示器部分 (A) 2 3 0 4 與另一顯示器部  
分 (B) 2 3 0 5。該顯示器部分 (A) 2 3 0 4 主要係  
用來作為顯示影像資訊，而顯示器部分 (B) 2 3 0 5 主  
要係用來作為顯示字幕資訊。本發明之電激螢光顯示器裝  
置可被用來作為顯示器部分 (A) 2 3 0 4 與顯示器部分  
(B) 2 3 0 5。包括有一紀錄媒介之該影像重生裝置更  
包括有一遊戲機或類似者。

圖 2 6 E 繪示一種套頭式顯示器，其包括一主機  
2 4 0 1、一顯示器部分 2 4 0 2、一手臂部分 2 4 0 3  
。本發明之電激螢光顯示器裝置可被用來作為該顯示器部  
分 2 4 0 2。

圖 2 6 F 繪示一種個人電腦，其包括一主機 2 5 0 1  
、一框架 2 5 0 2 一顯示器部分 2 5 0 3、與一鍵盤  
2 5 0 4。本發明之電激螢光顯示器裝置可被用來作為該  
顯示器部分 2 5 0 3。

當將來從電激螢光材料所發射出來的光的亮度更高時  
，本發明之電激螢光顯示器裝置將可被用於正向投影機 (   
front projector ) 或背向投影機 ( rear projector ) ，其中輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 五、發明說明 ( 124 )

出之影像係藉由透鏡或類似者而被放大。本發明之電激螢光顯示器裝置很適用於顯示動態畫面，因為電激螢光材料具有高反應速度。

用來發光之該電激螢光顯示器裝置之部分消耗功率，因此必須以發光部分盡量小的方式顯示資訊。據此，該電激螢光顯示器裝置係適用於一種主要用來顯示字幕資訊的顯示器部分，例如一可攜式資訊終端機的顯示器部分，更特別地，行動電話或聲音重生裝置，其必須驅動該電激螢光顯示器裝置，使得該字幕資訊藉由一發光部分被形成，而不需要對應至背景之非發光部分。

藉由參照圖 2 7 A，係繪示一可攜式電話，其包括一主機 2 6 0 1、一音訊輸出部分 2 6 0 2、一音訊輸入部分 2 6 0 3、一顯示器部分 2 6 0 4、一操作開關 2 6 0 5、一天線 2 6 0 6。本發明之電激螢光顯示器裝置係被應用於該顯示器部分 2 6 0 4。該顯示器部分 2 6 0 4 可以藉由在黑色背景上顯示白色字幕而降低該可攜式電話之功率損耗。

圖 2 7 B 繪示一種聲音重生裝置，亦即汽車音響設備，其包括一主機 2 7 0 1、一顯示器部分 2 7 0 2、操作開關 2 7 0 3 與 2 7 0 4。本發明之電激螢光顯示器裝置係被應用於該顯示器部分 2 7 0 2。儘管附合式汽車音響設備係描述於本具體實施例中，本發明亦適用於其他可攜式或固定式之汽車音響設備。該顯示器部分 2 7 0 2 可以藉由在黑色背景上顯示白色字幕而降低該可攜式電話之功

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 125 )

率損耗，其係為可攜式汽車音響之最有優勢者。

如上所述，本發明可被廣泛地應用於各種領域之電子裝置。本具體實施例之電子裝置可藉由使用一種電激螢光顯示器裝置而獲得，該電激螢光顯示器裝置具有可以自由地組合第一具體實施例至第十五具體實施例而實現之結構。

藉由使用上述之結構，本發明在即使薄膜電晶體中有稍微變化而相同的電壓被施加時，可以抑制所輸出之電流量的改變。因此，即使在具有相同電壓的訊號被引入時，由於薄膜電晶體之特性的變化所導致電激螢光元件之發光度的巨大改變可被避免。

根據本發明，一對源極訊號線驅動電路與一對閘極訊號線驅動電路被提供，而且不同的閘極訊號線驅動電路與不同的源極訊號線驅動電路可以針對於每對鄰近的寫入週期而被使用，以致使該兩寫入週期彼此重疊。上述之寫入週期的重疊可以致使每一顯示週期被設定成短於相對應之寫入週期。因此，一特別短的顯示週期可被設定以實現數量龐大的灰階位準。

此外，不執行顯示之非發光週期可被提供於本發明中。在習知類比驅動的情形中，如果該電激螢光元件，被製造以顯示所有白色影像，那麼該電激螢光元件持續發光，會造成電激螢光元件退化之一要素。由於本發明可以提供非發光週期，該電激螢光層退化的程度可被抑制

本發明之圖式與描述以較佳實施例說明如上，僅用於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 (126)

藉以幫助了解本發明之實施，非用以限定本發明之精神，而熟悉此領域技藝者於領悟本發明之精神後，在不脫離本發明之精神範圍內，當可作些許更動潤飾及同等之變化替換，其專利保護範圍當視後附之申請專利範圍及其等同領域而定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 四、中文發明摘要 (發明之名稱： 電子裝置 )

爲了提供一種能夠抑制電激螢光元件之發光度並且實現一種具有龐大數量之灰階位準的顯示面板，本發明提供一種電子裝置，其特徵在於該電激螢光元件之發光度係由一對電激螢光驅動薄膜電晶體所控制，該對電激螢光驅動薄膜電晶體之一者係由一對交換薄膜電晶體之一者以及一對消除薄膜電晶體之一者所控制，該對電激螢光驅動薄膜電晶體之另一者係由該對交換薄膜電晶體之另一者以及該對消除薄膜電晶體之另一者所控制，而且灰階顯示係藉由控制該電激螢光元件之發光時間來執行。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

## 英文發明摘要 (發明之名稱： Electronic device )

To provide an electronic device capable of suppressing a luminous amount of an EL element and realizing a large number of gray-scale levels. The electronic device is characterized in that the luminescence of the EL element is controlled by a pair of EL driver TFTs, one of the pair of EL driver TFTs is controlled by one of the pair of switching TFTs and one of the pair of eliminating TFTs, the other of the pair of EL driver TFTs is controlled by the other of the pair of switching TFTs and the other of the eliminating TFTs, and gray-scale display is performed by controlling the luminescence time of the EL elements.

訂

線

## 六、申請專利範圍

1. 一種電子裝置，包括：
  - 一對源極訊號線驅動電路；
  - 一對閘極訊號線驅動電路；以及
  - 一像素部分，其包括複數個像素；

其中該複數個像素之每一者具有一電激螢光元件、一對電激螢光驅動薄膜電晶體、一對交換薄膜電晶體、以及一對消除薄膜電晶體；

其中該電激螢光元件的發光係由該對電激螢光驅動薄膜電晶體所控制；

其中該對電激螢光驅動薄膜電晶體之一者係由該對交換薄膜電晶體之一者以及該對消除薄膜電晶體之一者所控制；

其中該對電激螢光驅動薄膜電晶體之另一者係由該對交換薄膜電晶體之另一者以及該對消除薄膜電晶體之另一者所控制；以及

其中灰階顯示係藉由控制該複數個電激螢光元件之發光時間而被控制。

2. 如申請專利範圍第 1 項之裝置，其中該對源極訊號線驅動電路與該對閘極訊號線驅動電路係藉由使用一薄膜電晶體而被形成於一基板上，在該基板上亦形成有該像素部分；以及其中該源極訊號線驅動電路之驅動頻率係為 10 MHz 或更高。

3. 如申請專利範圍第 1 項之裝置，其中該電激螢光元件具有一像素電極、一相對電極、以及設置於該像素電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

極與該相對電極之間之一電激螢光層。

4 . 一種電激螢光顯示裝置，其中如申請專利範圍第1項之該裝置係被使用。

5 . 一種視訊攝影器，其中如申請專利範圍第1項之該裝置係被使用。

6 . 一種套頭式電激螢光顯示裝置，其中如申請專利範圍第1項之該裝置係被使用。

7 . 一種DVD播放器，其中如申請專利範圍第1項之該裝置係被使用。

8 . 一種套頭式顯示器，其中如申請專利範圍第1項之該裝置係被使用。

9 . 一種個人電腦，其中如申請專利範圍第1項之該裝置係被使用。

10 . 一種可攜式電話，其中如申請專利範圍第1項之該裝置係被使用。

11 . 一種汽車音響，其中如申請專利範圍第1項之該裝置係被使用。

12 . 一種電子裝置，包括：

一第一源極訊號線驅動電路；

一第二源極訊號線驅動電路；

一第一閘極訊號線驅動電路；

一第二閘極訊號線驅動電路；

一像素部分，其包括複數個像素；；

複數條連接至該第一源極訊號線驅動電路之第一源極

## 六、申請專利範圍

訊號線；

複數條連接至該第二源極訊號線驅動電路之第二源極

訊號線；

複數條連接至該第一閘極訊號線驅動電路之第一閘極

訊號線；

複數條連接至該第二閘極訊號線驅動電路之第二閘極

訊號線；以及

一功率供給線；

其中該該複數個像素之每一者具有一第一交換薄膜電晶體、一第二交換薄膜電晶體、一第一消除薄膜電晶體、一第二消除薄膜電晶體、一第一電激螢光驅動薄膜電晶體、一第二電激螢光驅動薄膜電晶體、以及一電激螢光元件；

其中該第一交換薄膜電晶體之一閘極電極係被連接至該第一閘極訊號線；

其中該第二交換薄膜電晶體之一閘極電極係被連接至該第二閘極訊號線；

其中該第一交換薄膜電晶體之一源極區域與一汲極區域之一者係被連接至該第一源極訊號線，而且其另一者係被連接至該第一交換薄膜電晶體之一閘極電極；

其中該第二交換薄膜電晶體之一源極區域與一汲極區域之一者係被連接至該第二源極訊號線，而且其另一者係被連接至該第二交換薄膜電晶體之一閘極電極；

其中該第一消除薄膜電晶體之一閘極電極係被連接至

裝

訂

裝

## 六、申請專利範圍

該第一閘極訊號線；

其中該第二消除薄膜電晶體之一閘極電極係被連接至該第二閘極訊號線；

其中該第一消除薄膜電晶體之一源極區域與一汲極區域之一者係被連接至該功率供給線，而且其另一者係被連接至該第二電激螢光驅動薄膜電晶體之一閘極電極；

其中該第二消除薄膜電晶體之一源極區域與一汲極區域之一者係被連接至該功率供給線，而且其另一者係被連接至該第一電激螢光驅動薄膜電晶體之一閘極電極；

其中該第一電激螢光驅動薄膜電晶體之一源極區域與一汲極區域之一者係被連接至該功率供給線，而且其另一者係被連接至該電激螢光元件；以及

其中該第二電激螢光驅動薄膜電晶體之一源極區域與一汲極區域之一者係被連接至該功率供給線，而且其另一者係被連接至該電激螢光元件。

1 3 . 如申請專利範圍第 1 2 項之裝置，其中該第一交換薄膜電晶體與該第一消除薄膜電晶體可以同時被導通或截止，而且該第二交換薄膜電晶體與該第二消除薄膜電晶體可以同時被導通或截止。

1 4 . 如申請專利範圍第 1 2 項之裝置，其中該第一電激螢光驅動薄膜電晶體與該第二電激螢光驅動薄膜電晶體之每一者可以在功率供給線的電位被施加至每一電激螢光驅動薄膜電晶體之閘極電極時被設置成截止狀態。

1 5 . 如申請專利範圍第 1 2 項之裝置，其中 n 個寫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

入週期  $T a 1$ 、 $T a 2$ 、...、 $T a n$  以及  $n$  個顯示週期

$T r 1$ 、 $T r 2$ 、...、 $T r n$  被提供於一框架週期內；

該  $n$  個寫入週期  $T a 1$ 、 $T a 2$ 、...、 $T a n$  依序出現；

該  $n$  個顯示週期  $T r 1$ 、 $T r 2$ 、...、 $T r n$  依序出現；

該  $n$  個寫入週期  $T a 1$ 、 $T a 2$ 、...、 $T a n$  之一者開始的時刻至接續著該  $n$  個寫入週期  $T a 1$ 、 $T a 2$ 、...、 $T a n$  之一者的寫入週期之間的時間週期相對應於該  $n$  個顯示週期  $T r 1$ 、 $T r 2$ 、...、 $T r n$  之一者；

在該寫入週期  $T a n$  之後接續出現之一寫入週期係為一寫入週期  $T a 1'$ ，其首先出現於下一框架週期中；

在該顯示週期  $T r n$  之後接續出現之一顯示週期係為一寫入週期  $T r 1'$ ，其首先出現於下一框架週期中；

該  $n$  個寫入週期  $T a 1$ 、 $T a 2$ 、...、 $T a n$  被分割成  $i$  個寫入週期（ $i$ ：一等於或大於零且小於或等於  $n$  的整數）以及（ $n - i$ ）個寫入週期；

在該  $i$  個寫入週期之每一者中，數位資料訊號被從該第一源極訊號線驅動電路藉由該第一源極訊號線而輸入至該複數個像素之所有者；

在該（ $n - i$ ）個寫入週期之每一者中，數位資料訊號被從該第二源極訊號線驅動電路藉由該第二源極訊號線而輸入至該複數個像素之所有者；

在該  $i$  個寫入週期之每一者中，在該  $i$  個寫入週期之

## 六、申請專利範圍

前被從該第二源極訊號線驅動電路輸入的數位資料訊號被從該複數個像素之所有者中抹除；

在該  $(n - i)$  個寫入週期之每一者中，在該  $(n - i)$  個寫入週期之前被從該第一源極訊號線驅動電路輸入的數位資料訊號被從該複數個像素之所有者中抹除；

在一組該  $n$  個寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  與一組接續之該  $n$  個寫入週期  $T_{a2}$ 、 $T_{a3}$ 、...、 $T_{a1}'$  之間的相鄰對  $(T_{a1}, T_{a2})$ 、 $(T_{a2}, T_{a3})$ 、...、 $(T_{a(n-1)}, T_{an})$ 、 $(T_{an}, T_{a1}')$  被分割成一組  $j$  對相鄰的寫入週期 ( $j$ ：一等於或大於零且小於或等於  $(n - 1)$  的整數) 以及  $(n - j)$  對相鄰的寫入週期；

在該  $j$  對相鄰的寫入週期之每一對中，該兩寫入週期互相重疊；

在該  $(n - j)$  對相鄰的寫入週期之每一對中，該兩寫入週期並不互相重疊；

在該  $j$  對相鄰的寫入週期之每一對之一寫入週期中，數位資料訊號被從該第一源極訊號線驅動電路輸入至該複數個像素之所有者，而且在另一寫入週期中，數位資料訊號被從該第二源極訊號線驅動電路輸入至該複數個像素之所有者；

在該  $n$  個寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  之每一者中，該複數個像素之每一者之該電激螢光元件的發光狀態或非發光狀態之一者係由被輸入至該複數個像素之數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

位資料訊號所選擇；

在該  $n$  個顯示週期  $T_{r1}$ 、 $T_{r2}$ 、...、 $T_{rn}$  之每一者中，該複數個像素之每一者之該電激螢光元件係根據該數位資料訊號而被設定於發光狀態或非發光狀態之一者；

在該  $n$  個顯示週期  $T_{r1}$ 、 $T_{r2}$ 、...、 $T_{rn}$  之  $m$  個顯示週期（ $m$ ：一等於或大於零且小於或等於  $n$  的整數）之每一者中，該複數個像素之所有該電激螢光元件被設定於非發光狀態；而且

在該組該  $n$  個寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  與該組接續之該  $n$  個寫入週期  $T_{a2}$ 、 $T_{a3}$ 、...、 $T_{a1}$  之間的相鄰對之長度總和  $T_{r1} + T_{r2}$ 、 $T_{r2} + T_{r3}$ 、...、與  $T_{rn} + T_{r1}$  之每一者之長度係相等或長於該寫入週期  $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$  之長度。

16. 如申請專利範圍第15項之裝置，其中該（ $n - m$ ）個顯示週期之長度的比例可以一致於（ $n - m$ ）個藉由分割  $k$  個週期  $T_1$ 、 $T_2$ 、...、 $T_k$ （ $k$ ：一等於或大於1且小於或等於（ $n - m$ ）的整數）以及（ $n - m - k$ ）個週期所定義之長度的比例；其中如果該  $k$  個週期  $T_1$ 、 $T_2$ 、...、 $T_k$  被依照長度遞增的順序排列，該  $k$  個週期  $T_1$ 、 $T_2$ 、...、 $T_k$  的長度比例可以表示成  $2^0 : 2^1 : 2^2 : \dots : 2^{(k-2)} : 2^{(k-1)}$ 。

17. 如申請專利範圍第15項之裝置，其中該  $n$  對



## 六、申請專利範圍

相鄰之寫入週期 (  $T a 1$  ,  $T a 2$  ) 、 (  $T a 2$  ,  $T a 3$  ) 、 ... 、 (  $T a ( n - 1 )$  ,  $T a n$  ) 、 (  $T a n$  ,  $T a 1$  ) 之至少一者之兩寫入週期可以彼此重疊。

18 . 如申請專利範圍第 15 項之裝置，其中該複數個像素之所有電激螢光元件可以被設定於非發光狀態於該  $n$  個顯示週期  $T r 1$  、  $T r 2$  、 ... 、  $T r n$  之至少一者。

19 . 如申請專利範圍第 15 項之裝置，其中該  $n$  個顯示週期  $T r 1$  、  $T r 2$  、 ... 、  $T r n$  之無任何一者可被設定成一個該複數個像素之所有電激螢光元件都被設定於非發光狀態之週期。

20 . 如申請專利範圍第 15 項之裝置，其中該  $i$  個寫入週期之長度可以彼此相等；而且該 (  $n - i$  ) 個寫入週期之長度可以彼此相等。

21 . 如申請專利範圍第 15 項之裝置，其中所有該  $n$  個寫入週期  $T a 1$  、  $T a 2$  、 ... 、  $T a n$  之長度可以彼此相等。

22 . 如申請專利範圍第 15 項之裝置，其中該  $i$  個寫入週期與該 (  $n - i$  ) 個寫入週期可以交替出現。

23 . 如申請專利範圍第 15 項之裝置，其中如果該 (  $n - m$  ) 個顯示週期被依長度遞增的順序排列，該 (  $n - m$  ) 個顯示週期的長度比例可以表示成  $2^0 : 2^1 : 2^2 : \dots : 2^{( n - m - 1 )}$ 。

24 . 如申請專利範圍第 12 項之裝置，其中該對源極訊號線驅動電路與該對閘極訊號線驅動電路係藉由使用

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

一 薄膜電晶體而被形成於一基板上，在該基板上亦形成有該像素部分；以及其中該源極訊號線驅動電路之驅動頻率係為 10 MHz 或更高。

25 . 如申請專利範圍第 12 項之裝置，其中該電激螢光元件具有一像素電極、一相對電極、以及設置於該像素電極與該相對電極之間之一電激螢光層。

26 . 如申請專利範圍第 12 項之裝置，其中該電激螢光元件具有一像素電極、一相對電極、以及設置於該像素電極與該相對電極之間之一電激螢光層；其中該相對電極可以被保持在一固定電位；其中而且該功率供給線可以被保持在一固定電位。

27 . 如申請專利範圍第 15 項之裝置，其中該電激螢光層可以為一低分子型有機材料或是一聚合有機材料。

28 . 如申請專利範圍第 27 項之裝置，其中該低分子型有機材料可以包括 Alq<sub>3</sub> (tris-8-quinolilite-aluminum) 或 TPDA (triphenylamine derivative)。

29 . 如申請專利範圍第 27 項之裝置，其中該聚合有機材料可以包括 PPV (polyphenylene vinylene)、PVK (polyvinyl carbazole)、或 polycarbonate。

30 . 一種電激螢光顯示裝置，其中如申請專利範圍第 12 項之該裝置係被使用。

31 . 一種視訊攝影器，其中如申請專利範圍第 12 項之該裝置係被使用。

32 . 一種套頭式電激螢光顯示裝置，其中如申請專

裝

訂

裝

## 六、申請專利範圍

利範圍第 1 2 項之該裝置係被使用。

3 3 . 一種 D V D 播放器，其中如申請專利範圍第 1 2 項之該裝置係被使用。

3 4 . 一種套頭式顯示器，其中如申請專利範圍第 1 2 項之該裝置係被使用。

3 5 . 一種個人電腦，其中如申請專利範圍第 1 2 項之該裝置係被使用。

3 6 . 一種可攜式電話，其中如申請專利範圍第 1 2 項之該裝置係被使用。

3 7 . 一種汽車音響，其中如申請專利範圍第 1 2 項之該裝置係被使用。

3 8 . 一種方法，其係用來驅動一電子裝置，該電子裝置包括一對源極訊號線驅動電路、一對閘極訊號線驅動電路、以及一像素部分；其中不同之閘極訊號線驅動電路與不同之源極訊號線驅動電路係針對每一相鄰對之寫入週期而被使用，以使該兩寫入週期彼此重疊。

3 9 . 如申請專利範圍第 3 8 項之方法，其中一第二寫入週期  $T a 2$  開始於一第一寫入週期  $T a 1$  結束之前。

4 0 . 如申請專利範圍第 3 8 項之方法，其中該電子裝置具有一電激螢光元件。

4 1 . 如申請專利範圍第 3 8 項之方法，其中該電子裝置具有一液晶顯示裝置，而該液晶顯示裝置具有數十毫秒或更短的反應時間。

4 2 . 一種方法，其係用來驅動一電子裝置，該電子

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

裝置包括一對源極訊號線驅動電路、一對閘極訊號線驅動電路、以及一像素部分；其中每一顯示週期係決定於寫入週期（ $T_{a1}$ 至 $T_{an}$ ）之一者開始的時刻與下一寫入週期開始的時刻之間的時間間隔中。

43. 如申請專利範圍第42項之方法，其中相鄰對之每一顯示週期的長度和 $T_{r1} + T_{r2}$ 、 $T_{r2} + T_{r3}$ 、...、 $T_{rn} +$ 下一框架之起始顯示週期 $T_{r1}$ ，必須相等或大於寫入週期之相對應者 $T_{a1}$ 、 $T_{a2}$ 、...、 $T_{an}$ 之長度。

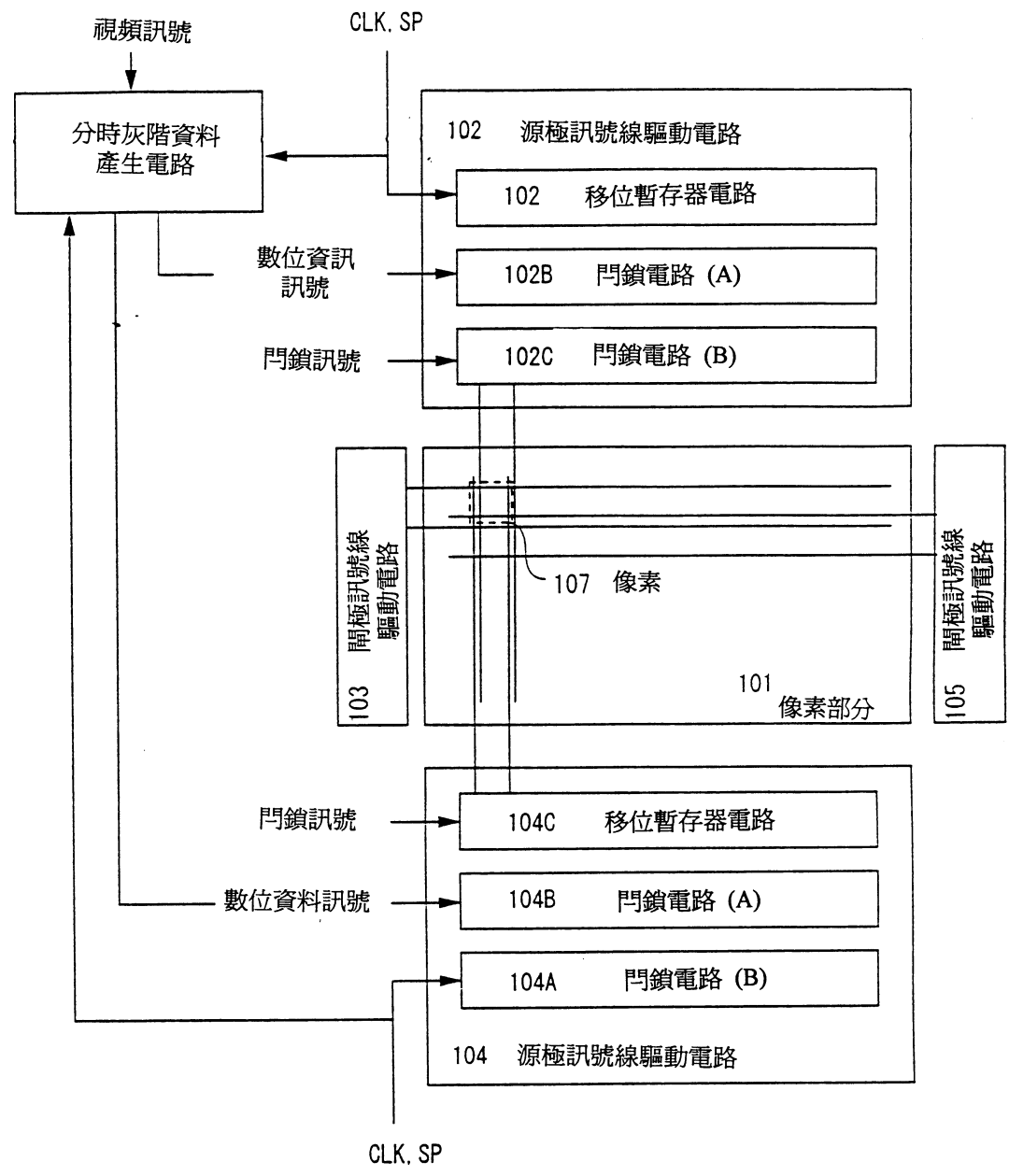
44. 如申請專利範圍第42項之方法，其中該電子裝置具有一電激螢光元件。

45. 如申請專利範圍第42項之方法，其中該電子裝置具有一液晶顯示裝置，而該液晶顯示裝置具有數十毫秒或更短的反應時間。

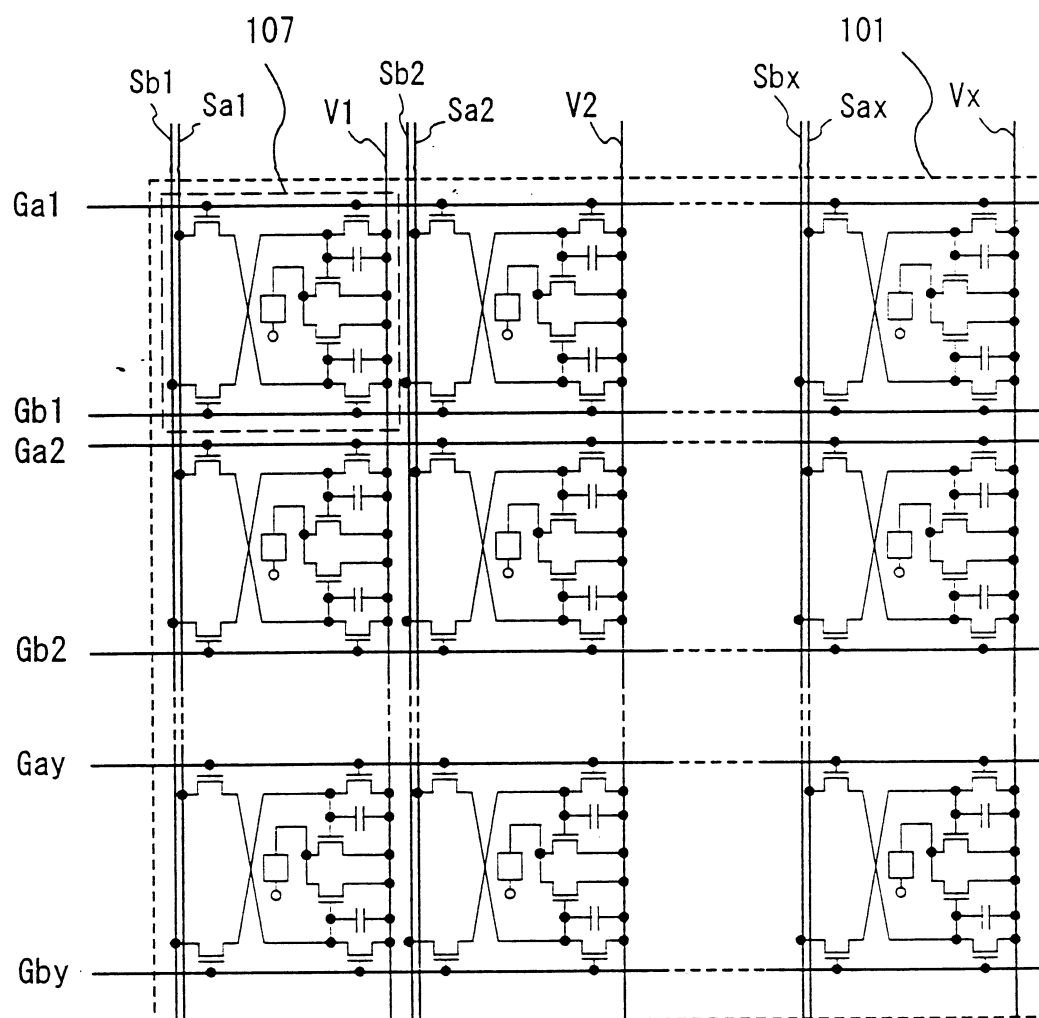
（請先閱讀背面之注意事項再填寫本頁）

裝

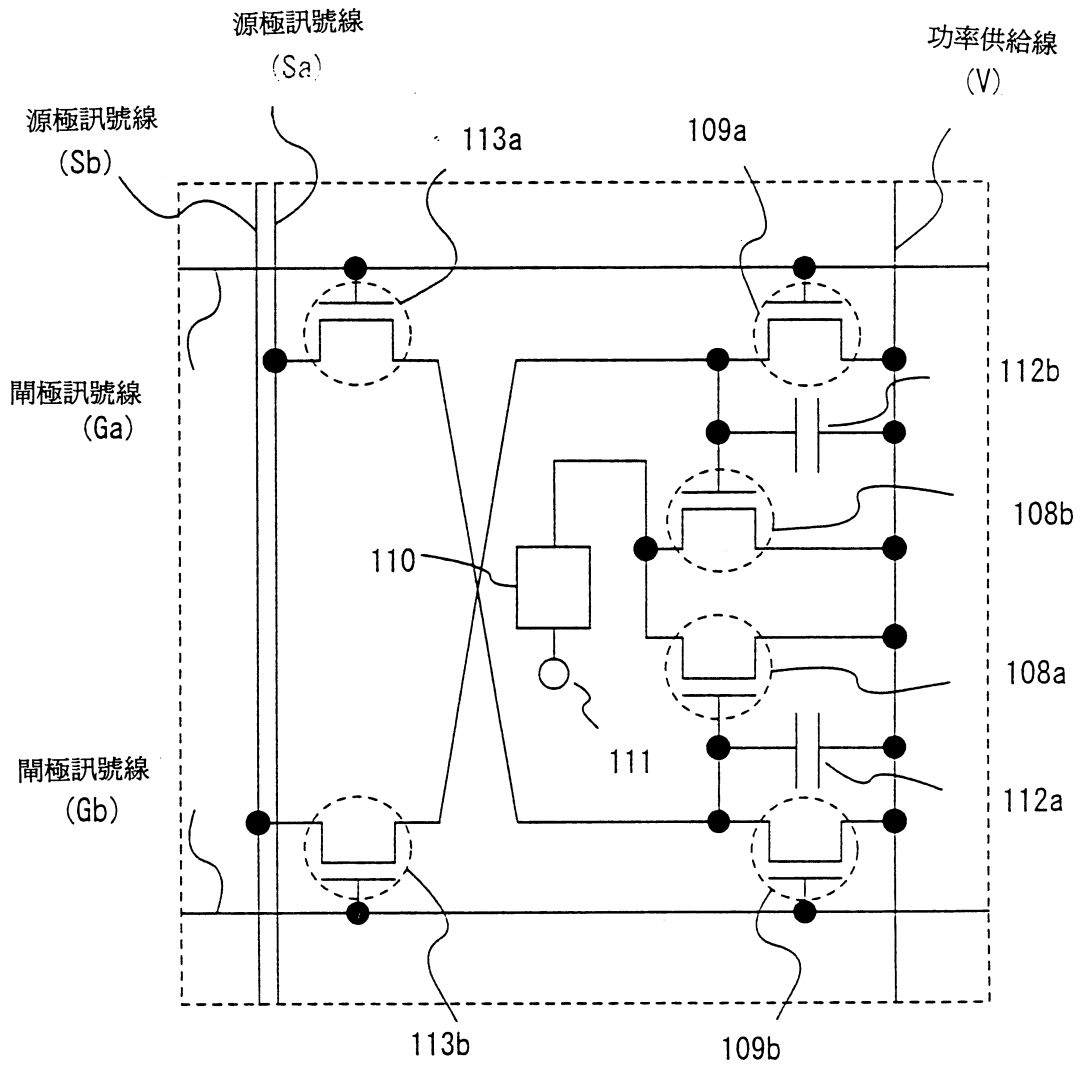
訂



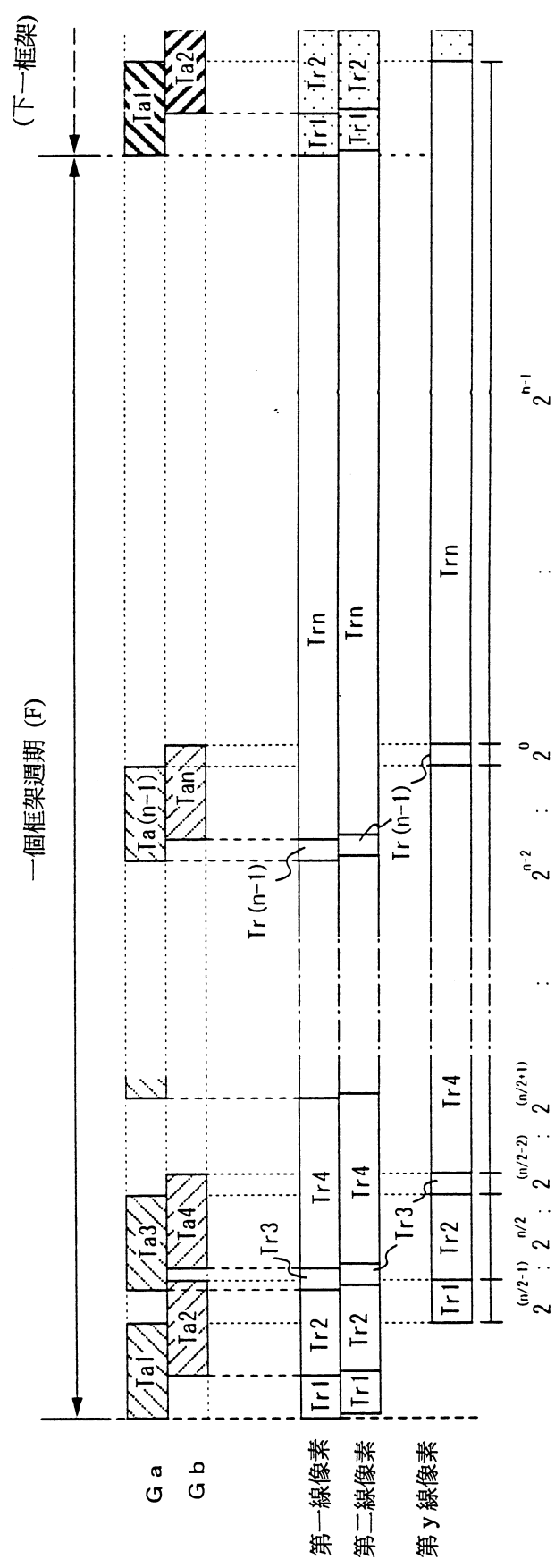
第 1 圖



第 2 圖

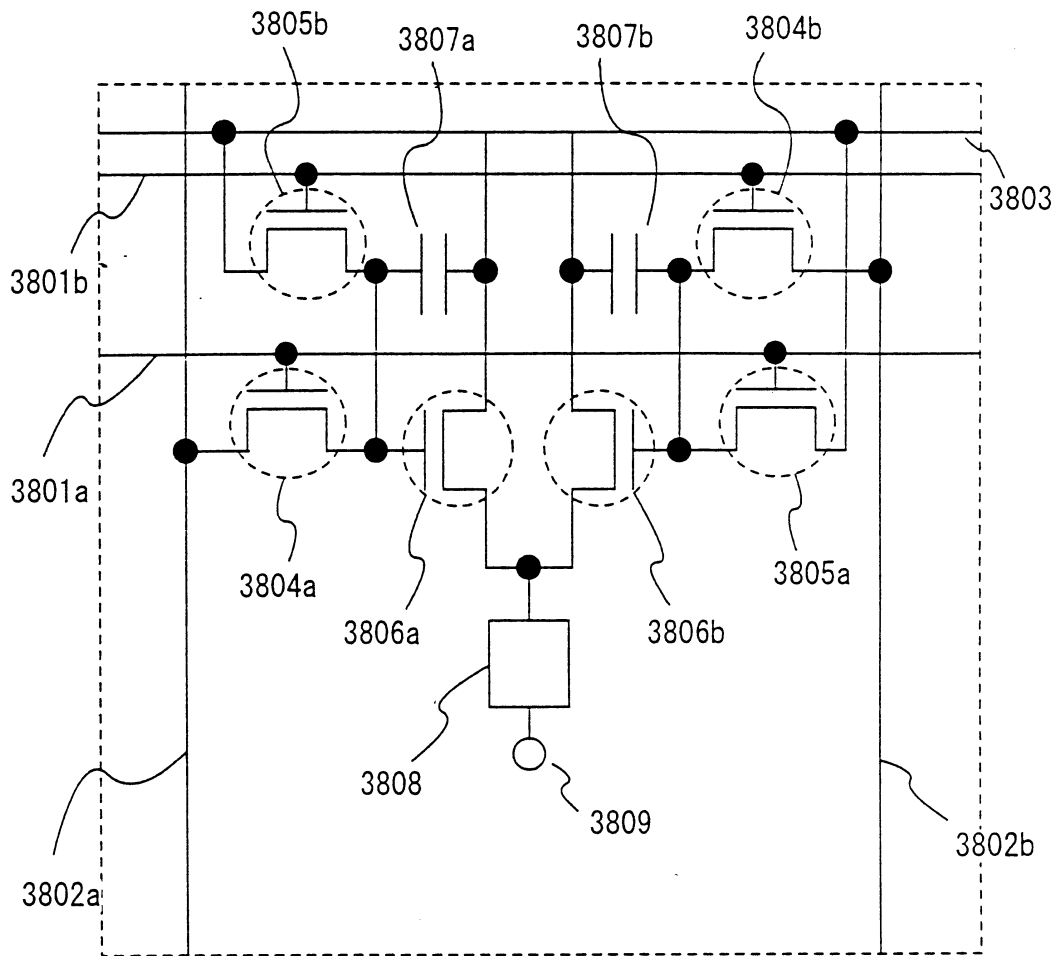


第 3 圖

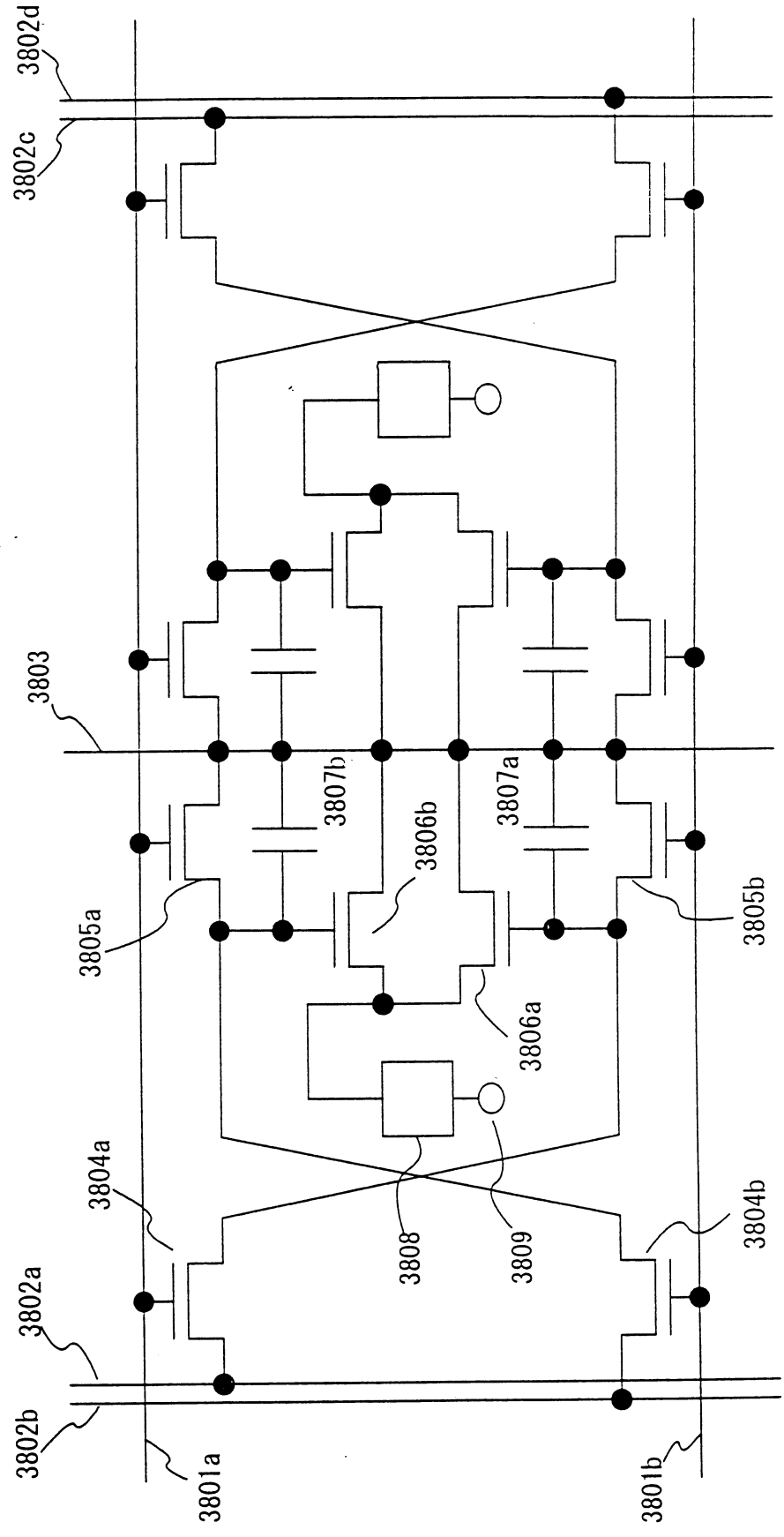


第 4 圖

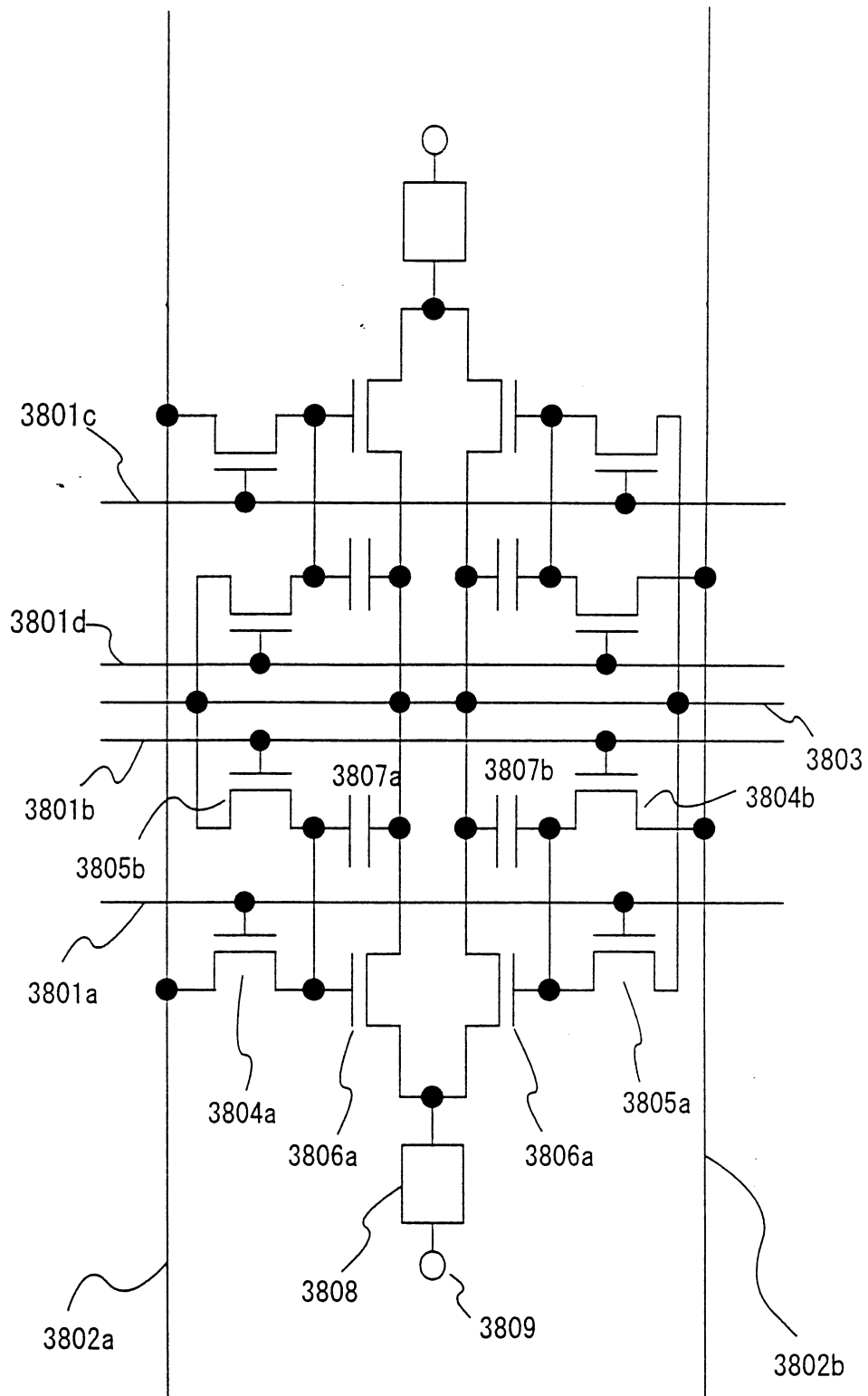




第 5 圖

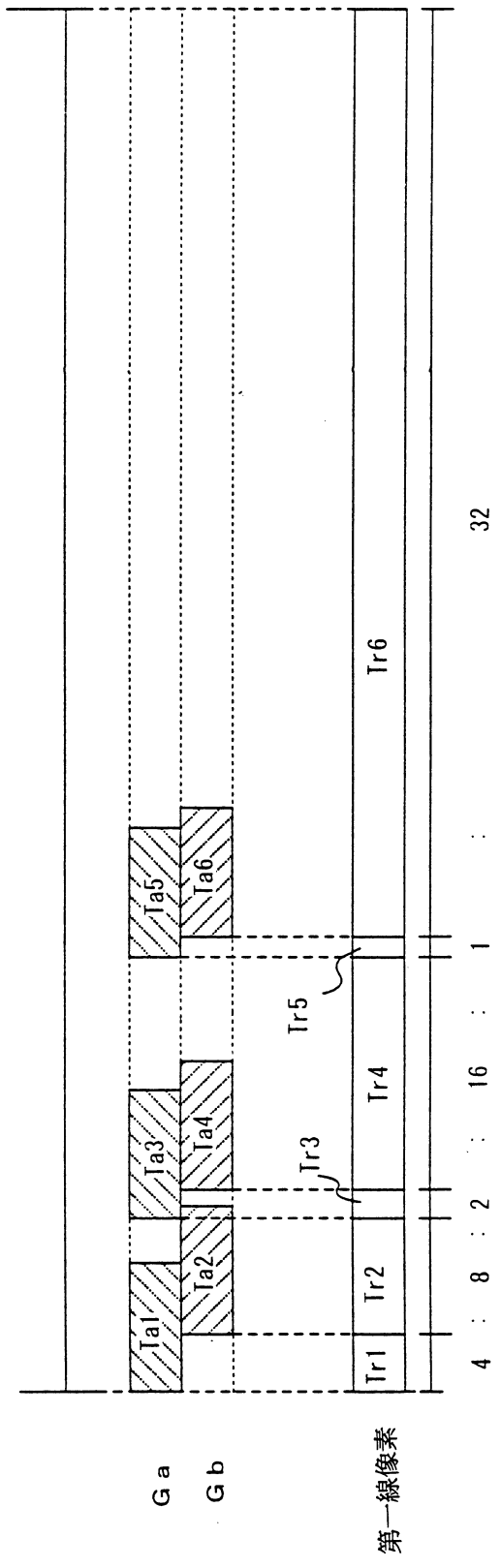


第6圖



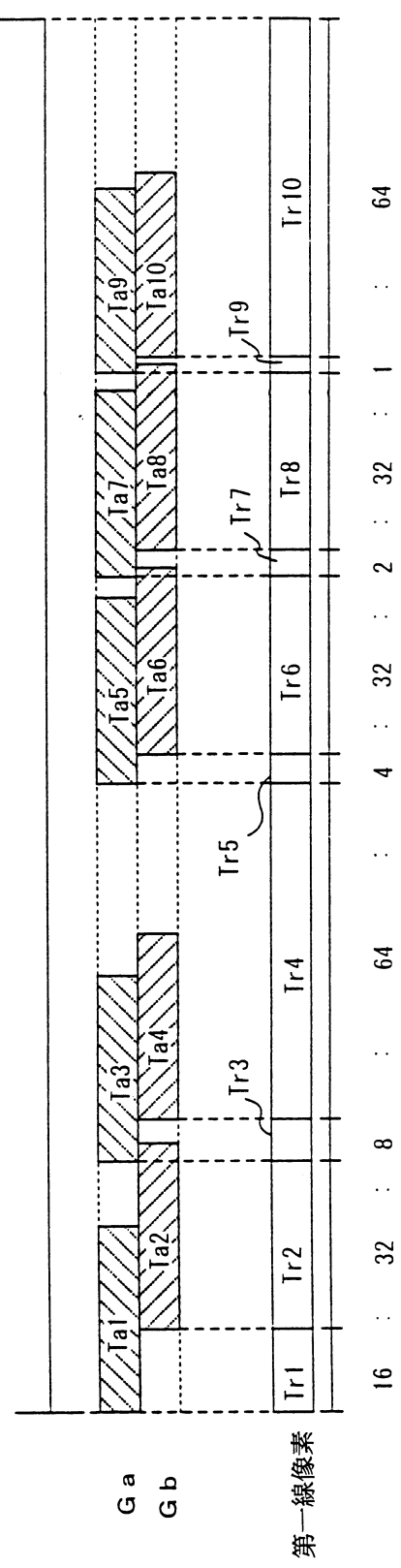
第 7 圖

一個框架週期 (F)

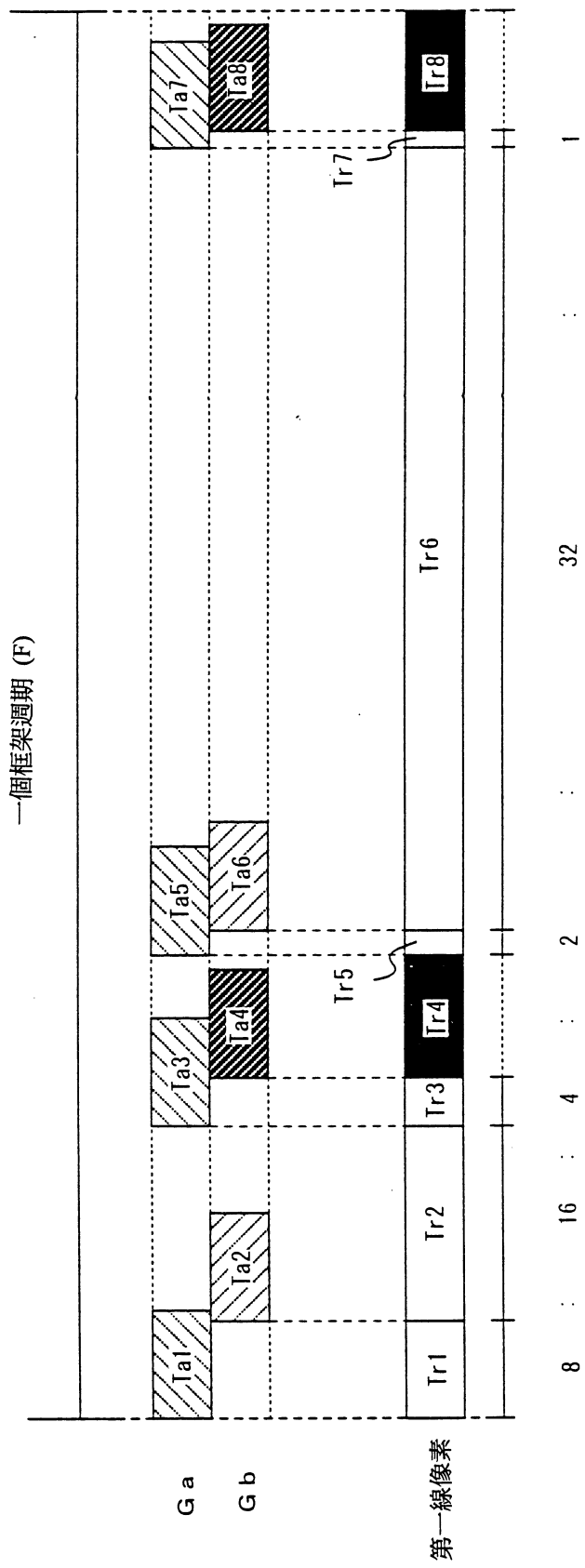


第 8 圖

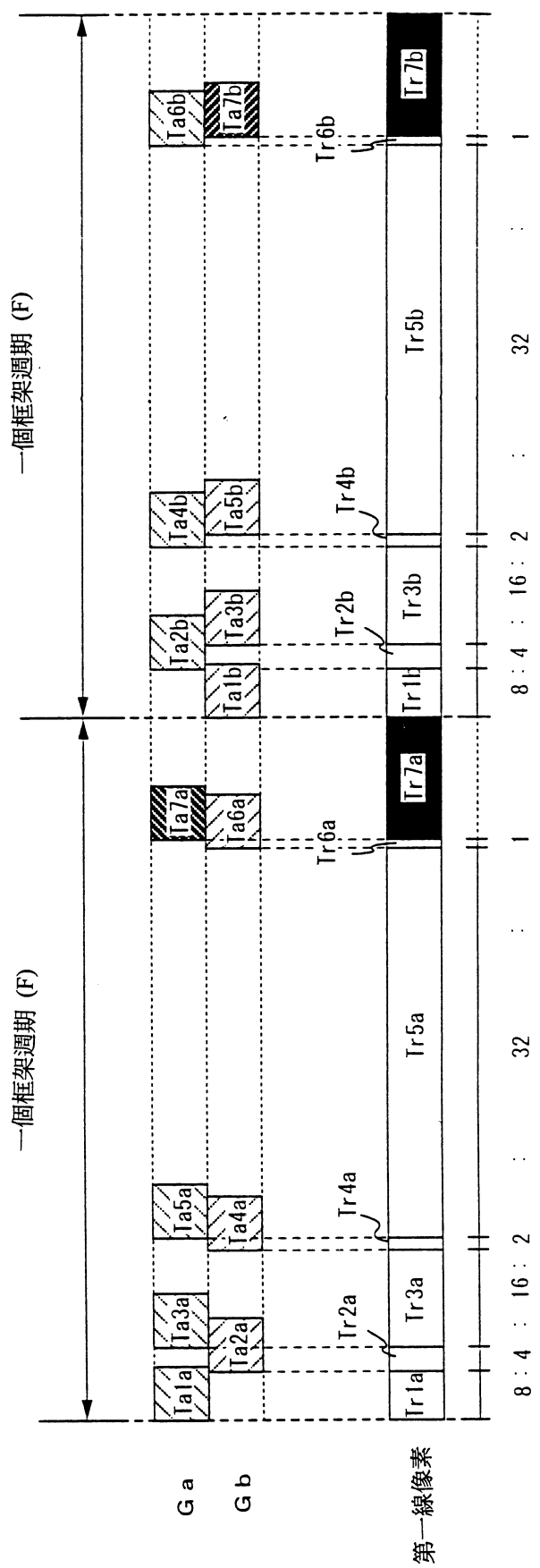
一個框架週期 (F)



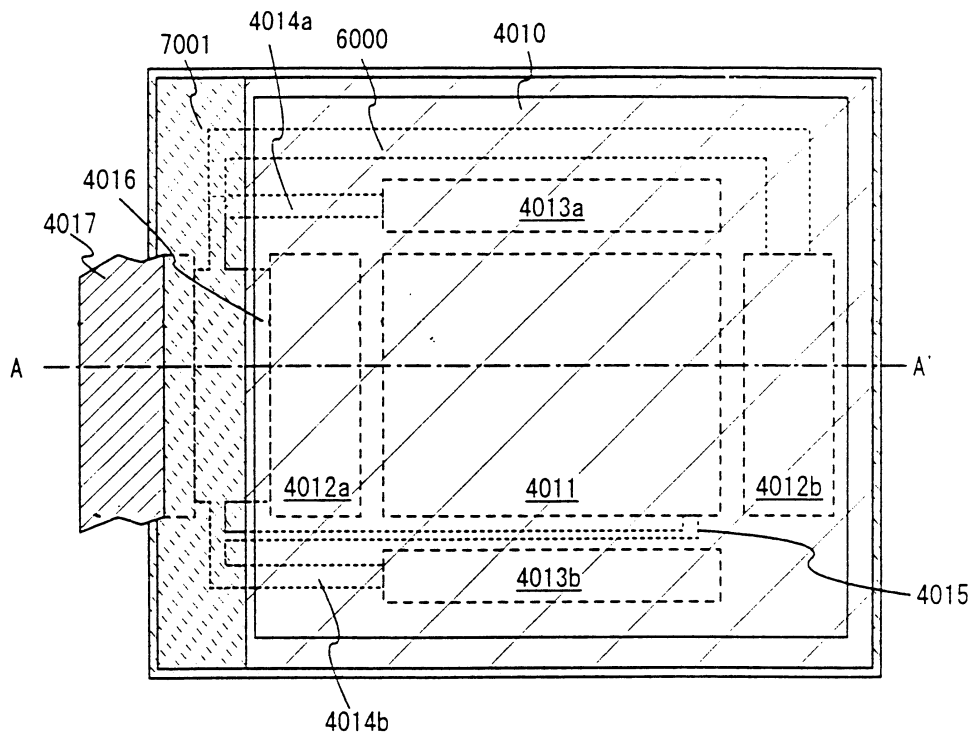
第9圖



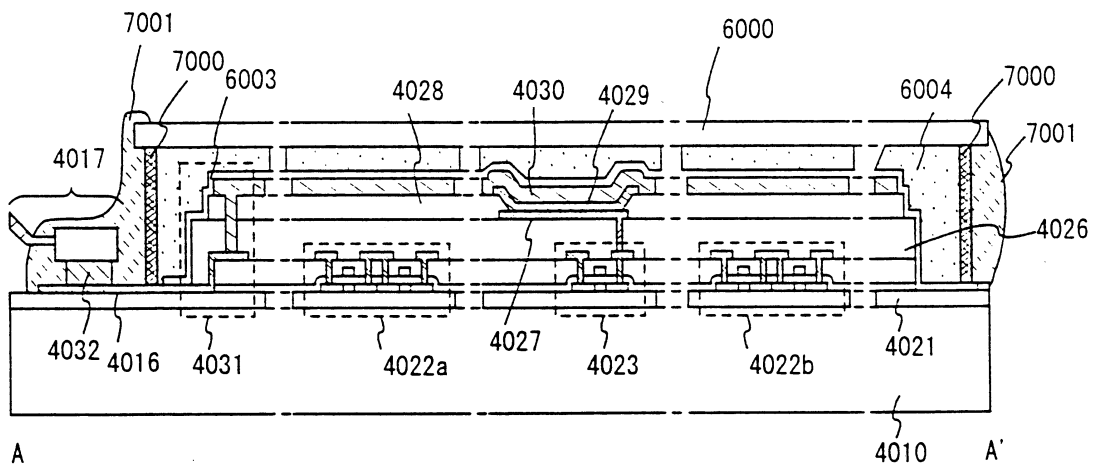
第 10 圖



第 11 圖

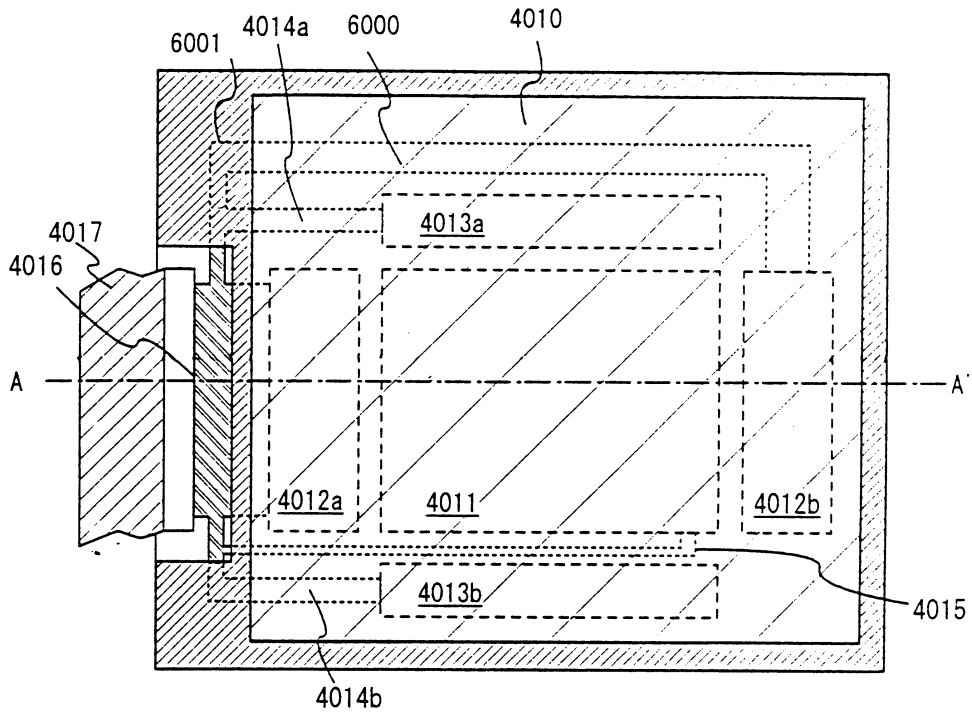


第 12 圖 A

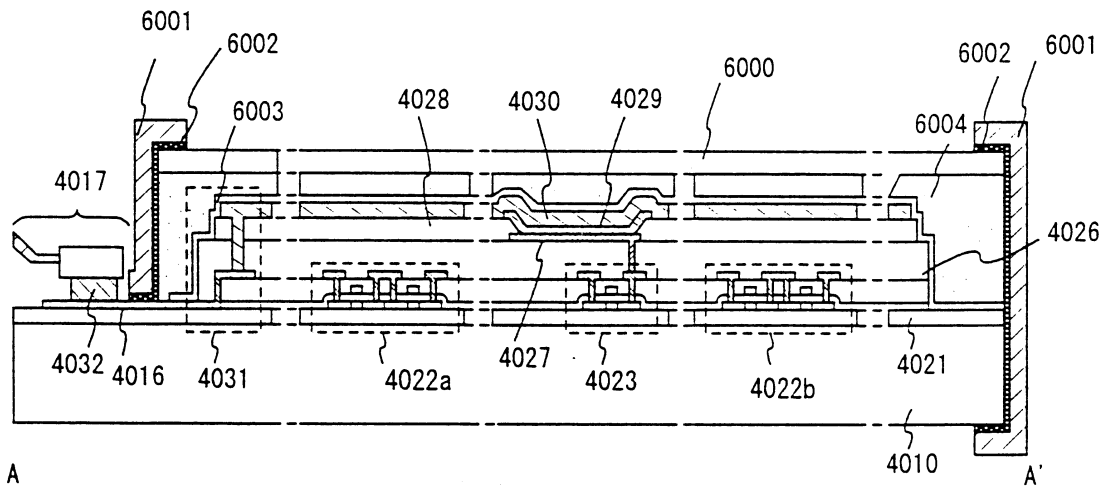


第 12 圖 B

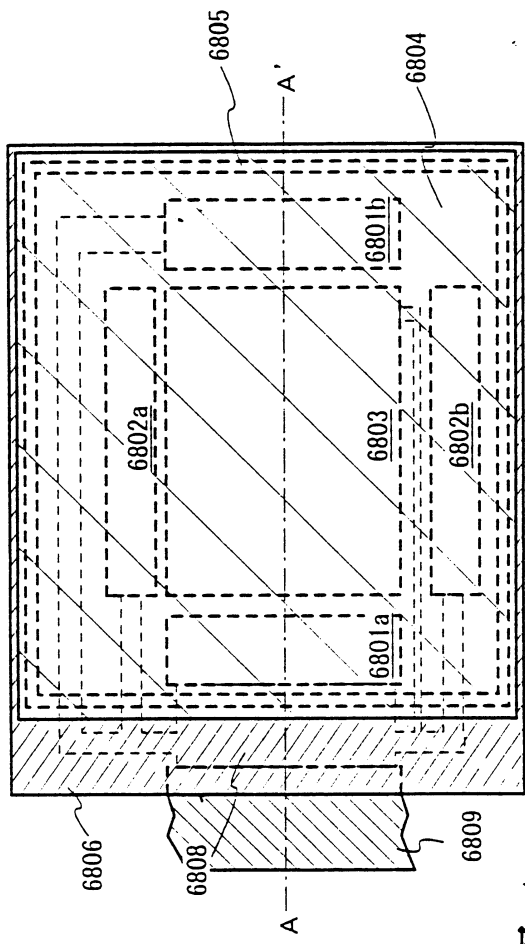




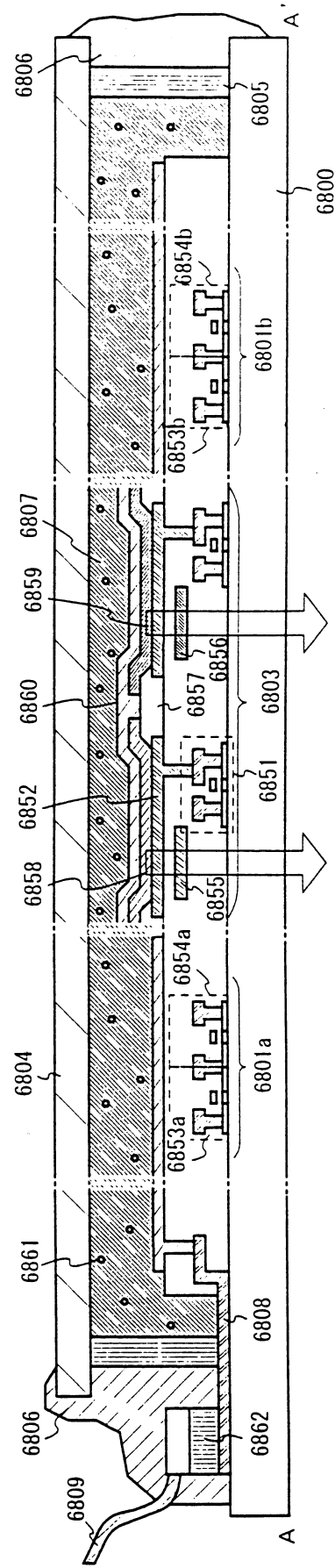
第 13 圖 A



第 13 圖 B

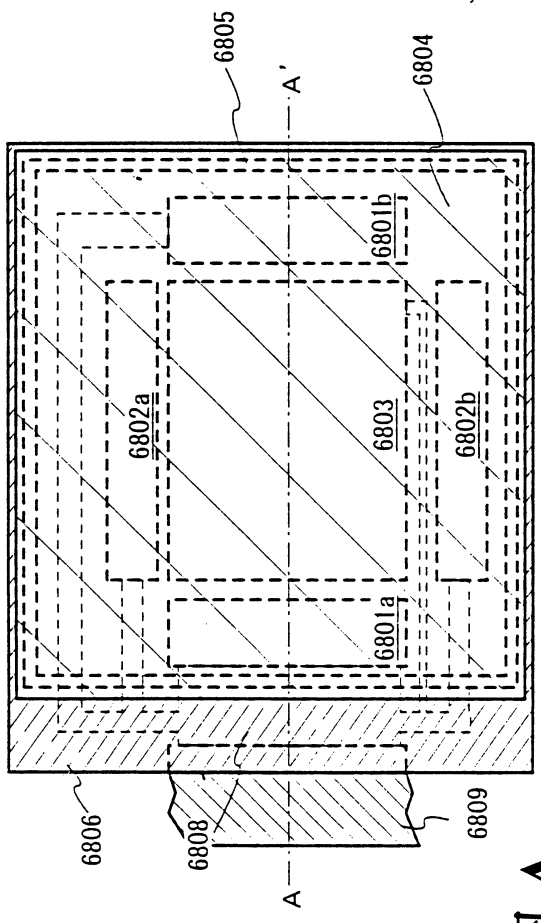


第 14 圖 A

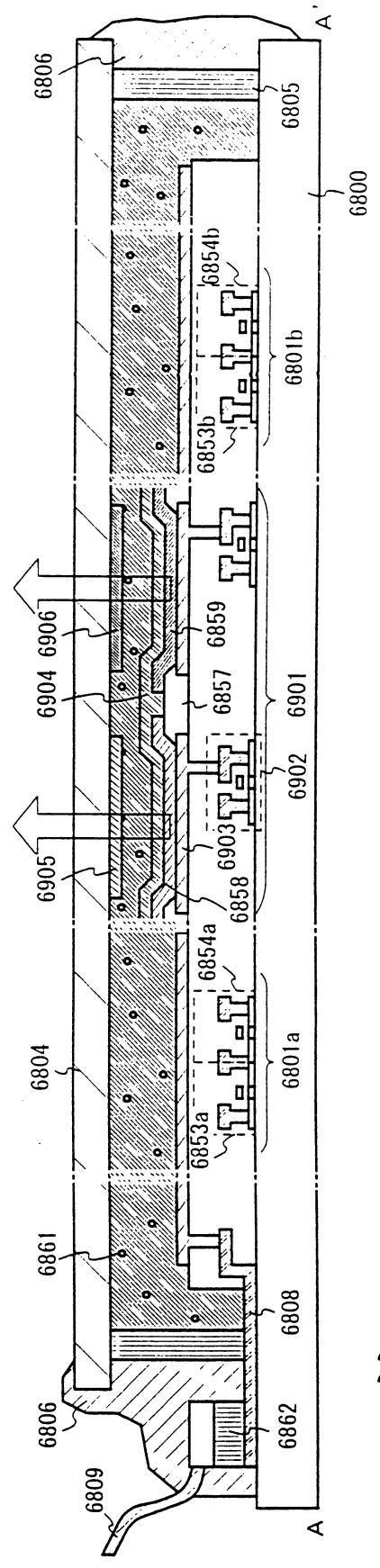


發光方向

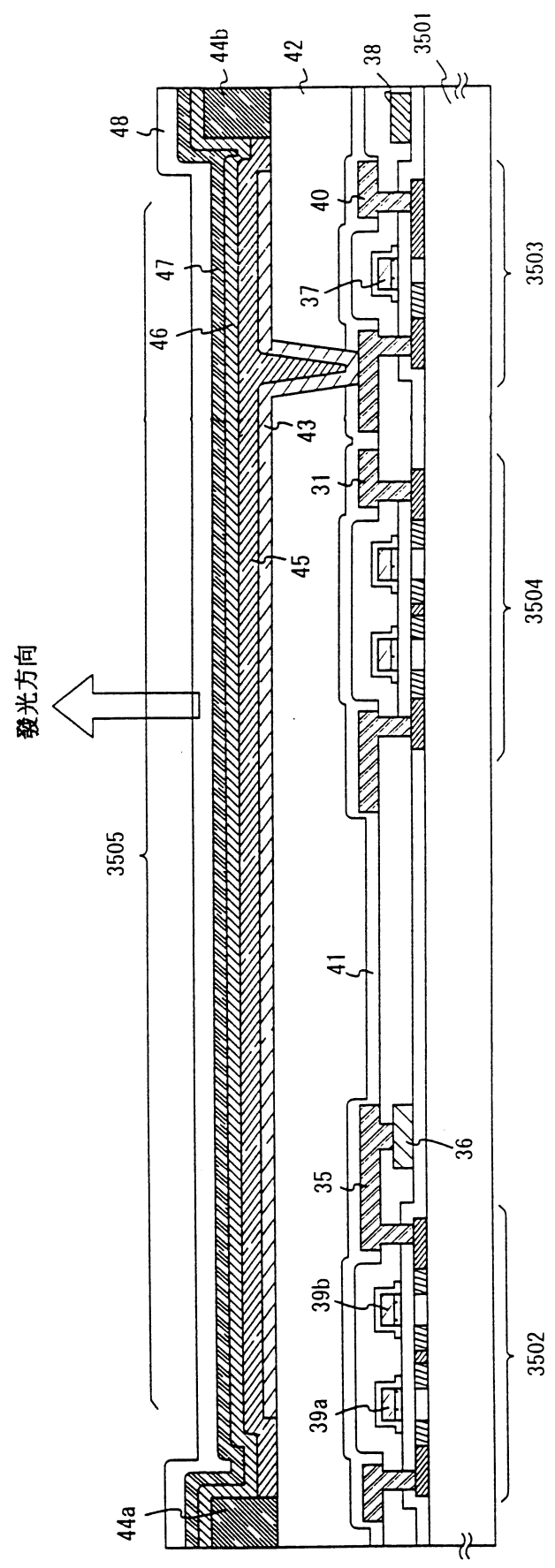
第 14 圖 B



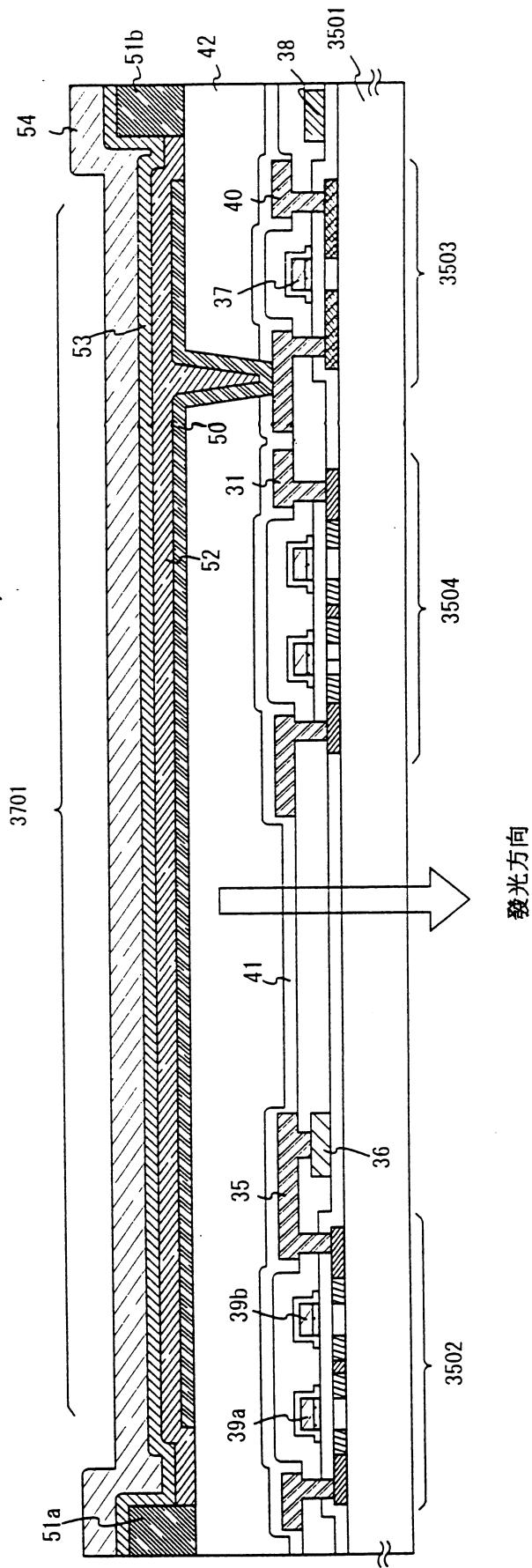
第 15 圖 A



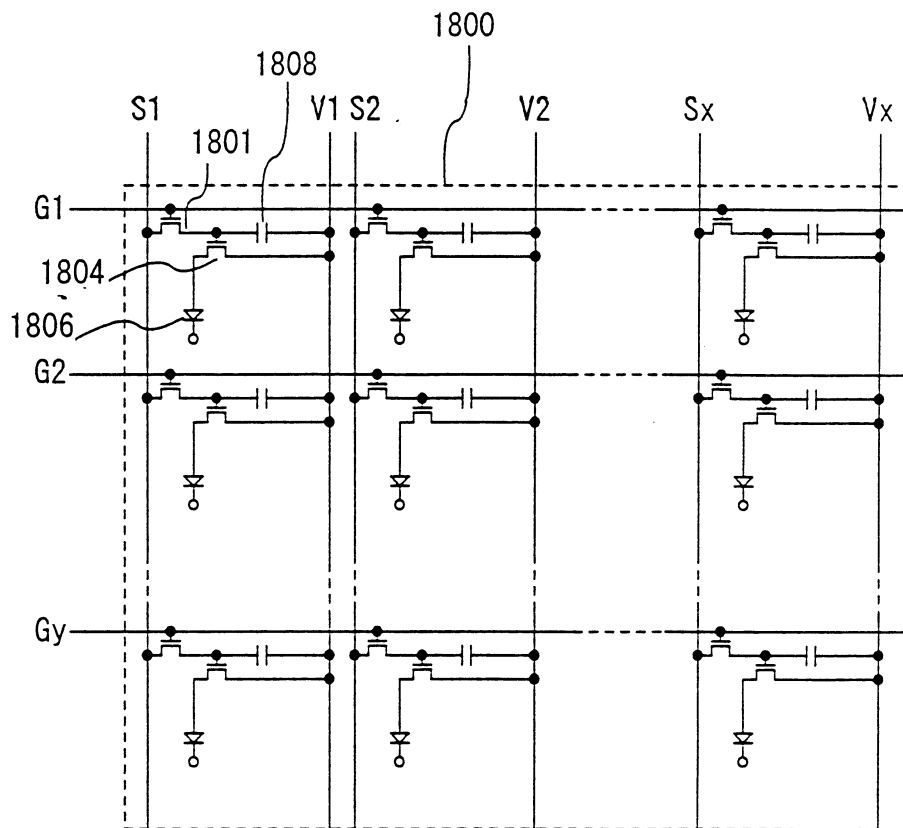
第 15 圖 B



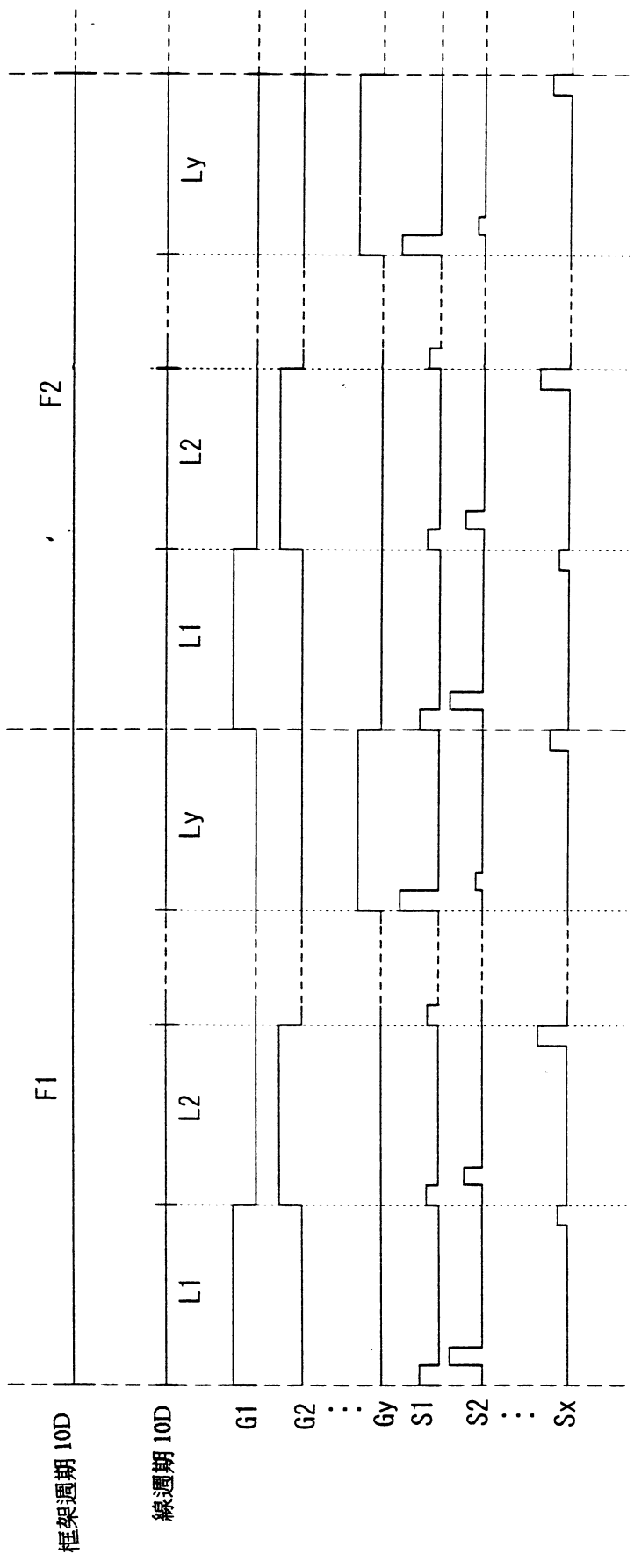
第16圖



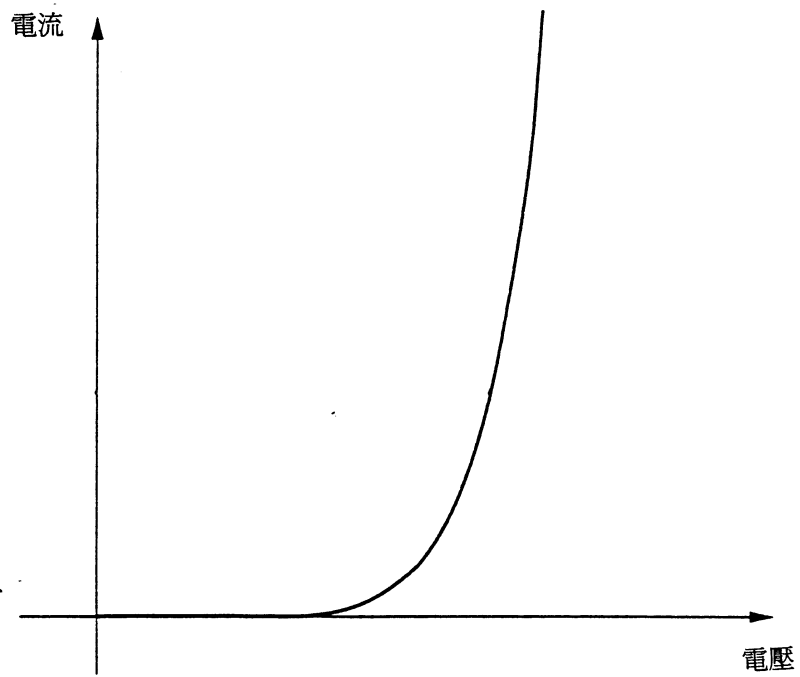
第17圖



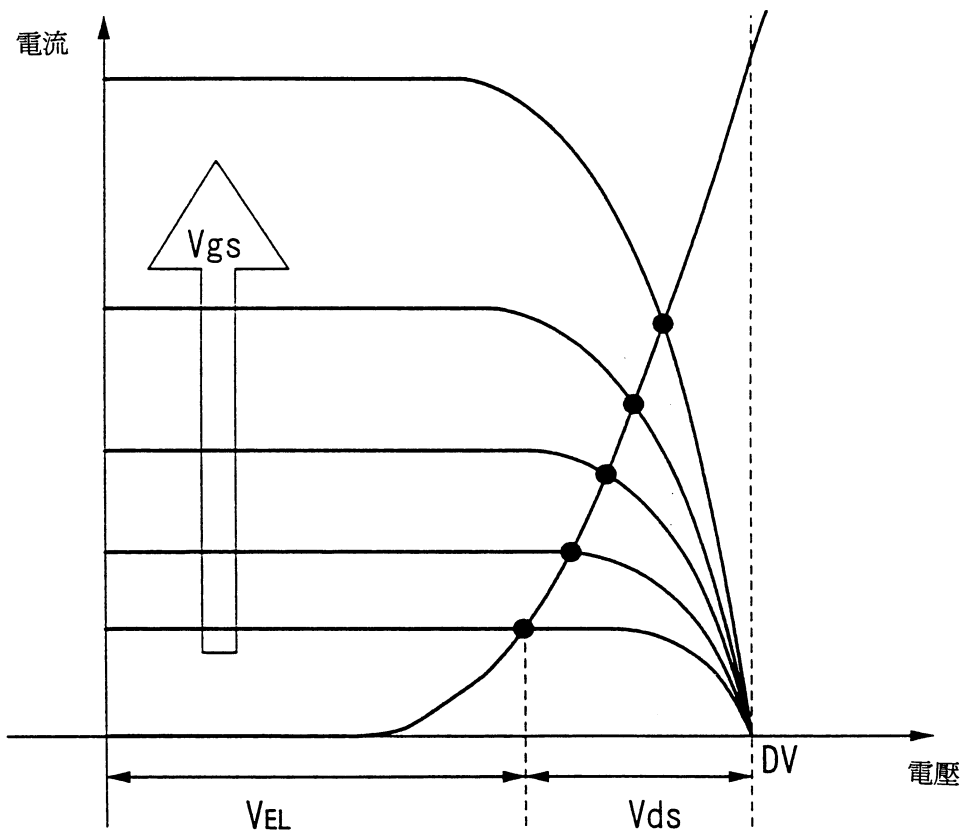
第 18 圖



第19圖



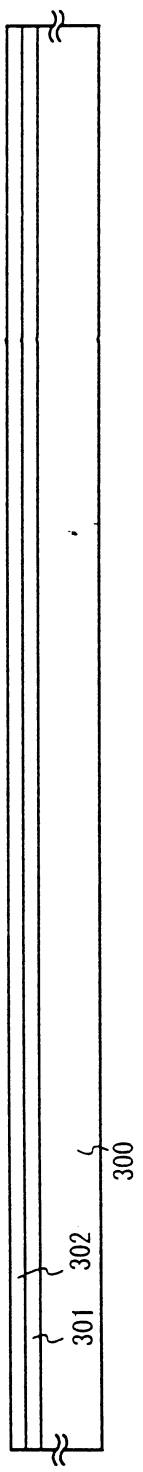
第 20 圖 A



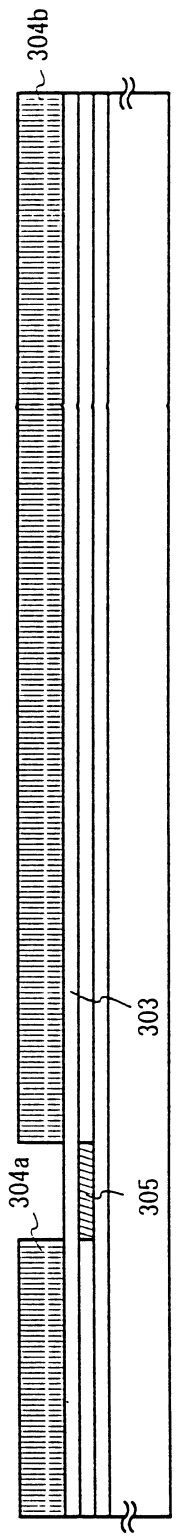
第 20 圖 B



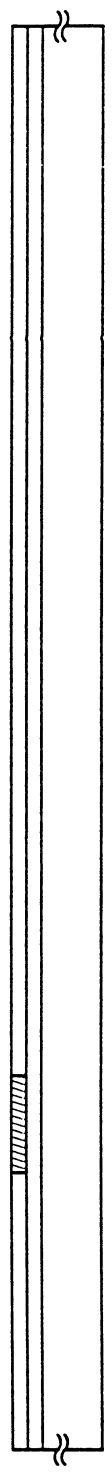
第 21 圖 A



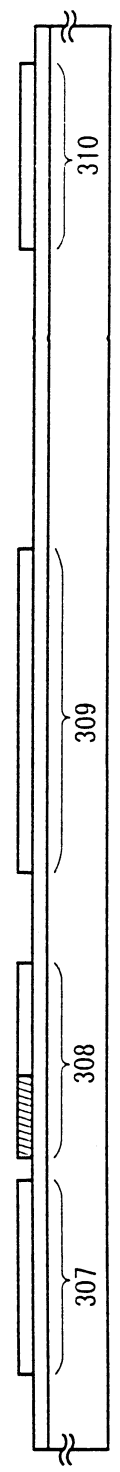
第 21 圖 B



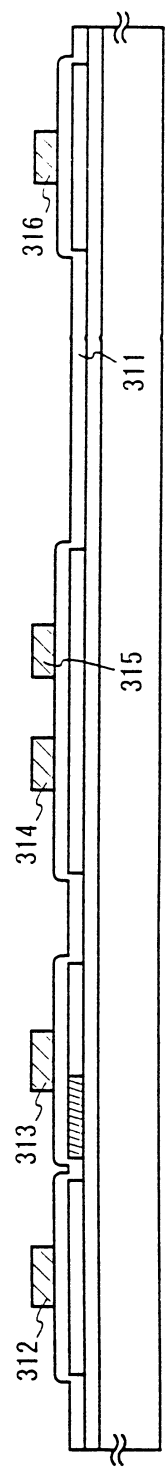
第 21 圖 C

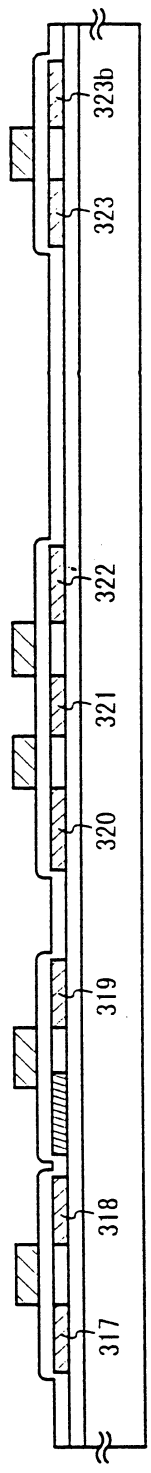


第 21 圖 D

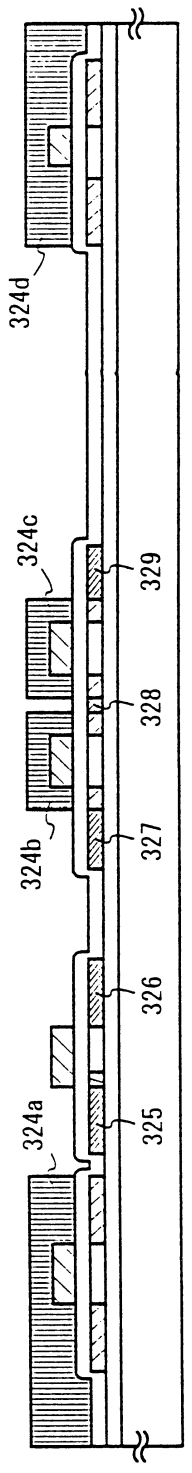


第 21 圖 E

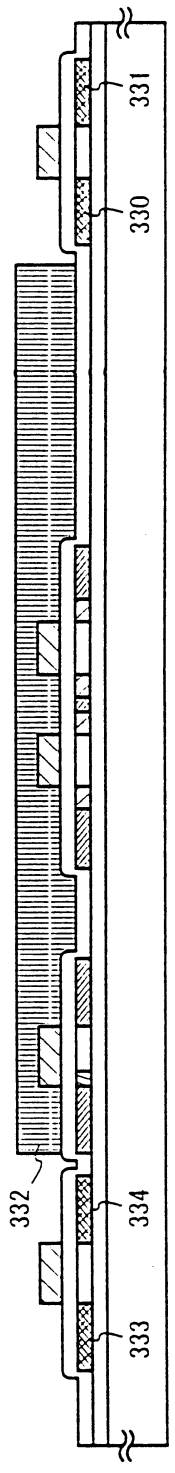




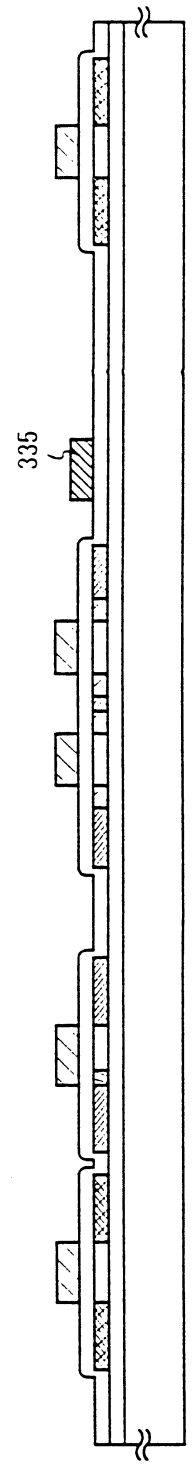
第 22 圖 A



第 22 圖 B

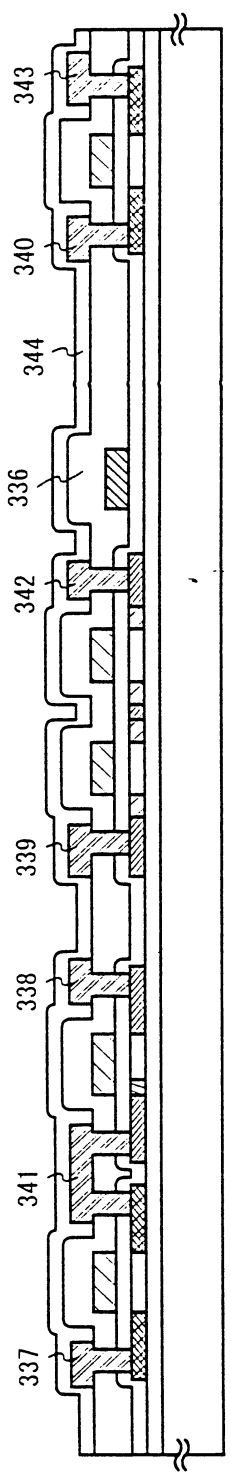


第 22 圖 C

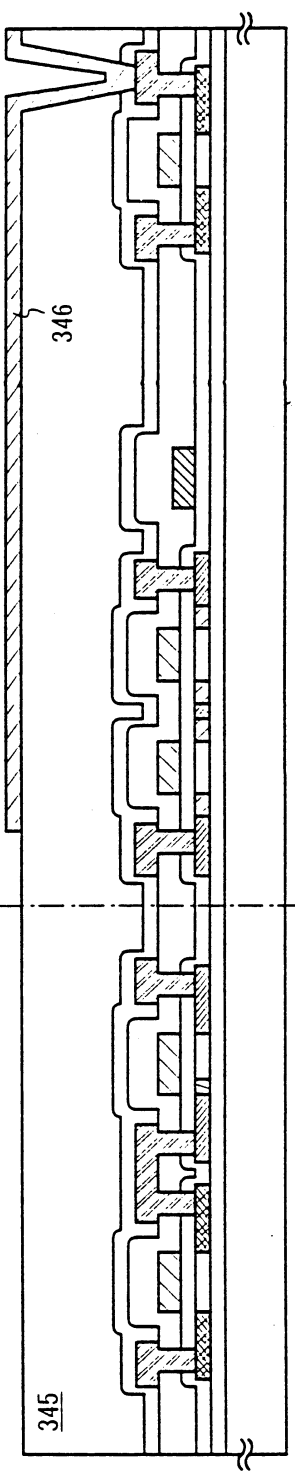


第 22 圖 D

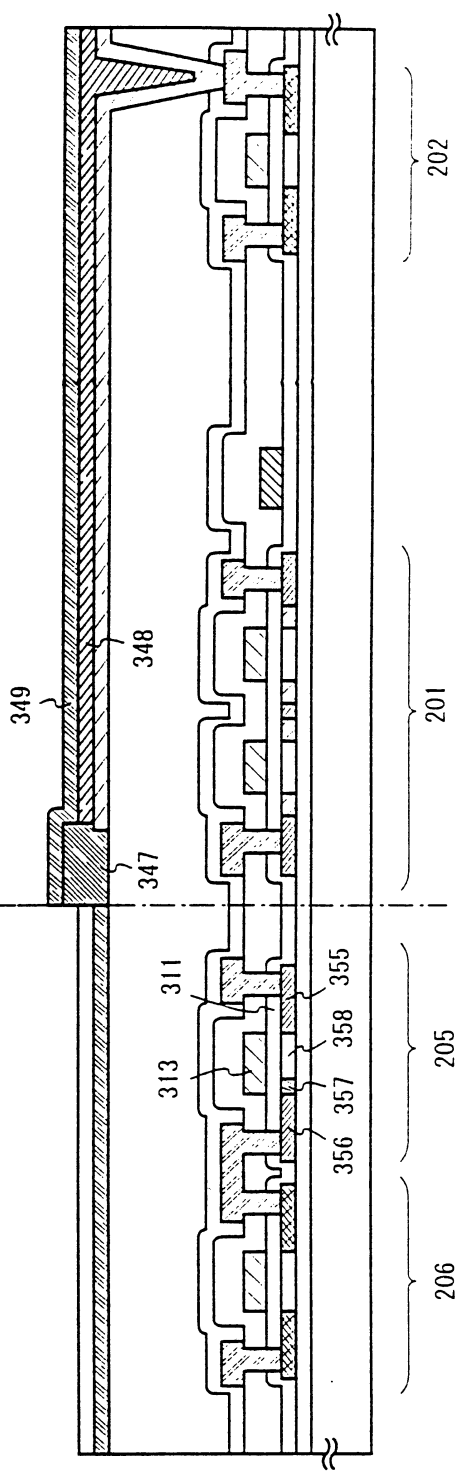
第 23 圖 A

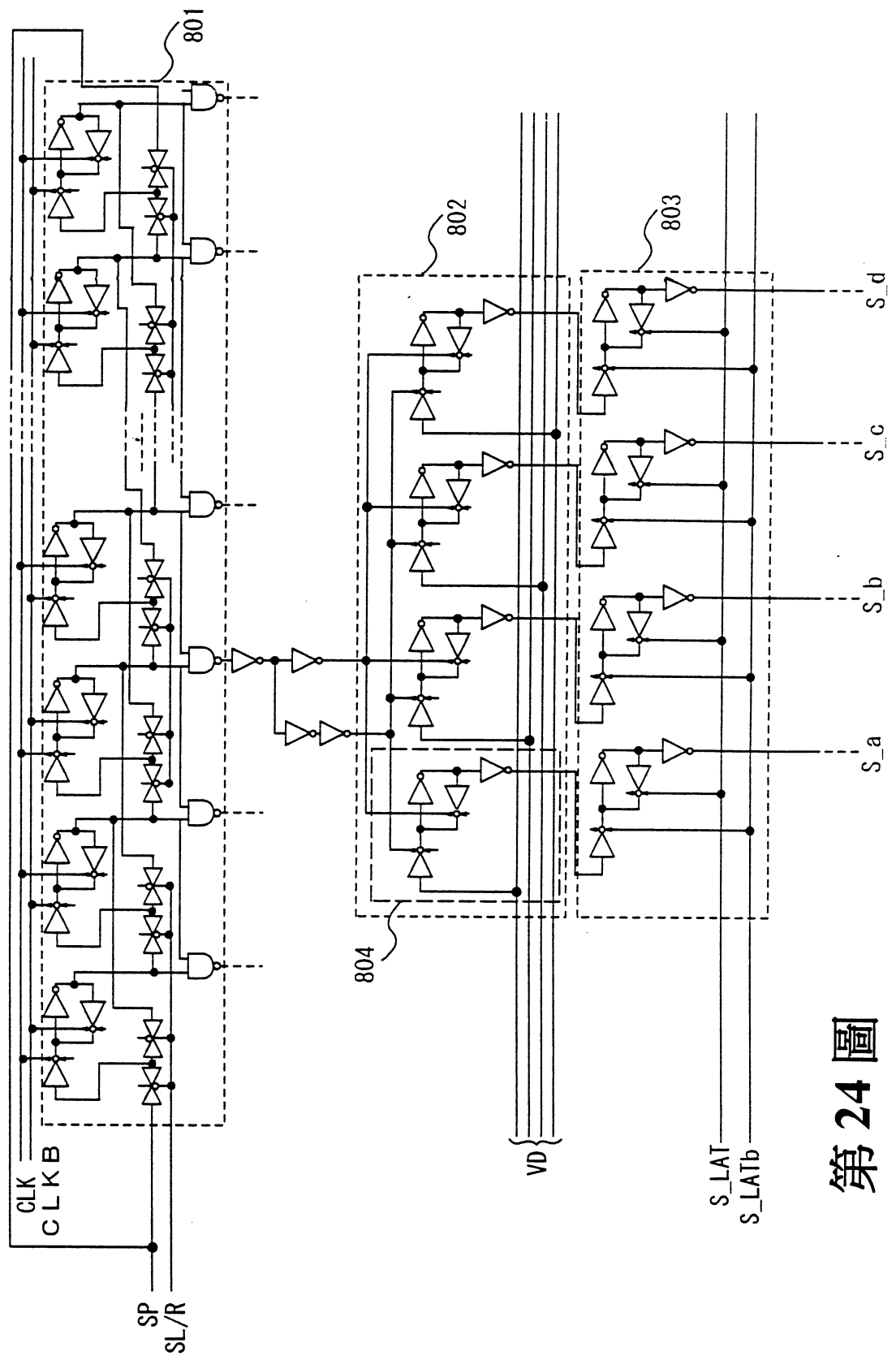


第 23 圖 B

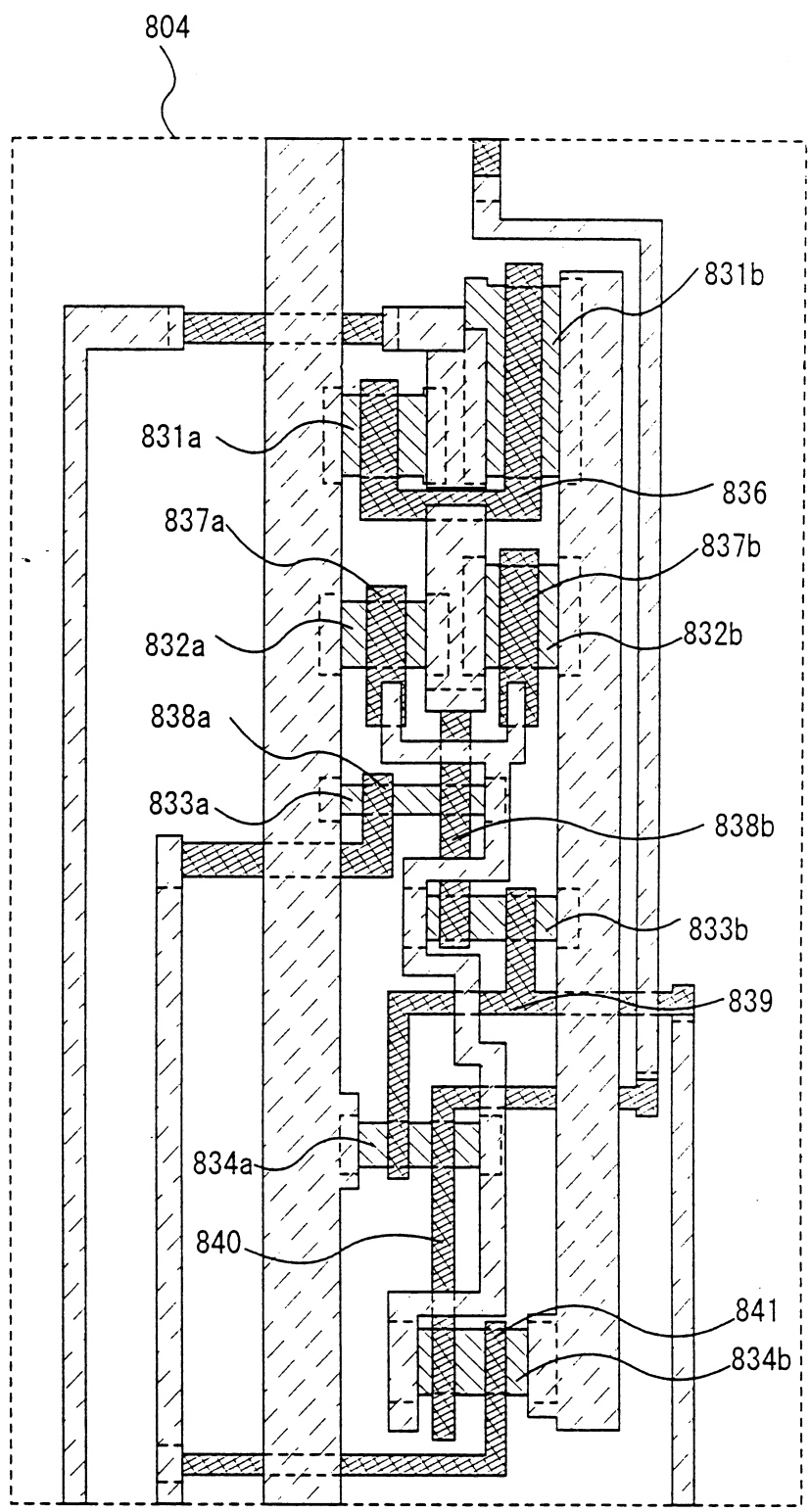


第 23 圖 C

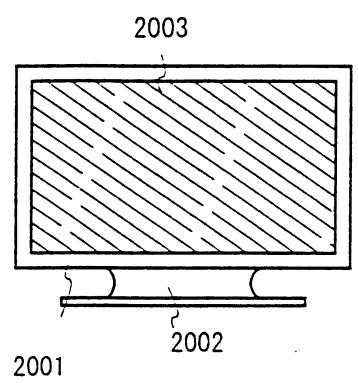




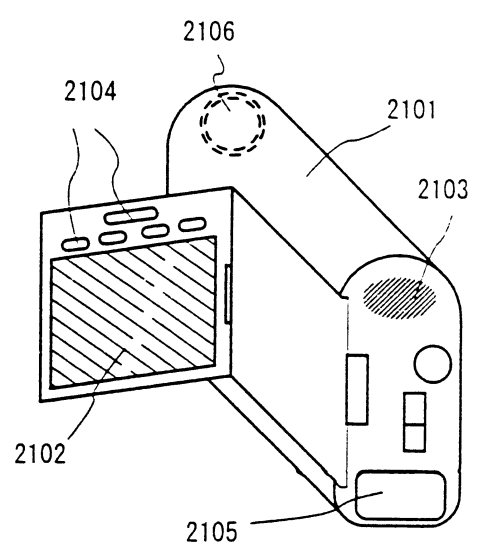
第24圖



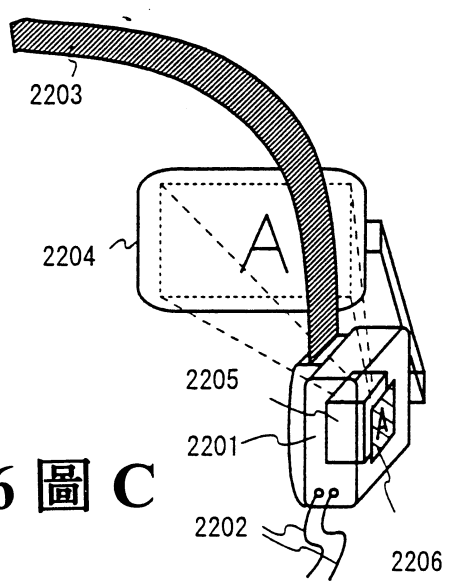
第 25 圖



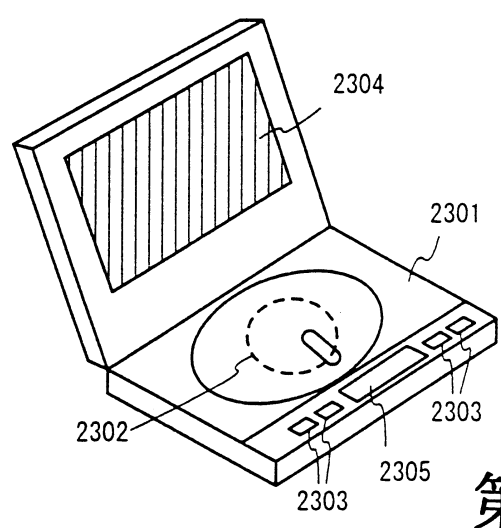
第 26 圖 A



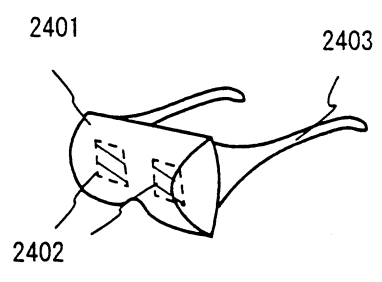
第 26 圖 B



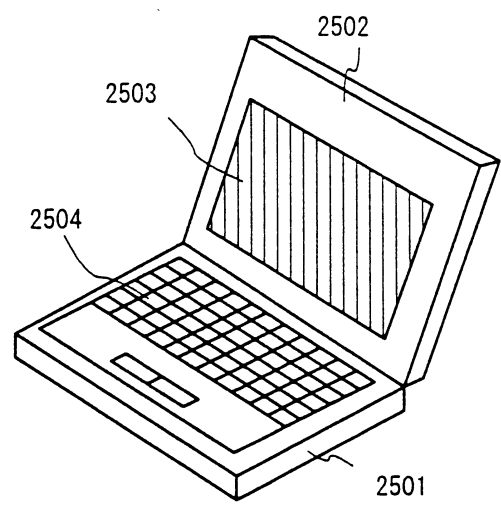
第 26 圖 C



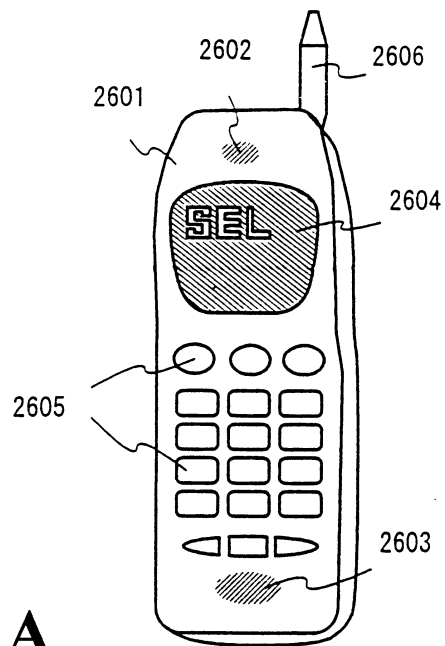
第 26 圖 D



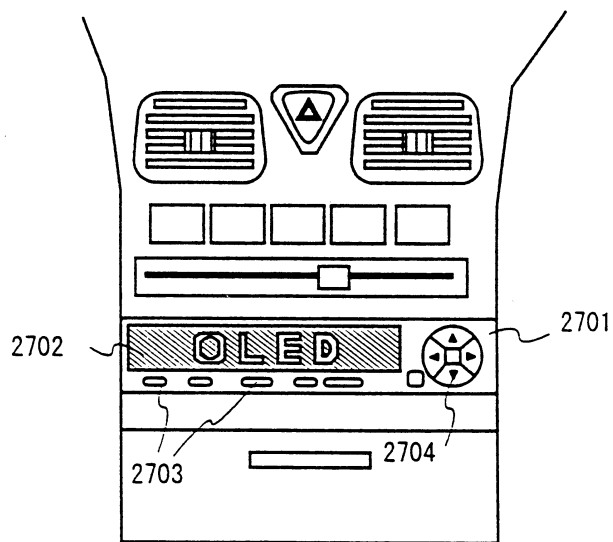
第 26 圖 E



第 26 圖 F



第 27 圖 A



第 27 圖 B