



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년03월27일  
(11) 등록번호 10-1124999  
(24) 등록일자 2012년03월02일

(51) 국제특허분류(Int. Cl.)  
*G02F 1/1333* (2006.01)  
(21) 출원번호 10-2006-7013273  
(22) 출원일자(국제) 2004년11월29일  
심사청구일자 2009년11월30일  
(85) 번역문제출일자 2006년06월30일  
(65) 공개번호 10-2006-0121268  
(43) 공개일자 2006년11월28일  
(86) 국제출원번호 PCT/JP2004/018076  
(87) 국제공개번호 WO 2005/059990  
국제공개일자 2005년06월30일  
(30) 우선권주장  
JP-P-2003-00403733 2003년12월02일 일본(JP)  
JP-P-2003-00432083 2003년12월26일 일본(JP)  
(56) 선행기술조사문헌  
W02002067335 A1  
JP2003318193 A  
JP평성03159174 A  
JP2003318401 A  
전체 청구항 수 : 총 23 항

(73) 특허권자  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
쿠와바라, 히데아키  
일본, 가나가와 2430036, 아쓰기-시, 하세, 398,  
가부시키가이샤한도오따이 에네루기 켄큐쇼 내  
야마자키, 순페이  
일본, 가나가와 2430036, 아쓰기-시, 하세, 398,  
가부시키가이샤한도오따이 에네루기 켄큐쇼 내  
(뒷면에 계속)  
(74) 대리인  
정상구, 장훈

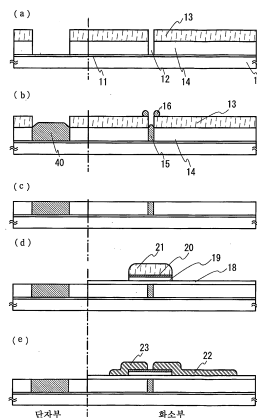
심사관 : 신영교

(54) 발명의 명칭 **반도체 장치와 그 제조 방법**

**(57) 요약**

큰 면적을 표시하는 디스플레이를 제조할 때 배선의 레지스터에 의해 신호가 지연되는 문제가 심각하다. 본 발명은 큰 크기의 기판에 적절한 액적 토출법을 사용하는 제조 단계를 제공한다. 본 발명에서, 미리 기판 상의 부착력을 강화시키는 하지층(11, 또는 하지 전처리)과 절연막을 형성한 후에, 원하는 패턴 모양을 갖는 마스크가 형성되고, 원하는 오목부가 그 마스크를 사용하여 형성된다. 금속 재료가, 매립된 배선(게이트 전극, 용량 배선, 리드 배선 등)을 형성하기 위해 액적 토출법에 의해 절연막으로부터 제조된 측벽 및 마스크(13)를 갖는 오목부에 충전된다. 그 후에, 그것은 평탄화 처리, 예를 들면, 프레스 또는 CMP 처리에 의해 평탄화된다.

**대표도** - 도1



(72) 발명자

**마에카와, 신지**

일본, 가나가와 2430036, 아쓰기-시, 하세, 398,  
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

**나카무라, 오사무**

일본, 가나가와 2430036, 아쓰기-시, 하세, 398,  
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

---

**특허청구의 범위**

**청구항 1**

반도체 장치에 있어서,  
 절연 표면을 갖는 기판 위에 형성된 하지층(base layer);  
 상기 하지층 위에 형성된 절연층 및 게이트 배선과 게이트 전극 중 적어도 하나;  
 상기 게이트 배선과 상기 게이트 전극 중 하나 위에 형성된 게이트 절연막;  
 상기 게이트 절연막 위에 적어도 채널 형성 영역을 포함하는 박막 트랜지스터의 활성층;  
 상기 활성층 위에 형성된 소스 배선 및 전극; 및  
 상기 전극 위에 형성된 화소 전극을 포함하고,  
 상기 게이트 배선과 상기 게이트 전극 중 하나는 수지를 함유하고, 상기 절연층과 막 두께가 동일한, 반도체 장치.

**청구항 2**

제 1 항에 있어서,  
 상기 하지층은 천이 금속, 상기 천이 금속의 산화물, 상기 천이 금속의 질화물, 및 상기 천이 금속의 산질화물로 구성된 그룹에서 선택된 재료를 포함하는, 반도체 장치.

**청구항 3**

제 2 항에 있어서,  
 상기 천이 금속은 Sc, Ti, Cr, Ni, V, Mn, Fe, Co, Cu, Zn으로 구성된 그룹으로부터 선택된 재료를 포함하는, 반도체 장치.

**청구항 4**

제 1 항에 있어서,  
 상기 박막 트랜지스터의 상기 활성층은 수소 또는 할로젠 수소가 첨가된 비단결정 반도체막(non-single crystalline semiconductor film) 또는 다결정 반도체 막인, 반도체 장치.

**청구항 5**

제 1 항에 있어서,  
 상기 박막 트랜지스터의 상기 게이트 전극의 폭은 5 $\mu$ m 내지 100 $\mu$ m인, 반도체 장치.

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

제 1 항에 있어서,  
 상기 절연층의 상면 상의 요철(projection and depression)의 P-V 값은 20nm 미만인, 반도체 장치.

**청구항 9**

제 1 항에 있어서,

상기 게이트 배선 또는 게이트 전극의 상면 상의 요철의 P-V 값은 20nm 미만인, 반도체 장치.

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

반도체 장치에 있어서,

절연층, 및 절연 표면을 갖는 기판 위에 형성된 게이트 배선과 게이트 전극 중 적어도 하나;

상기 게이트 배선과 상기 게이트 전극 중 하나 위에 형성된 게이트 절연막;

상기 게이트 절연막 위에 적어도 채널 형성 영역을 포함하는 박막 트랜지스터의 활성층;

상기 활성층 위에 형성된 소스 배선 및 전극; 및

상기 전극 위에 형성된 화소 전극을 포함하고,

상기 게이트 배선과 상기 게이트 전극 중 하나는 수지를 함유하고, 상기 절연층과 막 두께가 동일한, 반도체 장치.

**청구항 14**

제 1 항 또는 제 13 항에 있어서,

상기 박막 트랜지스터의 상기 게이트 전극의 폭의 길이는 상기 박막 트랜지스터의 상기 게이트 전극의 두께보다 짧은, 반도체 장치.

**청구항 15**

제 1 항 또는 제 13 항에 있어서,

상기 게이트 배선 또는 상기 게이트 전극의 상면을 포함하는 면과, 상기 절연층의 상면을 포함하는 면은 동일 평면에 있는, 반도체 장치.

**청구항 16**

제 1 항 또는 제 13 항에 있어서,

상기 기판에 대향하는 제 2 기판을 포함하는 액정 표시 장치와, 상기 기판 및 상기 제 2 기판으로 구성된 한 쌍의 기판 사이에 개재된 액정을 더 포함하는, 반도체 장치.

**청구항 17**

제 1 항 또는 제 13 항에 있어서,

음극, 유기 화합물을 함유하는 층, 및 양극을 포함하는 복수의 발광 소자들을 더 포함하는, 반도체 장치.

**청구항 18**

제 1 항 또는 제 13 항에 있어서,,

상기 반도체 장치는 쌍방향 영상/음성 통신 장치 또는 범용 원격 제어 장치인, 반도체 장치.

**청구항 19**

반도체 장치 제조 방법에 있어서,  
 절연 표면을 갖는 기판 위에 하지층을 형성하거나 하지 전처리를 수행하는 단계;  
 상기 기판 위에 절연막을 형성하는 단계;  
 상기 절연막 위에 마스크를 형성하는 단계;  
 상기 절연막을 선택적으로 에칭함으로써 오목부를 형성하는 단계;  
 액적 토출법에 의해 상기 오목부에 매립된 배선을 형성하는 단계;  
 상기 마스크를 제거하는 단계;  
 상기 매립된 배선의 상면에 평탄화 처리(planarization processing)를 수행하는 단계;  
 상기 매립된 배선 위에 게이트 절연막을 형성하는 단계; 및  
 상기 게이트 절연막 위에 반도체 막을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

**청구항 20**

제 19 항에 있어서,  
 상기 절연막을 선택적으로 에칭하여 상기 오목부를 형성하는 단계에서, 상기 하지층은 에칭 스톱퍼(etching stopper)로 사용되는, 반도체 장치 제조 방법.

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

**청구항 25**

반도체 장치 제조 방법에 있어서,  
 절연 표면을 갖는 기판 위에 절연막을 형성하는 단계;  
 상기 절연막 위에 마스크를 형성하는 단계;  
 상기 절연막을 선택적으로 에칭함으로써 오목부를 형성하는 단계;  
 액적 토출법에 의해 상기 오목부에 매립된 배선을 형성하는 단계;  
 상기 마스크를 제거하는 단계;  
 상기 매립된 배선의 상면에 평탄화 처리를 수행하는 단계;  
 상기 매립된 배선 위에 게이트 절연막을 형성하는 단계; 및  
 상기 게이트 절연막 위에 반도체 막을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

**청구항 26**

제 19 항 또는 제 25 항에 있어서,  
 상기 평탄화 처리는 프레스 부재(press unit)에 의해 상기 절연막 및 상기 매립된 배선을 압착하는 프레스

처리, 가열 프레스 처리 또는 CMP 처리인, 반도체 장치 제조 방법.

**청구항 27**

제 19 항 또는 제 25 항에 있어서,

상기 평탄화 처리는 상기 매립된 배선의 소성(baking)을 수행하도록 가열 및 프레스를 동시에 할 수 있는 가열 프레스 처리인, 반도체 장치 제조 방법.

**청구항 28**

제 19 항 또는 제 25 항에 있어서,

상기 매립된 배선은 박막 트랜지스터의 게이트 전극 및 게이트 배선 중 적어도 하나인, 반도체 장치 제조 방법.

**청구항 29**

제 19 항 또는 제 25 항에 있어서,

상기 절연막 위에 마스크를 형성하는 상기 단계는,

제 1 재료층 및 상기 제 1 재료층을 둘러싸는 제 2 재료층을 형성하는 단계를 포함하고,

상기 제 1 재료층은 제 1 용매에 용해가능하고,

상기 제 2 재료층은 제 2 용매에 용해가능하고,

상기 제 1 재료층 및 상기 제 2 재료층은 상이한 재료를 토출할 수 있는 복수의 노즐들을 포함하는 장치로 형성되고,

상기 제 2 용매에 의해 상기 제 2 재료층만을 제거함으로써 상기 제 1 재료층을 포함하는 마스크를 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

**청구항 30**

제 19 항 또는 제 25 항에 있어서,

상기 매립된 배선의 두께는 상기 매립된 배선의 폭보다 넓은, 반도체 장치 제조 방법.

**청구항 31**

제 19 항 또는 제 25 항에 있어서,

상기 반도체 장치는 쌍방향 영상/음성 통신 장치 또는 범용 원격 제어 장치인, 반도체 장치 제조 방법.

**청구항 32**

제 19 항 또는 제 25 항에 있어서,

상기 반도체 장치는 비디오 카메라, 디지털 카메라, 고글형 디스플레이, 헤드 마운트 디스플레이(head mount display), 네비게이션 시스템, 음향 재생 장치, 카오디오, 오디오 컴포지션, 퍼스널 컴퓨터, 게임기, 휴대 정보 단말, 모바일 컴퓨터, 휴대 전화, 전자 사진, 화상 재생 장치, 및 DVD 플레이어 중 하나인, 반도체 장치 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 박막 트랜지스터(이하 "TFT"로 언급됨)를 포함하는 회로를 갖는 반도체 장치 및 그것을 제조하기 위한 방법에 관한 것이다. 예를 들면, 본 발명은, 액정 표시 패널에 의해 특징되는 전자-광학 장치(electro-optical device)가 구성부품으로서 장착되는 전자 장치 또는 유기 발광 소자를 가진 발광 표시 장치가 구성부품으로서 장착되는 전자 장치에 관한 것이다.

[0002] 이 명세서에 따른 반도체 장치는 일반적으로 반도체 특성을 사용함으로써 기능하는 장치를 가리킨다. 전자-광

학 장치, 반도체 회로 및 전자 장치는 모두 반도체 장치에 포함된다.

**배경 기술**

- [0003] 최근에, 절연 표면을 갖는 기판 위에 형성된 반도체 박막(약 수 나노미터 내지 수백 나노미터까지의 두께)을 사용하여 박막 트랜지스터("TFT")를 구성하는 기술이 주의를 끈다. 박막 트랜지스터는 IC 및 전자-광학 장치와 같은 전자 장치에 광범위하게 응용되고, 영상 표시 장치의 스위칭 소자로서 특히 개발이 긴급히 필요하다.
- [0004] 통상적으로, 액정 표시 장치가 영상 표시 장치로서 공지되어 있다. 액티브 매트릭스 액정 표시 장치(active matrix liquid crystal display device)가 패시브 매트릭스 액정 표시 장치(passive matrix liquid crystal display device)보다 더 빈번히 사용되는데, 그 패시브 매트릭스 액정 표시와 비교하여, 보다 고선명도 영상을 얻을 수 있기 때문이다. 액티브 매트릭스 액정 표시 장치에서, 표시 패턴이 매트릭스에 배열된 화소 전극을 구동하는 것에 의해 화면 상에 형성된다. 특히, 선택된 화소 전극과 그 화소 전극에 대응하는 대향 전극 사이에 전압을 인가함으로써, 화소 전극과 대향 전극 사이에 개재된 결정층이 광학적으로 변조되고, 그 광학적 변조는 관찰자에 의해 표시 패턴으로서 인식된다.
- [0005] 따라서, 액티브 매트릭스 전자-광학 장치의 적용은 광범위해져 왔고, 고선명, 높은 간극율(high aperture ratio) 및 높은 신뢰성에 대한 요구가 화면 크기의 큰 면적에 대한 요구와 함께 증가해오고 있다.
- [0006] 지금까지, 하나의 마더 유리 기판(mother glass substrate)으로부터 복수의 액정 표시 패널들을 절단함으로써 액정 표시 패널을 효율적으로 대량 생산하는 방법이 제조 엔지니어링에서 이용되어 왔다. 마더 유리 기판의 크기는 1990년대 초엽 제 1 세대의 300 x 400 mm로부터 2000년 제 4 세대의 680 x 880 mm 또는 730 x 920 mm까지 확장되었고, 복수의 표시 패널이 하나의 마더 유리 기판으로부터 얻어질 수 있다.
- [0007] 또한, 향상된 생산성 및 낮은 제조 비용에 대한 요구가 화면 크기의 큰 면적에 대한 요구와 함께 증가 되어 왔다.
- [0008] 또한, 최근에, 자가 발광 소자(self-luminous light emitting element)로서 EL 소자를 포함하는 발광 장치에 대한 연구가 활성화되어 오고 있다. 발광 장치는 또한 유기 EL 디스플레이 또는 유기 발광 다이오드로 언급된다. 발광 장치들은 동영상들을 표시하는데 적절한 높은 반응 속도, 낮은 구동 전압 및 낮은 구동 전력 소모와 같은 특성을 갖는다. 따라서, 발광 장치들은 신세대 휴대폰들 및 휴대 정보 단말(PDA)들 등을 포함하는 차세대 디스플레이로서 주의를 끌어 왔다.
- [0009] 발광층으로서 유기 화합물을 함유하는 층을 포함하는 EL 소자는, 유기 화합물을 함유하는 층(이하 EL 층으로 언급됨)이 양극과 음극 사이에 개재된 구조를 갖는다. 그 양극 및 음극에 전계를 인가하면, 루미네선스(luminescence)(전자 루미네선스)가 그 EL 층에서 발광한다. 또한, EL 소자로부터의 루미네선스는 단일항 여기 상태에서 기저 상태로 복귀하는 루미네선스(형광)와, 삼중항 여기 상태에서 기저 상태로 복귀하는 루미네선스(인광)를 포함한다.
- [0010] 따라서 액티브 매트릭스 표시 장치의 적용은 광범위해져 왔고, 고선명도, 고간극율 및 높은 신뢰성에 대한 요구는 화면 크기의 큰 면적에 대한 요구와 함께 증가하여 오고 있다.
- [0011] 일본 특허 공개 제2000-298446호를 참조하면, 대형 디스플레이가 하나의 표시 화면을 형성하기 위해 타일과 같은 복수의 패널들을 배열시킴으로써 구현되고 있다. 그러나, 복수의 패널들이 사용되고, 구동 방법이 특별해지기 때문에 비용이 많이 든다.
- [0012] 또한, 향상된 생산성 및 낮은 비용에 대한 요구가 화면 크기의 큰 면적에 대한 요구와 함께 증가되고 있다.
- [0013] 한편, 일본 특허 공개 제2000-188251호에는, 성막부로서 사용된 액체의 수율을 증가시키기 위해서, 노즐로부터 작은 직경의 선형의 액상 레지스트(liquid resist)를 연속적으로 토출할 수 있는 장치를 사용하여 성막이 반도체 웨이퍼 위에서 수행되는 기술을 개시하고 있다.

**발명의 상세한 설명**

- [0014] 큰 면적을 표시하는 디스플레이 제조에서는 배선의 레지스터에 의해 신호가 지연되는 문제가 심각해지는 것을 볼 수 있다. 큰 면적 디스플레이에서는 게이트선 전파 파형이 악화될 수 있는데, 이는 배선 레지스터 및 배선 용량이 배선의 전체 길이의 증가와 함께 증가되기 때문이다. 배선 레지스터는 배선으로서 작용하는 금속막의 횡단 면적을 증가시킴으로써 감소될 수 있다. 그러나, 막 두께를 증가시킴으로써 횡단 면적을 증가시키는

때에, 기관 표면과 배선 표면 사이에 단차(step)가 발생하여, 액정 표시 장치에서 액정의 방향성에 결함이 야기되고, 발광 장치에서 양극 및 음극의 단락이 야기된다. 또한, 단면적을 증가시키기 위해 선폭을 넓히는 경우에는, 피할 수 없이 간극율이 감소한다. 또한, 배선 용량이 증가하고, 보다 큰 전류량이 배선의 전압을 상승시키는데 필요하고, 따라서 전력 소비가 증가된다.

- [0015] 따라서, 본 발명은, 신호 지연 문제를 해결하기 위한 구조를 갖는, 액적 토출방법에 의해 형성된 매립된 배선을 사용하는 큰 화면 디스플레이와 그것을 제조하는 방법을 제공한다.
- [0016] 본 발명은 또한, 스위칭 소자로서 10  $\mu\text{m}$  이하의 채널 길이를 갖는 보텀 게이트형 TFT(bottom gate type TFT) 및 원하는 전극 폭으로서 액적 토출법에 의해 형성된 배선을 갖는 표시 장치를 구현하는 방법을 제공한다.
- [0017] 본 발명에서, 미리 기관 위의 부착력을 향상시키는 하지층을 형성(또는 하지 전처리)하고 절연막을 형성한 후에, 원하는 패턴 모양을 갖는 마스크가 형성되고 그 마스크를 이용하여 원하는 오목부가 형성된다.
- [0018] 에칭에 의해 오목부가 형성될 때에, 하지층 및 다른 기관은 에칭되지 않는 것이 바람직하다. 바람직하게는, 하지층은 에칭 스톱퍼(etching stopper)로서 작용한다. 하지층을 남겨둠으로써, 기관과 배선 사이의 부착력이 향상된다. 또한, 기관을 에칭하여 홈(groove)이 형성될 때에, 기관 강도는 감소된다. 따라서, 프레스 단계, CMP 처리 또는 대향 기관의 부착 단계에 의해 외부 압력으로 인한 크랙(crack), 또는 열처리 단계에서 기관의 수축 또는 기관의 파손이 발생할 위험성이 존재한다.
- [0019] 이어서, 액적 토출법에 의해 마스크 및 절연막으로부터 만들어진 측 벽을 갖는 오목부에 금속 재료가 충전되어 매립된 배선(게이트 전극, 용량 배선, 리드 배선(lead wiring) 등)을 형성한다. 마스크는 액적 토출법 또는 인쇄법(릴리프 인쇄(relief printing), 평판(flat plate), 구리판 인쇄(copperplate printing), 스크리닝(screening) 등)을 사용하여 형성된다. 따라서, 본 발명에 따르면, 오목부를 형성하기 위한 마스크가 미세한 패턴으로 형성되는 한, 작은 폭을 갖는 매립된 배선이 액적 토출법에 의해서도 형성될 수 있다.
- [0020] 이 명세서에서, 액적 토출법은 노즐로부터 원하는 영역 상에 재료 용액을 토출함으로써 피처리 표면 상에 재료 패턴을 형성하는 방법을 나타낸다. 이 명세서에서, 예를 들면, 잉크-젯 인쇄법, 디스펜스법(dispense method), 스프레이법(spray method) 등은 액적 토출법으로서 고려된다. 잉크-젯법에 의해 토출되는 액적은 인쇄되는 재료들을 위한 잉크가 아니고, 금속 재료 또는 절연 재료를 포함하는 물질이 사용된다.
- [0021] 이어서, 마스크를 제거한 후에, 임시 소성(baking)이 수행된다. 마스크가 제거될 때에 마스크 위에 잘못 형성된 금속 재료도 또한 제거된다. 또한, 마스크의 재료는 발액성(water repellent properties)을 갖는 것이 바람직하다. 이 단계에서, 배선은 절연막의 표면보다 높게 부풀려(swell) 형성되도록 제조된다. 그 후에, 예를 들면, 프레스 또는 CMP 처리와 같은 평탄화 처리가 수행된다. 물론, CMP 처리는 프레스 처리 후에 수행될 수 있거나, 또는 프레스 처리가 CMP 처리 후에 수행된다.
- [0022] 특히, 배선의 두께가 그것의 폭보다 클 때, 배선의 두께는 CMP 처리에서 절연막을 연마(grinding)함으로써 조정될 수 있고, 균일한 배선 저항을 갖는 배선이 상이한 기관들 사이에서도 얻어질 수 있다.
- [0023] CMP 처리가 슬러리(slurry) 등의 사용으로 수행되는 때, 요철에서의 높이의 차이(P-V 값: 피크 투 밸리(peak to Valley), 최대값과 최소값 사이의 높이 차이)는 감소하는데, 다시 말하면, 요철이 평탄화된다. 요철의 P-V 값은 AFM (atomic force microscope)로 관찰될 수 있다. 특히, 피처리 표면의 요철의 P-V 값은 약 20 nm 내지 70 nm 이다. 표면상의 요철의 P-V 값은 20 nm 미만, 바람직하게 5 nm 정도로 감소될 수 있다. 여기서, 피처리 표면은 매립된 배선의 상면 및 절연막의 상면을 포함하는 면을 나타낸다.
- [0024] 또한, 배선의 막 두께는 절연막을 배선보다 강하게 제조함으로써 절연막의 두께에 의존하고, 따라서, 편평면(flat surface)이 얻어질 수 있다. 더욱이, 처리가 수행되는 때에도, 배선의 측면과 접촉하는 절연막의 존재에 의해서 넓어지지 않는다. 또한, 압착에 의해, 배선의 밀도는 증가하고, 레지스터는 감소할 수 있다. 소성은 처리에 의한 평탄화(planarizing)와 함께 수행된다. 대안적으로, 소성은 평탄화 후에 수행된다. 기관의 양 측부를 동시에 가열할 수 있는 가열-프레스를 사용하는 것에 의해, 소성에 의한 요철의 P-V 값의 증가가 제어될 수 있다. 이어서, 게이트 절연막(gate insulating film) 및 반도체막이 순차적으로 형성되어 하나의 TFT를 제조한다.
- [0025] 또한, 배선 폭은 마스크에 의한 오목부의 정확도에 의존하고, 따라서, 적하하는 액적의 양 및 점성(viscosity)과 노즐 직경에 관계없이 원하는 폭이 얻어질 수 있다. 일반적으로, 배선 폭은 노즐에서 토출되는 액상 재료와 기관의 접촉 각에 의존한다. 예를 들면, 표준 잉크-젯 장치의 한 노즐 직경(50  $\mu\text{m}$  x 50  $\mu\text{m}$ )으로부터 토출되는



재료 용액의 양은 30 pL 내지 200 pL 이고, 얻어지는 배선 폭은 60  $\mu\text{m}$  내지 600  $\mu\text{m}$  이다. 다른 한편, 본 발명에 따르면, 작은 폭(예를 들면, 1  $\mu\text{m}$  내지 10  $\mu\text{m}$  의 전극 폭)과 큰 두께(예를 들면, 1  $\mu\text{m}$  내지 100  $\mu\text{m}$ )의 매립된 배선이 얻어질 수 있다. 본 발명의 매립된 배선의 폭은 포토리소그래피 기술의 한계까지 좁아질 수 있고, 매립된 배선의 두께는 성막을 수행하는데 가능한 두꺼워질 수 있다. 배선 폭을 좁히고 배선 저항을 감소시키기 위해서, 두께가 폭보다 긴 매립된 배선이 바람직하다. 그러나, 상부층의 배선과 접촉하도록 하기 위한 콘택트 홀(contact hole)을 형성할 필요가 있고, 따라서, 배선 폭이 콘택트 홀 직경보다 긴 것이 바람직하다. 콘택트 홀의 직경이 1  $\mu\text{m}$  이상인 경우, 적절한 접촉 저항 얻어질 수 있다.

[0026] 한편, 노즐의 직경이 표준보다 작을 때, 하나의 노즐에서 토출되는 재료 용액의 양은 0.1 pL 내지 40 pL이고, 얻어지는 배선 폭은 5  $\mu\text{m}$  내지 100  $\mu\text{m}$ 이다. 요철은 소성 후의 작은 직경의 노즐에 의해 얻어지는 배선의 표면에서 발생될 수 있다. 그러나, 배선의 표면은 평탄화될 수 있는데, 압착 또는 CMP 처리와 같은 평탄화 처리가 본 발명의 매립된 배선 상에서 수행되기 때문이다. 20 nm 내지 70 nm의 요철은 액적 토출법에 의해 얻어진 배선의 표면상에서의 소성에 의해 발생한다.

[0027] 특히, 액적 토출법에 의해 얻어진 배선이 보통 게이트형 TFT의 게이트 배선으로서 사용되는 경우에, 표면이 요철인 경우에는 블록부에서 전계 집중이 발생하여 단락을 야기하는 위험이 존재한다. 따라서, 평탄화 처리가 게이트 배선의 표면을 평탄화시키도록 수행되는 것이 중요하다. 또한, 게이트 배선의 표면의 요철 보다 매우 두꺼운 게이트 절연막을 제공하는 것에 의해 단락을 방지하는 것이 가능하나, 그것은 TFT의 구동 전압의 증가 원인이 되고, 또한 전력 소모의 증가를 가져올 수 있다. 본 발명에 따르면, 1 nm 내지 200 nm, 바람직하게 10 nm 내지 30 nm의 막 두께를 갖는 게이트 절연막이 게이트 배선의 표면을 평탄화함으로써 얻어질 수 있다.

[0028] 또한, 재료 패턴이 액적 토출법에 의해 수행되는 경우에, 두 가지 경우들이 있는데, 하나는, 재료 액적(material droplet)이 간헐적으로 노즐에서 토출되어 도트 모양으로 적하하는 경우이고, 다른 하나는, 일련의 도트들로 형성된 일련의 재료가 연속적으로 토출되어 부착하는 경우이다. 본 발명에서는, 재료 패턴이 적절하게 하나의 패턴으로 형성될 수 있다. 또한, 잉크-젯 노즐 대신에 스프레이 노즐 및 디스펜서 노즐(dispenser nozzle)이 사용될 수 있다.

[0029] 그러므로, 게이트 배선으로서 얻어진 매립된 배선을 사용하는 하부 게이트형 TFT는 저항을 낮출 수 있다. 일반적으로, 금속 배선이 그 위에 형성되는 표면은 배선 폭이 그 두께만큼 돌출되는 구조를 갖는다. 그러나, 커버리지 결함(coverage defect) 등은 게이트 절연막 및 반도체막이 얇아지는 경우에도 발생할 수 없는데, 매립된 배선이 본 발명에 사용되기 때문이다.

[0030] 이 명세서에 개시된 본 발명의 한 구조에 따르면, 반도체 장치는 절연 표면을 갖는 기판 위에 형성된 절연층 및 게이트 배선과 게이트 전극 중 적어도 하나, 게이트 배선과 게이트 전극 중 하나 위에 형성된 게이트 절연막, 게이트 절연막 위의 적어도 채널 형성 영역을 포함하는 박막 트랜지스터의 활성층, 활성층 위에 형성된 소스 배선 및 전극, 그리고 전극 위에 형성된 화소 전극을 포함하고, 게이트 배선과 게이트 전극 중 적어도 하나가 수지를 함유하고, 절연층과 막 두께가 동일하다.

[0031] 이 명세서에 개시된 본 발명의 다른 구조에 따르면, 반도체 장치는, 절연면을 갖는 기판 위에 형성된 하지층, 하지층 위에 형성된 절연층, 및 게이트 배선과 게이트 전극 중 적어도 하나, 게이트 배선과 게이트 전극 중 하나 위에 형성된 게이트 절연막, 게이트 절연막 위의 적어도 채널 형성 영역을 포함하는 박막 트랜지스터의 활성층, 활성층 위에 형성된 소스 배선 및 전극, 및 전극 위에 형성된 화소 전극을 포함하고, 게이트 배선과 게이트 전극 중 하나가 수지를 함유하고, 절연층과 막 두께가 동일하다.

[0032] 전술한 구조에 따르면, 하지층은 천이 금속, 상기 천이 금속의 산화물, 상기 천이 금속의 질화물, 및 천이 금속의 산질화물로 구성된 그룹에서 선택된 재료를 포함한다.

[0033] 전술한 구조에 따르면, 천이 금속은 Sc, Ti, Cr, Ni, V, Mn, Fe, Co, Cu, Zn으로 구성된 그룹으로부터 선택된 재료를 포함한다.

[0034] 또한 전술된 구조에 따르면, 박막 트랜지스터의 활성층이 수소 또는 할로젠 수소가 부가된 비단결정 반도체막(non-single crystalline semiconductor film) 또는 다결정 반도체막(polycrystalline crystalline semiconductor film)이다.

[0035] 박막 트랜지스터의 활성층으로서, 비정질 반도체막(amorphous semiconductor film), 결정 구조를 포함하는 반도체막, 비정질 구조를 포함하는 화합물 반도체막 등이 적절하게 사용될 수 있다. 또한, TFT의 활성층으로서, 세미아몰퍼스 반도체막(semiamorphous semiconductor film)(또한 미세결정 반도체막(microcrystal semiconductor

film)으로 언급됨)을 세미아몰퍼스 구조체와 결정 구조(단결정 및 다결정 구조를 포함) 사이의 중간 구조를 갖고, 자유 에너지 관점에서 안정적인 제 3 상태(tertiary state)를 갖는, 짧은 거리 오더(short-distance order) 및 격자 변형(lattice distortion)을 갖는 결정 영역을 포함한다. 또한, 박막의 적어도 일부 영역은 0.5 nm 내지 20 nm의 결정립을 포함한다. 라만 스펙트럼(Raman spectrum)은  $520\text{ cm}^{-1}$  이하의 파수(wave number) 측으로 전이된다. Si 결정 격자로부터 유래된 (111) 또는 (220)의 회절 피크값은 반도체막의 X-ray 회절에서 관측된다. 수소 또는 할로젠은 비조합 핸드(uncombined hand)(댕글링 본드(dangling bond)의 중화제로서 적어도 1 원자% 정도로 포함된다. 세미아몰퍼스 반도체막을 제조하는 방법으로서, 규화물 가스의 글로우 방전 분해(플라즈마 CVD)를 수행함으로써 형성된다. 규화물 가스에 대해,  $\text{SiH}_4$ , 추가적으로,  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$ ,  $\text{SiF}_4$  등을 사용하는 것이 가능하다. 이 규화물 가스는  $\text{H}_2$  또는  $\text{H}_2$ 와 회가스인 하나 이상의 종류의 He, Ar, Kr 및 Ne로 희석될 수 있다. 희석비는 2 배 내지 1000 배 범위이다. 압력 범위는 0.1 Pa 내지 133 Pa, 동력 주파수 범위는 1 MHz 내지 120 MHz, 바람직하게 13 MHz 내지 60 MHz 범위이다. 기판 가열 온도는  $300^\circ\text{C}$  이하, 바람직하게  $100^\circ\text{C}$  내지  $250^\circ\text{C}$  이다. 막에 있는 불순물 원소에 대해서는, 산소, 질소 또는 탄소와 같은 대기 성분 불순물들은  $1 \times 10^{20}$  원자/ $\text{cm}^{-1}$  이하, 특히, 산소 농도는  $5 \times 10^{19}$  원자/ $\text{cm}^3$  이하, 바람직하게  $1 \times 10^{19}$  원자/ $\text{cm}^3$  이하이다. 활성층으로서 세미아몰퍼스 반도체막층을 갖는 TFT(박막 트랜지스터)의 전계 효과 이동도(electric field effect mobility)는 약  $5\text{ cm}^2/\text{Vsec}$  내지  $50\text{ cm}^2/\text{Vsec}$  이다.

- [0036] 전술된 구조의 각각에 따르면, 박막 트랜지스터의 게이트 전극 폭이  $5\ \mu\text{m}$  내지  $100\ \mu\text{m}$ 인데, 매립된 배선이 액정 토출법에 의해 형성되기 때문이다. 또한, 작은 폭을 갖는 게이트 전극을 구현하는 하부 게이트형 TFT가 제조될 수 있고, 따라서, 각 구조에서, 박막 트랜지스터의 채널 길이가  $5\ \mu\text{m}$  내지  $100\ \mu\text{m}$ 로 세팅될 수 있다.
- [0037] 전술된 구조의 각각에 따르면, 박막 트랜지스터의 게이트 전극 폭의 길이가 박막 트랜지스터의 게이트 전극의 두께보다 짧다. 배선 폭을 좁히고, 배선 저항을 낮추기 위해 매립된 배선은 바람직하게는 폭보다 큰 두께를 갖는다.
- [0038] 전술된 구조의 각각에 따르면, 게이트 배선 또는 게이트 전극의 상면을 포함하는 면과, 절연층의 상면을 포함하는 면이 동일 평면이 된다. 게이트 배선 및 게이트 전극은 매립된 배선이다. 여기서 절연층은 동일한 단계에서 형성된 절연 재료 패턴을 나타낸다. 또한, 게이트 배선 및 게이트 전극은 절연층에 매립된 금속층들을 나타낸다.
- [0039] 전술된 구조의 각각에 따르면, 절연층의 상면 상의 요철의 P-V 값은 20 nm미만이다. 액정 표시 장치의 배향막의 평탄성 및 발광 장치의 양극 표면의 평탄성은 절연층의 상면의 평탄성을 향상시킴으로써 보장된다.
- [0040] 전술된 구조의 각각에 따르면, 절연층의 상면상의 요철의 P-V 값은 20 nm미만이다. 게이트 절연막은 게이트 전극 또는 게이트 전극의 상면상의 평면을 향상시킴으로써 얇아진다.
- [0041] 전술된 구조들의 각각에 따르면, 반도체 장치는, 기판에 대항하는 제 2 기판, 및 기판과 제 2 기판으로 구성된 한 쌍의 기판 사이에 개재된 액정을 포함하는 액정 표시 장치를 포함한다.
- [0042] 또한, 전술된 구조의 각각에 따르면, 반도체 장치는 음극, 유기 화합물을 함유하는 층, 및 양극을 포함하는 복수의 발광 소자들을 포함한다.
- [0043] 전술된 구조의 각각에 따르면, 반도체 장치는 쌍방향 영상/음성 통신 장치 또는 범용 원격 제어 장치이다.
- [0044] 전술된 구조를 구현하기 위한 본 발명의 다른 구조에 따르면, 반도체 장치를 제조하기 위한 방법은, 절연 표면을 갖는 기판 위에 하지막을 형성하거나 하지 전처리를 수행하는 단계; 기판 위에 절연막을 형성하는 단계; 절연막 위에 마스크를 형성하는 단계; 절연막을 선택적으로 에칭함으로써 오목부를 형성하는 단계; 액정 토출법에 의해 오목부에 매립된 배선을 형성하는 단계; 마스크를 제거하는 단계; 매립된 배선의 상면에 평탄화 처리를 수행하는 단계; 전극 위에 게이트 절연막을 형성하는 단계; 및 게이트 절연막 위에 반도체막을 형성하는 단계를 포함한다.
- [0045] 전술된 단계에 관한 구조에 따르면, 하지층은, 절연막을 선택적으로 에칭함으로써 오목부를 형성하는 단계에서 에칭 스톱퍼로서 사용된다.
- [0046] 전술된 제조 단계에 관한 구조에 따르면, 평탄화 처리는 프레스 부재(press member)에 의해 절연막 및 매립된 배선을 압착하는 절연막 프레스 처리, 가열 프레스 처리(heat press treatment) 또는 CMP 처리가 된다. 대안적

으로는, 평탄화 처리는 가열 및 프레스가 동시에 수행됨으로써 매립된 배선의 소성이 행해지는 가열 프레스 처리이다. 기관의 양측을 동시에 가열할 수 있는 가열 프레스 처리를 사용하는 경우에, 오픈 또는 열판으로 배선을 보다 짧은 소성 시간이 소성하는 경우에 비해 가능해진다.

- [0047] 전술된 제조 단계에 관한 구조에 따르면, 절연막 위에 마스크를 형성하는 단계는, 상이한 재료를 토출할 수 있는 복수의 노즐들을 포함하는 장치로 제 1 용매에 용해가능한 제 1 재료층과 제 1 재료층을 둘러싸는 제 2 용매에 용해가능한 제 2 재료층을 형성하는 단계와, 제 2 용매에 의해 제 2 재료층만을 제거함으로써 제 1 재료막을 포함하는 마스크 형성 단계를 포함한다.
- [0048] 액적 토출법에 의해 마스크가 형성될 때에, 레지스트 재료(resist material)가 고 유동성을 갖는 경우 또는 레지스트 재료가 소성시에 그것의 유동성이 증가되는 경우에 드리핑(dripping) 때문에 정확한 마스크 패턴을 얻는 것이 어렵다. 따라서, 마스크(레지스트등) 형성 재료와 용매가 상이한 재료(예를 들면, 수용성 수지)를 사용함으로써, 그리고 재료를 개방되는 패턴 영역에 적하시킴으로써, 드리핑이 방지될 수 있다. 바람직하게는, 레지스트 및 수용성 용액을 토출할 수 있는 복수의 노즐들을 구비한 액적 토출 장치를 사용함으로써, 레지스트 토출 단계 및 수용성 용액의 토출 단계 사이의 간격들이 짧아진다. 이 경우에, 레지스트 및 수용성 용액은 동일한 배열 위치에 따라서 토출되고, 따라서 패턴 배열 불량이 작아진다. 또한, 소성 후에 물을 이용하여 세정이 수행되면, 수용성 수지만이 제거되고, 정확한 마스크 패턴이 얻어질 수 있다.
- [0049] 액적 토출 장치가 절연 재료 및 금속 재료를 토출할 수 있는 복수의 노즐 유닛들을 구비하면, 토출은 동일한 배열 위치에 따라서 수행되고, 층간 절연막과 접속 전극이 패턴의 배열 불량없이 형성된다.
- [0050] 통상적으로, 재료 및 다른 포토 마스크가 상이하면, 절연 재료의 배열과 금속 재료의 배열은 분리되어 수행되어야 하는데, 배열이 각 경우에 대하여 조절되기 때문이다. 따라서, 패턴배열 불량이 발생할 수 있다.
- [0051] 전술한 제조 단계에 관한 구조에 따르면, 매립된 배선은 박막 트랜지스터의 게이트 전극 및 게이트 배선 중 하나이다.
- [0052] 도 10a 및 10b에 도시된 일례로서, 게이트 전극 및 게이트 배선이 분리되어 형성되어, 작은 폭을 가진 게이트 전극이 큰 폭의 게이트 배선과 접촉하게 된다. 게이트 전극의 폭은 5  $\mu\text{m}$  내지 20  $\mu\text{m}$ 로, 게이트 배선의 폭은 10  $\mu\text{m}$  내지 40  $\mu\text{m}$ 로 세팅되어, 게이트 전극 폭과 게이트 배선 폭의 비율이 1 : 2가 된다. 예를 들면, 게이트 전극 단독으로, 절연막에 형성된 오목부 내에, 작은 노즐 직경을 갖는 잉크-젯 헤드(ink-jet head)를 사용하여 액적 토출법에 의해 형성된다. 프레스 단계로서 평탄화 후에, 게이트 배선이 게이트 전극의 일부와 중첩되도록 큰 직경을 갖는 잉크-젯 헤드를 사용하여 형성된다. 게이트 전극 및 게이트 배선을 분리해서 형성시킴으로써, 작업량이 향상될 수 있다.
- [0053] 본 발명은 TFT 구조에 관계 없이 적용될 수 있는데, 예를 들면, 하부 게이트형(역전 스테거링 형; inverted staggered type) TFT 및 스테거링 형 TFT가 사용될 수 있다. 또한, 본 발명은 싱글 게이트 구조 및 복수의 채널 형성 영역들을 갖는 다중 게이트형 TFT에 제한되지 않는데, 예를 들면, 이중 게이트형 TFT가 받아들여질 수 있다.
- [0054] 또한, 게이트 전극들이 반도체층들 상하에 형성되고 채널들(듀얼 채널(dual channel))이 반도체층들 중 하나의 상하에 형성된 듀얼 게이트 구조를 갖는 TFT을 이용할 수 있다.
- [0055] 본 발명에 따르면, 큰 면적을 표시하는 디스플레이의 제조가 액적 토출법에 의해 형성된 매립된 배선을 이용하여 스핀 코팅법없이 수행될 수 있다. 스핀 코팅법과 비교하여, 액적 토출법은 제조 비용을 낮추기 위해 재료 용액을 감소시킬 수 있다.
- [0056] 또한, 가열기가 가열 프레스에 의한 매립된 배선의 평탄화와 동시에 기관과 접촉할 수 있고, 따라서, 균일한 소성이 짧은 시간에 수행될 수 있다. 따라서, 생산성이 향상된다.

### 실시예

- [0085] 본 발명을 수행하기 위한 최상 형태
- [0086] 본 발명의 실시예 모드가 이하에 기술된다.
- [0087] (실시예 모드 1)
- [0088] 여기서, 도 1a 내지 1e 및 도 2a 내지 2d는 스위칭 소자로서 채널 에칭형 TFT가 사용되는 액티브 매트릭스 액정

표시 장치의 제조에 대한 예를 도시하고 있다.

- [0089] 먼저, 액적 토출법에 의해 나중에 형성되는 재료층에의 부착성을 향상시키기 위한 하지층(11)이 기판(10) 위에 형성된다. 하지층(11)은 그것이 매우 얇게 형성되는 한 항상 층 구조를 가질 필요는 없다. 따라서, 하지층(11)의 형성은 하지 전처리로 간주될 수 있다. 광촉매 물질(photocatalytic substance)(산화 티타늄( $TiO_x$ ), 티탄산염 스트론튬( $SrTiO_3$ ), 셀렌화 카드뮴( $CdSe$ ), 탄탈산염 칼륨( $KTaO_3$ ), 황화 카드뮴( $CdS$ ), 이산화지르코늄( $ZrO_2$ ), 산화 니오븀( $Nb_2O_5$ ), 산화 아연( $ZnO$ ), 산화 제2철( $Fe_2O_3$ ), 산화 텅스텐( $WO_3$ ))이 스프레이법 또는 스퍼터링법에 의해 전면에도포될 수 있다. 대안적으로는, 유기 재료(폴리마이드, 아크릴 또는 실리콘과 산소를 결합하는 것에 의해 골격 구조가 형성되고 치환기에 수소, 불소, 알킬 또는 방향성 탄화수소 중 적어도 하나를 포함하는 재료를 사용하는 도포된 절연막)를 선택적으로 형성하기 위한 처리가 잉크-젯법 또는 졸-겔법을 사용하여 수행될 수 있다.
- [0090] 광촉매는 광촉매 기능을 갖는 재료를 지시한다. 광촉매는 자외선 영역(파장: 400nm 이하, 바람직하게 380nm 이하)의 광으로 조사될 때 활성화된다. 광촉매 상에, 용매에 함유된 도전성 재료를 잉크-젯법에 의해 토출함으로써 미세 패턴이 유도된다.
- [0091] 예를 들면,  $TiO_x$ 는 친수성은 아니나 친유성을 띠는데, 즉 광에 의해 조사되기전에 발수성(water repellent)을 띤다. 광 조사는 광촉매를 활성이 되게 하고,  $TiO_2$ 는 친수성 및 비-친유성, 즉, 발유성(oil repellent)으로 전환된다.  $TiO_2$ 는 조사 시간의 길이에 따라서 친수성 및 친유성으로 동시에 될 수 있음을 이해할 것이다.
- [0092] 친수성은 물에 젖기 쉬운 상태를 의미하고,  $30^\circ$  이하의 접촉각을 갖는다. 특히,  $5^\circ$  이하의 접촉각을 갖는 상태는 극-친수성(super-hydrophilic)으로 언급된다. 다른 한편, 발수성은 물에 젖기 어려운 상태를 의미하고,  $90^\circ$  이상의 접촉각을 갖는다. 유사하게, 친유성은 오일에 젖기 쉬운 상태를 의미하고, "발유성"은 오일에 젖기 어려운 상태를 의미한다. 접촉각은, 형성면과 적하된 도트의 예지 상의 액적에의 접선에 의해 이루어지는 각을 의미한다.
- [0093] 수계 용매(water-based solvent)를 사용하는 경우에, 잉크-젯 노즐의 노즐로부터 액적을 스무스하게(smoothly) 토출하기 위해 계면활성제를 첨가하는 것이 바람직하다. 잉크-젯 노즐 대신에, 포그 발생 노즐(fog generating nozzle) 또는 디스펜서 노즐이 또한 사용될 수 있다.
- [0094] 오일(알코올)계 용매 내로 혼합된 도전성 재료를 토출하는 경우에, 배선은 광으로 조사되지 않은 영역(이하 비-조사 영역으로 언급됨)에 도전성 재료를 토출하고, 전술한 비-조사 영역으로부터 또는 그 영역으로 도트를 토출함으로써 유사하게 형성될 수 있다.
- [0095] 비극성 용매 또는 낮은 극성 용매가 오일(알코올)계 용매로서 사용될 수 있음을 이해할 것이다. 예를 들면, 테르피네올, 광물성 주정제(mineral spirit), 크실렌, 톨루엔, 에틸 벤젠, 메시틸렌, 헥산, 헵탄, 옥탄, 데칸, 도데칸(dodecane), 시이클로헥산 또는 시이클로옥탄이 사용될 수 있다.
- [0096] 또한, 광촉매 활성이 천이 금속( $Pd, Pt, Cr, Ni, V, Mn, Fe, Ce, Mo$ , 또는 W과 같은)을 광촉매 물질 내로 적하함으로써 향상될 수 있고, 광촉매 활성은 가시광선 영역(파장: 400 내지 800nm)의 광에 의해 야기될 수 있다. 이것은 천이 금속이 넓은 밴드 갭을 갖는 활성 광학촉매의 금지 대역 내에 새로운 레벨을 형성할 수 있고, 가시광 영역까지 광 흡수 범위를 확대시킬 수 있기 때문이다. 예를 들면, Cr 또는 Ni과 같은 억셉터형(acceptor type), V 또는 Mn과 같은 도너형(donor type), Fe과 같은 양성형 또는 Ce, Mo, 또는 W과 같은 다른 형태가 적하될 수 있다. 따라서 광의 파장은 광촉매 물질에 따라서 결정될 수 있다. 그러므로, 광 조사는 광촉매 물질을 광촉매적으로 활성화시키는 그러한 파장을 갖는 광으로 조사되는 것을 의미한다.
- [0097] 광촉매 물질이 진공 또는 수소 환류 하에서 가열되고 환원되는 경우에, 산소 결합이 결정으로 발생한다. 전이 소자를 적하하는 것이 없다면, 이 방법에서 산소 결합은 전자 도너와 유사한 역할을 한다. 특히, 졸-겔법으로 형성하는 경우, 광촉매 물질은 환원되지 않는데, 산소 결합이 애초부터 존재하기 때문이다. 또한, 산소 결합은  $N_2$  등의 가스를 적하함으로써 형성될 수 있다.
- [0098] 여기서, 기판 위에 도전성 재료를 토출하는 경우에 부착력을 향상시키기 위한 하지 전처리를 수행하는 예가 그것에 특별한 제한없이 도시되었다. 재료층(예를 들면, 유기층, 무기층 또는 금속층)이 액적 토출법에 의해 형성되는 경우, 또는 재료층(예를 들면, 유기층, 무기층 또는 금속층)이 액적 토출법에 의해 토출된 도전층 상에 또한 형성되는 경우에,  $TiO_x$ 막이 재료층 사이의 부착력을 향상시키기 위해 형성된다. 즉, 액적 토출법에 의해

도전성 재료를 토출함으로써 패턴들을 제조하는 경우에, 부착력을 향상시키기 위해 도전성 재료층의 계면 위에서 및 아래에서 하지 전처리를 수행하는 것이 바람직하다.

- [0099] 또한, 3d 층이 금속(Sc,Ti,Cr,Ni,V,Mn,Fe,Co,Cu,Zn 등), 산화물, 질화물 또는 그것들의 질산화물이 광촉매 재료에 제한 없이 하지층(11)으로서 사용될 수 있다.
- [0100] 바람 불규산염 유리, 알루미늄 불규산염 유리 또는 퓨전 방법 또는 플로우팅 방법으로 제조된 알루미늄규산염 유리와 같은 비-알칼리성 유리 기관외에, 처리 온도 등에 견딜 수 있는 열 저항을 갖는 플라스틱 기관 등이 기관(10)으로서 사용될 수 있다. 또한, 반사형 액정 표시 장치의 경우단결정 실리콘과 같은 반도체 기관, 스테인리스강과 같은 금속 기관 또는 표면에 절연층을 구비한 세라믹 기관이 도포될 수 있다.
- [0101] 이어서, 절연막이 스퍼터링법, CVD 법 또는 액적 토출법으로 전면에 형성된다. 이 절연막에 대해, 무기 재료(산화 실리콘, 질화 실리콘, 산질화 실리콘 등), 감광성 또는 비-감광성 유기 재료(폴리이미드, 아크릴, 폴리이미드, 폴리이미드 아미드, 레지스트 또는 벤조시클로뷰텐) 또는 그들의 적층물(lamination) 등이 사용될 수 있다. 또한, 절연막으로서, 실록산계 폴리머를 사용하여 얻어지는 알킬기를 포함하는 SiO<sub>x</sub> 막이 도포될 수 있다.  
연이어 형성된 게이트 배선의 두께 및 전기 저항성은 절연막의 폭으로서 폭에 의해 결정된다. 큰 면적의 화면을 갖는 액정 표시 장치를 형성하는 경우에, 낮은 저항을 갖는 게이트 배선을 형성하는 것이 바람직하다. 절연막의 두께는 두꺼울 수 있는데, 예를 들면, 1 μm 내지 100 μm로 세팅될 수 있다. 여기서는, 절연막의 두께가 5 μm으로 세팅된다. 또한, 바람직한 부착력을 갖는 절연막이 하지층(11)에 의해 형성된다.
- [0102] 후속하여, 감광성 수지(일반적으로 레지스트)를 포함하는 마스크(13)가 형성된다. 마스크(13)는 액적 토출법 또는 인쇄법(릴리프 인쇄, 평판, 구리판 인쇄, 스크리닝 장비 등)에 의해 형성된다. 비록 원하는 마스크 패턴이 액적 토출법 또는 인쇄법에 의해 직접 형성될 수 있지만, 고선명도를 얻기 위해서, 액적 토출법 또는 인쇄법에 의해 전면에 레지스트막을 형성한 후, 원하는 마스크 패턴이, 도 4a 및 도 4b에 도시된 레지스트 제거 장치를 사용하고, 포토마스크를 사용하여 노출을 수행함으로써 얻어지는 것이 바람직하다.
- [0103] 도 4a 및 도 4b에 도시된 레지스트 제거 장치는 기관을 스핀시키지 않고 기관의 현상 및 세정을 할 수 있다. 도 4a는 기관 지지부(384)에 고정된 큰 면적 기관(300)이 운반되면서 레지스트 제거 노즐(381)로부터 레지스트 제거 용액이 토출되는 것에 대한 측면도이다. 화소(302)의 네 파트가 큰 면적 기관(300)으로부터 제조되어 얻어질 수 있다. 이어서, 세정수(washing water)가 탈이온수 노즐(382)로부터 분출되고, 가스가 블로우 노즐(383)로부터 분출된다. 큰 면적 기관(300)이 도 4b의 단면도에 도시된 바와 같이, 각(θ)을 갖도록 경사지게 배열된다. 각(θ)은 0° < θ < 90°, 바람직하게는, 45° < θ < 90°의 범위일 수 있다. 도 4b에서, 참조 번호 303은 레지스트막을 지시한다. 복수의 레지스트 제거 용액 노즐들(380)로부터 레지스트막(303)으로 토출된 레지스트 제거 용액이 중력에 의해 기관 표면을 따라 흐른다. 또한, 각(θ)은 90° < θ < 120°로 세팅되고, 레지스트 제거 용액은 고압으로 복수의 레지스트 제거 용액 노즐(381)로부터 분출될 수 있다. 이 경우에, 용액은 기관(300)상을 흐르지않고 적하하고, 따라서, 용액의 불균일성을 방지할 수 있다. 유사하게, 세정수는 탈이온수 노즐(382)로부터 분출하고, 가스는 고압으로 블로우 노즐(383)로부터 분출된다.
- [0104] 후속하여, 절연층(14)이 오목부(12)를 형성하도록 절연막을 선택적으로 에칭함으로써 형성된다(도 1a). 이 에칭에서, 절연막 재료, 에천트(etchant) 및 에칭 가스가 적절하게 조절되어 하지층(11)이 에칭 스톱퍼로서 기능하도록 한다.
- [0105] 후속하여, 재료 용액이 액적 토출법, 일반적으로 잉크-젯법에 의해 마스크(13)는 남겨두고 오목부를 향해 적하된다. 그 후에, 소성이 산소 분위기에서 수행되어 게이트 전극 또는 게이트 전극 또는 게이트 배선으로 작용하는 수지를 포함하는 금속 배선(15)을 형성한다(도 1b). 정확한 패턴 모양, 특히, 작은 폭을 갖는 배선이 얻어지는데, 오목부가 미리 절연층(14)에 형성되기 때문이다. 여기서, 게이트 배선이 될 수지를 포함하는 금속 배선(15)의 폭은 1 μm로 세팅된다. 도 1b는 임시 소성 전의 기관의 상태를 도시하고 있다. 여분의 액적(16)이 마스크(13) 상에 남겨진 경우에도, 그 액적은 마스크 제거의 다음 단계에서 동시에 제거될 수 있는데, 마스크를 소액성(lyophobic) 상태로 세팅시킴으로써 금속 배선으로부터 분리되어 소성이 수행될 수 있기 때문이다.
- [0106] 또한, 큰 폭의 배선이 동시에 얻어질 수 있다. 단부를 향해 연장되는 배선(40)이 수지를 포함하는 금속 배선(15)과 동일한 방법으로 형성된다. 여기서, 단부를 향해 연장되는 배선(40)의 폭은 30 μm로 세팅된다. 한편, 여기에는 도시되지 않았지만, 저장 용량 형성을 위한 용량 전극 또는 용량 배선이 필요한 경우 형성된다.
- [0107] 배선 재료로서, 금(Au), 은(Ag), 구리(Cu), 백금(Pt), 팔라듐(Pd), 텅스텐(W), 니켈(Ni), 탄탈륨(Ta), 비스무스(Bi), 납(Pb), 인듐(In), 주석(Sn), 티타늄(Ti), 또는 알루미늄(Al) 중 어느 하나; 그들의 합금; 그들의 분산

된 나노입자들(nanoparticles); 또는 할로겐화 은 입자가 사용될 수 있다. 특히, 게이트 배선은 낮은 저항값이 바람직하다. 따라서, 바람직하게 금, 은, 또는 구리 중 하나가 용매에 용해 또는 분산된 재료가 사용되고, 더욱 바람직하게 낮은 저항값을 갖는 은 또는 구리가 특정 저항값을 고려하여 사용된다. 그러나, 은 또는 구리를 사용하는 경우에, 배리어 금속막(Ta, TaN, Ti, TiN, W, WN 등)이 금속 원소(은 또는 구리)의 분산을 막기 위해 추가적으로 구비된다. 용매는, 뷰틸 아세테이트와 같은 에스테르, 이소프로필 알콜과 같은 알콜 또는 아세톤과 같은 유기 용매 등이 사용된다. 표면 장력 및 점성은 용매 농도의 조정 및 계면 활성제의 첨가 등에 의해 적절하게 조정된다.

[0108] 한편, 금속 배선은, 예를 들면, 구리의 표면이 은으로 코팅된 금속 입자와 같은 전술한 금속 재료의 화합물 상태로 용매에서 입자를 분산 또는 용해하는 것에 의한 액적 토출법에 의해 형성된다. 구리의 표면은 은으로 코팅되고, 따라서, 하지막을 형성하는 경우 또는 하지 전처리를 수행하는 경우에 부착력이 향상된다. 또한, 구리의 요철이 은으로 코팅함으로써 스무스하게 만들어질 수 있다. 대안적으로, 구리의 표면이 용매에서 전체적으로 은으로 더 코팅된 버퍼층(Ni 또는 NiB)으로 코팅된 금속 입자를 분산 또는 용해시키는 것에 의한 액적 토출법에 의해 금속 배선이 형성될 수 있다. 버퍼층은 구리(Cu)와 은(Ag) 사이의 부착력을 증가시키기 위해 구비된다.

[0109] 액적 토출법에 사용된 노즐 직경은 0.02 $\mu$ m 내지 100 $\mu$ m (바람직하게 30 $\mu$ m 이하)로 세팅되고, 바람직하게 노즐에서 토출되는 혼합물의 토출량은 0.001p1 내지 100p1(바람직하게 10p1 이하)로 세팅된다. 액적 토출법은 주문형 및 연속형의 두 가지 형태가 있는데, 양자 모두 사용된다. 더욱이, 액적 토출법에 사용되는 노즐로서, 전압을 인가함으로써 변압되는 특성을 이용하는 압전 시스템과, 노즐에 구비된 가열기에 의해 혼합물을 비등시키고 혼합물을 토출시키는 가열 시스템이 있는데, 양자 모두 사용된다. 물체와 노즐의 토출 개구 사이의 공간(spacing)은 원하는 공간에 액적을 적하시키기 위해 가능한 한 가깝게 형성되는 것이 바람직한데, 0.1mm 내지 3mm (바람직하게 1mm 이하)로 세팅되는 것이 바람직하다. 상대적인 공간을 유지하면서, 노즐 및 물체 중 하나는 이동하고 원하는 패턴이 유도된다. 또한, 플라즈마 처리가 혼합물을 토출하기에 앞서 물체의 표면에서 수행된다. 이것은 플라즈마 처리가 수행되는 때에, 물체 표면이 친수성 및 소액성으로 되는 것을 이용하는 것이다. 예를 들면, 탈이온수에 대하여 친수성이 되고, 알코올에 용해된 페이스트에 대하여 소액성이 된다.

[0110] 혼합물 토출 단계는 낮은 압력에서 수행되어, 혼합물의 용매는 휘발되고, 혼합물은 토출되어 물체상에 가격되어, 다음의 건조 및 소성 단계가 생략 또는 단축될 수 있다. 혼합물을 토출한 후에, 건조 및 소성 중 어느 하나 또는 양 단계가 대기압 또는 낮은 압력하에서 레이저광의 조사, 금속 열 어닐링, 가열로(heating furnace)등에 의해 수행된다. 건조 및 소성의 양 단계는 열 처리 단계가다. 예를 들면, 건조는 100 $^{\circ}$ C에서 3분 동안 수행되고, 소성은 200 $^{\circ}$ C 내지 350 $^{\circ}$ C의 온도에서 15 내지 120분 동안 수행되는데, 양자의 대상, 온도 및 시간이 상이하다. 건조 및 소성 단계를 잘 수행하기 위해서, 기판 재료 등에 의존하여, 기판이 100 $^{\circ}$ C 내지 800 $^{\circ}$ C (바람직하게 200 $^{\circ}$ C 내지 350 $^{\circ}$ C)로 세팅되게 가열된다. 이 단계를 통하여, 혼합물 중 용매는 휘발되고, 분산제는 화학적으로 제거되며, 수지 주위는 경화되고 수축되어 용해와 웰딩(welding)을 촉진시킨다. 즉, 소성된 배선 및 전극은 수지를 포함한다. 건조 및 소성 단계는 산소 분위기, 질소 분위기 또는 대기하에서 수행된다. 그러나, 이 단계는 금속 원소를 분해 또는 분산시키는 용매가 용이하게 제거되는 산소 분위기하에서 수행되는 것이 바람직하다.

[0111] 액적 토출법에 의해 형성된 금속막의 부착력은 하지막의 형성 또는 하지 전처리에 의해 현저하게 향상될 수 있다. 금속층은 희 플루오르수소산(1:100으로 희석)에서 1분 이상 동안 침지되는 경우에도 지탱될 수 있고; 그러므로, 충분한 부착력이 테이프 필링(peeling) 시험에서도 얻어질 수 있다.

[0112] 또한, 금속층의 부착력이 또한 절연층(14)을 소액성 재료 또는 절연층(14)의 측벽을 소액성으로 만드는 것에 의해 향상될 수 있다.

[0113] 후속하여, 레지스트를 포함하는 마스크(13)가 제거된다. 이 단계에서, 금속층은 절연층 표면보다 높게 상승된다. 도 4a 및 도 4b에 도시된 장치와 유사한 장치를 사용하여 노즐에서 용매(보다 얇아짐)를 토출한 후에, 세정 및 건조가 연속적으로 수행된다. 또한, 세정뿐만 아니라 초음파 클리닝(cleaning)이 수행된다.

[0114] 후속하여, 평탄화 처리, 예를 들면, 프레스 또는 화학-기계적 폴리싱(이하 "CMP"로 언급됨)가 수행된다(도 1c).

[0115] 자동적으로 가압하는 가열-프레스 장치의 예가 도 5a에 도시되었다. 가열-프레스 장치는 한 쌍의 상부 및 하부 가열 판(52, 53)을 포함하고, 시료가 한 쌍의 가열판 사이에 개재되고, 상부 가열판(53)을 아래로 이동하는 것에 의해 압착된다. 가압은 유리 기판이 파손되지 않는 범위의 압력(0.5 kgf/cm<sup>2</sup> 내지 1.0 kgf/cm<sup>2</sup>)에서 수행

된다. 가열기(58a, 58b)는 가열판(52, 53)에 각각 포함되고, 하부측의 가열판은 고정된다. 상부 가열판(53)은 상하로 자유롭게 이동되는 지지부들(55a, 55b)과 함께 배치된다. 가열판(52, 53)과 함께, 상부 판(54)이 그 표면에 테플론 코팅막(56)을 구비하고, 기관(51)은 피처리층(57)을 구비한다. 여기서, 피처리 층(57)은 절연층(14) 및 금속 배선(15)을 나타낸다. 금속 배선(15)의 노출 표면은 프레스에 의한 평탄화에 의해 절연층(14)의 표면과 일치한다. 금속 배선(15)의 패턴은 신장(stretch)되지 않는데, 절연층(14)이 프레스 후에도 두께 및 폭을 유지하기 때문이다. 임시로 소성된 기관을 프레스하고 프레스되는 기관을 소성 온도까지 가열함으로써 소성이 짧은 시간내에 수행된다. 큰 면적 기관에서, 큰 소성실이 요구되고, 따라서, 전체 소성실이 가열되는 때에는 소성 처리 시간이 보다 길어질 수 있다.

[0116] 다른 가압 장치가 도 5b에 도시되었는데, 도 5a에 도시된 것과 상이하다. 기관(61)이 롤러(62) 및 피드 롤러(feed roller, 63) 사이에 개재된다. (도면에 도시되지 않은) 프레스 수단을 이용하여, 기관(61)이 구동 및 회전되는 피드 롤러(63)로 인한 가압에 의해 프레스된다. 롤러(62)는 그것의 표면에 테플론 코팅막(66)을 구비하고, 피드 롤러(63)와 함께 쌍을 만들도록 그에 대향하여 배열되는 금속재 원통 몸체이다. 이어서, 복수의 이송 롤러가 배열되고 구동 수단에 의해 회전되는 롤러 콘베이어(64)가 피드 롤러(63)에 인접하게 구비되어, 기관(61)을 공급하고 운반한다. 또한, 기관은 피처리 층을 구비한다. 또한, 열 조절 능력을 갖는 외장된 가열기가 롤러(62) 및 피드 롤러(63) 내부에 구비되어 롤러의 표면을 가열된 상태로 유지시킨다.

[0117] 프레스 장치들 중 하나는 프레스에 의한 평탄화를 수행할 수 있다. 긴 시간 또는 고온에서 가열-프레스를 수행하는 경우에, 도 5a에 도시된 프레스 장치가 적절하다. 다른 한편, 짧은 시간 또는 낮은 온도에서 가열-프레스를 수행하는 경우에, 도 5b에 도시된 프레스 장치가 적절하다. 양 프레스 장치에서 피처리 층의 성분 재료의 부착을 방지하는 테플론 코팅막(56, 66)이 구비된다.

[0118] 여기서, 다른 제조 단계가 도 6a 내지 6e를 참조하여 기술된다. 액적 토출법에서, 복수의 노즐에서 상이한 종류의 재료를 토출할 수 있는 장치가 사용된다. 절연층(74)을 형성하도록 기관(10) 상에 하지층(11)이 형성되는 단계는 전술된 단계와 동일하고, 따라서 그것은 기술되지 않는다. 수용성 수지(77) 및 레지스트를 포함하는 마스크(73)가 도 6a에 도시된 것과 동일한 장치로 절연층(74) 위에 토출된다. 수용성 수지(77)는 레지스트 재료가 높은 유동성을 갖는 경우 또는 레지스트 재료가 소성시에 그것의 유동성을 증가시키는 경우에 패턴의 변형을 방지하기 위해 사용된다. 또한, 수용성 수지(77)는 레지스트가 필요하지 않은 영역, 예를 들면, 기관 둘레 영역을 보호한다. 이어서, 소성 또는 광-경화 후에 물로 세정이 수행되어 도 6b에 도시된 바와 같이 수용성 수지만이 제거된다. 도 6b는 임시 소성 전의 상태를 도시하고 있다는 것을 명심하자. 따라서 얻어진 마스크(73)를 사용함으로써, 도 6c에 도시된 바와 같이, 절연막(74)을 선택적으로 에칭하는 것에 의해 미세 패턴이 얻어진다. 후속하여, 배선(75, 40)이, 도 6d에 도시된 바와 같이, 액적 토출법에 의해 형성되고, 마스크(73)에 부착한 여분의 액적(76)과 마스크가 동시에 제거된다. 그 후에, 평탄화가 프레스에 의해 도 6e에 도시된 바와 같이 수행된다. 도 6a 내지 6e에 도시된 레지스트 마스크 형성 단계를 이용하는 경우에, 마스크(73)는 그 단부가 굽은 구조를 취한다. 따라서, 여분의 액적(76)과 배선(75) 사이의 공간은 더 넓어질 수 있다. 수용성 수지는 일례로서 기술되었다. 그러나, 그것에 제한되지 않고, 마스크에서 불용성인 물 외의 용매를 포함하는 재료를 형성한 후에, 재료만이 그 용매에서 용해될 수 있다.

[0119] 도 6a 내지 6e 또는 도 1a 내지 1c에 도시된 단계가 사용될 수 있다.

[0120] 후속하여, 게이트 절연막(18), 반도체막 및 n-형 반도체막이 플라즈마 CVD 법 또는 스퍼터링법에 의해 순차적으로 형성된다. 이 실시예 모드에서, 배선 위까지도 편평한 표면을 갖는 매립된 배선이 사용되고, 따라서, 각 막 두께가 작은 경우에도 커버리지 결함이 발생하지 않는다. 예를 들면, 게이트 절연막(18)의 두께는 플라즈마 CVD 법 또는 스퍼터링법에 의해 1 nm 내지 200 nm로 세팅될 수 있다.

[0121] PCVD 법 또는 스퍼터링법으로 얻은 산화 실리콘, 질화 실리콘 또는 산질화 실리콘을 주로 함유하는 재료가 게이트 절연막(18)으로서 사용된다. 바람직하게 게이트 절연막(18)은 10nm 내지 50nm의 두께로 형성되고, 실리콘을 포함하는 절연층의 단층 또는 다층 구조로 형성된다.

[0122] 이런 방법으로, 작은 두께의 절연층을 형성하기 위해 플라즈마 CVD 법을 사용하는 경우에, 형성물을 감소시킴으로써 바람직한 제어성으로 작은 막 두께를 얻는 것이 필요하다. 예를 들면, RF 전력이 100W, 주파수가 10kHz, 압력이 0.3Torr, N<sub>2</sub>O 가스 유동률이 400sccm, 그리고 SiH<sub>4</sub> 가스 유동률이 1sccm으로 주어질 때, 산화 실리콘막의 전착율은 6nm/min으로 세팅될 수 있다.

[0123] 또한, 게이트 절연막(18)은 알킬기를 포함하는 SiO<sub>x</sub>막을 얻기 위해 실록산계 폴리머를 사용하여 액적 토출법에

의해 토출 및 소성될 수 있다. 액적 토출법에 의해 게이트 절연막(18)을 형성하는 경우에 막 두께는 100 nm 이상이 된다는 것을 명심하자.

- [0124] 실란 및 게르마늄으로 정형화되는 반도체 재료 가스를 사용하여 기상 성장법(vapor phase growth method), 스퍼터링법 또는 열 CVD 법으로 제조된 비정질 반도체막 또는 세미아몰퍼스 반도체막으로 반도체막이 형성된다.
- [0125] 비정질 반도체막으로서,  $\text{SiH}_4$  또는  $\text{SiH}_4$  및  $\text{H}_2$  혼합 가스를 사용하여 PCVD 법에 의해 비정질 실리콘막이 얻어진다. 또한, 세미아몰퍼스 반도체막으로서,  $\text{SiH}_4$ 가  $\text{H}_2$ 에 1:3 내지 1:1000로 희석화된 가스 혼합물,  $\text{Si}_2\text{H}_6$ 가 가스 유동률 20:0.9 내지 40:0.9 ( $\text{Si}_2\text{H}_6$  :  $\text{GeF}_4$ )로  $\text{GeF}_4$ 에 희석된 가스 혼합물, 또는  $\text{Si}_2\text{H}_6$  및  $\text{F}_2$  혼합물을 사용하여 PCVD 법으로 얻어진 세미아몰퍼스 실리콘막이 사용될 수 있다. 세미아몰퍼스 실리콘막이 바람직하게 사용될 수 있는데, 하지와의 계면에 따라 결정도가 주어지기 때문이다.
- [0126] n-형 반도체막이 실란 가스 및 포스핀(phosphine) 가스를 이용하여 PCVD 법으로 형성될 수 있는데, 그 반도체막은 비정질 반도체막 또는 세미아몰퍼스 반도체막으로 형성될 수 있다. 이 반도체막과 전극(나중의 단계에서 형성되는 전극)의 접촉 저항은 n-형 반도체막(20)이 제공되는 경우에 감소하는데, 이것이 바람직하다. 그러나, n-형 반도체막은 필요한 경우에 형성될 수 있다.
- [0127] 게이트 절연막(18), 반도체막 및 n-형 반도체막은 바람직하게 선택적으로 형성되는데, 이것은 도 9에 도시된 장치의 사용에 의해 가능하다. 도 9에 도시된 장치는 기관(900)을 페이스 다운 방법(face down method)으로 운송하고, 대기압 플라즈마 CVD 장치(901, 902, 903)로 연속적인 성막이 가능하다. 단계 가스 도입 슬릿 및 단계 가스 토출 슬릿이 대기압 플라즈마 CVD 장치(901, 902, 903) 각각에 구비된다. 막은 기관(900)이 양 슬릿 사이의 영역 부근을 통과할 때 형성될 수 있다. 단계 가스 토출 슬릿은 기관 운송 통로(904)의 상류에 구비되고, 단계 가스 도입 슬릿은 그것의 하류에 구비된다. 도 9에 도시된 장치는 기관 중 하나인 기관(900)의 일부가 CVD 장치 위를 통과한 후에 성막을 수행할 수 있다. 전면에 걸쳐 게이트 절연막을 형성하는 경우에, 액적 표시 장치의 액티브 매트릭스 기관에서, 화소부의 게이트 절연막을 에칭할 필요는 없다, 단자부 내의 단자 전극이 노출되는 경우에 게이트 절연막을 제거할 필요가 있다. 그러나, 도 9에 도시된 장치가 사용되는 경우에, 단자부 내의 단자 전극이 제공되는 영역의 게이트 절연막을 형성하지 않고 단지 화소부만을 도포하는 게이트 절연막이 얻어질 수 있다.
- [0128] 후속하여, 마스크(21)가 구비되고, 반도체막 및 n-형 반도체막이 선택적으로 에칭되어 섬 모양의 반도체막(19) 및 n-형 반도체막(20)이 얻어진다(도 1d). 마스크(21) 형성 방법으로서 도 1a, 도 6a 및 도 6b에 도시된 한 방법이 사용될 수 있다.
- [0129] 후속하여, 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄) 등)를 포함하는 혼합물이 액적 토출법에 의해 선택적으로 토출되어 소스 또는 드레인 배선(22, 23)을 형성한다. 유사하게, (도면에 도시되지 않은) 접촉 배선이 단자부에 형성된다(도 1e). 대안적으로, 소스 또는 드레인 배선(22, 23)이, 액적 토출법에 의해 대체되는 스퍼터링법에 의한 금속막 형성 후에 패터닝에 의해 형성된다.
- [0130] 후속하여, n-형 반도체막 및 반도체막의 상부층이 마스크로서 소스 또는 드레인 배선(22, 23)을 사용하여 에칭되어 도 2a에 도시된 상태를 얻는다. 이 단계에서, 채널 형성 영역(24), 소스 영역(26) 및 드레인 영역(25)을 포함하는 채널 에칭형 TFT가 완성된다.
- [0131] 후속하여, 채널 형성 영역(24)이 불순물에 의해 오염되는 것을 방지하기 위한 보호막(27)이 형성된다. 보호막(27)에 대해, 스퍼터링법 또는 PCVD 법으로 얻은 질화 실리콘 또는 산질화 실리콘을 주로 함유하는 재료가 사용된다. 또한, 보호막(27)은 선택적으로 도 9에 도시된 CVD장치로 형성될 수 있다. 여기서, 보호막 형성의 예가 도시되었으나, 특히 필요한 경우가 아니면 구비되는 것이 요구되지 않는다.
- [0132] 후속하여, 층간 절연막(28)이 액적 토출법에 의해 선택적으로 형성된다. 에폭시 수지, 아크릴 수지, 페놀 수지, 노볼락 수지(novolac resin), 멜라민 수지, 또는 우레탄 수지와 같은 수지 재료가 층간 절연막(28)으로서 사용된다. 또한, 벤조시클로부텐, 파릴렌, 플레어 또는 발광 폴리이미드와 같은 유기 재료; 실록산계 폴리머와 같은 중합화로 제조된 화합물; 수용성 호모폴리머 및 수용성 코폴리머등을 함유하는 혼합물을 사용하여 액적 토출법에 의해 층간 절연막(28)이 형성된다.
- [0133] 후속하여, 보호막이 마스크로서 층간 절연막(28)을 사용하여 에칭되어 소스 또는 드레인 배선(22, 23)의 일부 위에 도전성 부재를 포함하는 볼록부(필라, 29)를 형성한다. 볼록부(필라)(29)는 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐), 또는 Al(알루미늄)등)를 함유하는 혼합물을 토출 및 소성을 반복함으로써 적층될 수



있다.

- [0134] 후속하여, 볼록부(필라)(29)와 접촉하는 화소 전극(30)이 층간 절연막(28)위에 형성된다(도 1d). 배선(40)과 접촉하는 단자 전극(41)이 유사하게 형성된다. 발광 액정 표시 패널을 제조하는 경우에, 산화 인듐 주석(ITO), 산화 실리콘을 함유하는 산화 인듐 주석(ITSO), 산화 아연(ZnO), 산화 주석(SnO<sub>2</sub>)등을 함유하는 혼합물로 형성된 소정의 패턴이 액적 토출법 또는 인쇄법에 의해 형성되고 소성되어, 화소 전극(30) 및 단자 전극(41)을 형성한다. 반사 액정 표시 패널을 제조하는 경우에, 화소 전극(30) 및 단자 전극(41)은 Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄)과 같은 금속 입자를 주로 포함하는 혼합물로 액적 토출법에 의해 형성될 수 있다. 다른 한 방법으로서, 투명 도전막 또는 광반사 도전막이 스퍼터링법에 의해 형성되고, 마스크 패턴이 액적 토출법에 의해 형성되어, 화소 전극이 추가의 에칭에 의해 형성된다.
- [0135] 액적 토출법에 의해 화소 전극과 같은 비교적 큰 면적의 패턴을 형성하는 경우에, 요철이 발생하는 위험이 있다. 따라서, 화소 전극(30) 표면이 도 5a 및 도 5b에 도시된 프레스 장치로 가열-프레스하여 평탄화되는 것이 바람직하다. 또한, 화소 전극(30)의 재료로서 결정화를 위해 소성을 필요로하는 산화 인듐 주석(ITO)과 같은 재료를 사용하는 경우에, 프레스 및 소성이 동시에 수행될 수 있다.
- [0136] 도 3은 일례로서 도 2d의 한 단계의 화소의 평면도이다. 도 3에서, A-B의 체인 선을 따르는 단면도는 도 2d에 도시된 단면도와 대응한다. 동일한 참조 번호가 대응하는 부품에 주어진다.
- [0137] 보호막(27)이 구비되는 일례가 여기서 기술되고, 따라서, 층간 절연막(28) 및 볼록부(필라)(29)가 분리되어 형성된다. 그러나, 보호막이 구비되지 않는 경우에는, 층간 절연막(28) 및 볼록부(필라)(29)는 액적 토출법에 의해 동일한 장치(예를 들면, 도 7, 도 8a 내지 8c에 도시된 장치)에 의해 형성될 수 있다.
- [0138] 보호막(27)이 구비되는 일례가 여기서 기술되고, 따라서, 층간 절연막(28) 및 볼록부(필라, 29)가 분리되어 형성된다. 그러나, 보호막이 구비되지 않는 경우에는, 층간 절연막(228) 및 볼록부(필라, 229)는 액적 토출법에 의해 동일한 장치(예를 들면, 도 7, 도 8a 내지 8c에 도시된 장치)로 형성될 수 있다.
- [0139] 도 7에서, 참조 번호 1500은 큰 크기의 기관, 1504는 영상 장치, 1507은 스테이지, 1511은 마커(marker), 1503은 하나의 패널이 형성된 영역을 나타낸다. 하나의 패널과 동일한 폭을 갖는 헤드들(1505a, 1505b, 1505c)을 구비한 액적 토출 장치는 주사를 위해 스테이지를, 예를 들면, 지그재그 또는 왕복으로 이동시키어, 재료층의 한 패턴이 적절하게 형성된다. 큰 크기 기관과 동일한 폭을 갖는 헤드를 사용하는 것이 가능하지만, 도 7의 하나의 패널 정도로 넓은 헤드를 동작시키는 것이 보다 용이하다. 또한, 작업량을 향상시키기 위해, 스테이지가 이동하는 동안에 재료를 토출하는 것이 바람직하다.
- [0140] 또한, 헤드들(1505a, 1505b, 1505c) 및 스테이지(1507)에 온도조절 기능을 부여하는 것이 바람직하다.
- [0141] 헤드(노즐 팁) 및 큰 크기 기관 사이의 공간은 약 1mm로 세팅된다는 것을 주의 하자. 히팅(hitting) 정확도는 공간을 좁게 함으로써 강화된다.
- [0142] 주사 방향에 수직한 3개의 선으로 배열된 헤드들(1505a, 1505b, 1505c)은 각 재료층에 대해 상이한 재료를 토출할 수 있거나 또는 하나의 재료를 토출할 수 있다. 한 패턴을 갖는 중간 절연층을 형성하기 위해 3개의 헤드로부터 하나의 재료가 토출되는 경우, 작업량이 향상된다.
- [0143] 도 7에 도시된 장치에 대해서, 헤드가 고정된 동안에 큰 크기 기관(1500)을 이동시키거나, 또는 큰 크기 기관(1500)이 고정되어 있는 동안에 헤드를 이동시키는 것에 의해 주사가 수행된다.
- [0144] 액적 토출 유닛의 헤드들(1505a, 1505b, 1505c)의 각각은 제어 유닛에 연결되고, 그 헤드는 컴퓨터에 의해 제어되며, 따라서, 프로그램화된 패턴이 적용될 수 있다. 토출량은 인가되는 펄스 전압에 의해 제어된다. 액적은 기관에 형성된 마커에 기초한 타이밍에 토출될 수 있다. 대안적으로, 액적 토출의 위치는 기관 에지에 근거하여 결정될 수 있다. 그러한 기준점은 CCD와 같은 영상 유닛에 의해 탐지되어 영상 처리 유닛에 의해 디지털 신호로 변환된다. 이어서, 그 신호는 컴퓨터에 의해 인식되어 제어 신호를 발생시키고, 제어 신호는 제어 유닛에 보내진다. 물론, 기관 위에 형성되는 패턴에 관한 정보는 기록 매체에 위치된다. 이 정보에 기초하여, 제어 신호는 제어 유닛에 보내지고 액적 토출 유닛의 각각의 헤드는 독립적으로 제어될 수 있다.
- [0145] 도 8에 도시된 바와 같이, 상이한 재료가 동시에 패턴닝되는 경우에, 제 1 재료 용액이, 노즐 유닛(800)의 제 1 열 내의 노즐들로부터 기관(801)을 향하여 토출되어 제 1 재료층(802)을 먼저 형성한다. 이어서, 제 2 재료 용액이, 제 2 열의 노즐에서 토출되어 제 2 재료층(803)을 형성한다. 동일한 배열 때문에 적은 패턴 배열 불량

존재한다. 따라서 토출이 수행되는 경우에, 단계 시간이 더 단축된다.

- [0146] 도 8은 패턴으로서 중간-유동이 형성되는 것에 대한 평면도인데, 도 8b는 제 1열로부터의 토출을 도시하는 단면도이고, 도 8c는 제 2 열로부터의 토출을 도시하는 단면도이다.
- [0147] 도 8a 내지 8c에 도시된 토출법은 제 2 재료층이 높은 유동성을 갖는 경우에도 효율적인데, 제 1 재료층이 액적이 확산되는 것을 방지하기 때문이다.
- [0148] 또한, 수용성 수지 및 마스크 재료가 그 토출법을 사용하여 형성되어 도 6a의 상태를 얻게 된다.
- [0149] 전술된 단계들에 의해, 하부 게이트형(또한 역전 스테거링 형으로 언급됨) TFT 및 화소 전극이 기판(10)에 형성되는 액정 표시 패널용 TFT 기판이 완성된다.
- [0150] 이어서, 배향막(34a)이 화소 전극(30)을 도포하도록 형성된다. 배향막(34a)에 대해, 액적 토출법, 스트린 인쇄법 또는 오프셋 인쇄법이 사용될 수 있다. 그 후에, 러빙(rubbing) 처리가 배향막(34a)의 표면에서 수행된다.
- [0151] 그 후에, 대향 기판(35)에는 컬러링 층(36a), 광 차폐 층(블랙 매트릭스, 36b) 및 오버코팅 층(37)을 포함하는 컬러 필터, 그리고 또한 투명 전극과 그 위에 배향막(34b)을 포함하는 대향 전극(38)이 제공된다. 폐쇄된 패턴을 갖는 (도면에 도시되지 않은) 실링제가 이어서 화소부와 중첩되는 영역을 에워싸도록 액적 토출법에 의해 형성된다. 여기서, 폐쇄된 패턴을 갖는 실링제가 액적 토출법에 의해 형성되는 일례가 그 후의 단계에서 액정을 적하시킬 수 있도록 도시된다. 개구를 갖는 실링 패턴을 제공하고 TFT 기판과 대향 기판을 페이스팅한 후에, 액정이 모세관 현상에 의해 주입되는 딥 코팅법(펌핑 업(pumping up)법)이 사용될 수 있다. 또한, 컬러 필터가 액적 토출법에 의해 형성될 수 있다.
- [0152] 다음으로, 액정이 버블들이 유입되는 것을 방지하도록 감소된 압력하에 적해되고, 양자가 함께 페이스팅된다. 액정은 페쇄-루프 실링 패턴으로 한 번 또는 여러 번 적해된다. 트위스트 네마틱(twisted nematic, TN) 모드가 액정의 정렬 모드로서 대부분 사용된다. 이 TN 모드에서, 액정 분자의 정렬 방향은 광의 편광에 따라 그것의 입구에서 출구로 90° 로 트위스트된다. TN 액정 표시 장치를 제조하는 경우에, 기판이 함께 페이스팅되어 러빙(rubbing) 방향들이 서로 직교한다.
- [0153] 그들 사이에 액정(39)이 개재된 기판 쌍 사이의 공간은, 구형 스페이서를 스프레이하고 수지를 포함하는 원주형 스페이서를 형성하거나 또는 충전제를 실링제 내로 혼합함으로써 유지될 수 있다. 전술된 원주형 스페이서는, 아크릴, 폴리이미드, 폴리이미드아미드 및 에폭시로부터 선택된 적어도 하나의 재료를 주로 함유하는 유기 수지 재료; 산화 실리콘, 질화 실리콘 및 산질화 실리콘 중 어느 한 재료; 또는 이들 재료의 막 스택(stack)으로 구성된 무기 재료로 형성된다.
- [0154] 다음으로, 불필요한 기판이 분할된다. 하나의 기판에서 복수의 패널을 얻는 경우에는, 각 패널은 완전히 분리된다. 한 기판에서 하나의 패널을 얻는 경우에는, 미리 절단된 대향 기판을 페이스팅함으로써 분리 단계가 생략될 수 있다.
- [0155] 공지된 방법에 의해 이방성 도전층(45)을 개재하여 FPC(46)가 단자 전극(41)에 페이스팅된다. 액정 모듈이 앞서의 단계를 통하여 완성된다(도 2d). 또한, 필요한 경우에 광학막이 구비된다. 투과성 액정 표시 장치의 경우에는, 편광기가 액티브 매트릭스 기판 및 대향 기판에 각각 페이스팅된다.
- [0156] 전술된 바와 같이, 이 실시예 모드에 따르면, 액적 토출법에 의한 포토 마스크를 사용하는 노광 단계가 생략되고, 따라서, 공정이 단순화되고 제조 시간이 감소될 수 있다. 액정 표시 패널은 액적 토출법에 의해 기판 상에 직접 각 종류의 패턴을 형성시킴으로써 한 측부가 1000mm를 초과하는 5 세대 후에 유리 기판을 사용하는 경우에도 용이하게 제조될 수 있다. 큰 면적의 패널이 제조될 수 있는데, 낮은 저항을 갖는 매립된 배선이 액적 토출법을 사용하여 형성될 수 있기 때문이다.
- [0157] 이 실시예 모드에서, 스핀 코팅이 수행되지 않고, 포토마스크를 사용하는 노광이 수행되지 않는 처리가 가능하다. 그러나, 제한 없이, 패턴링의 일부가 포토마스크를 사용하여 노광 단계에 의해 수행될 수 있다.
- [0158] (실시예 모드 2)
- [0159] 여기에서, 스위칭 소자로서 채널 에칭형 TFT를 사용하여 액티브 매트릭스 발광 표시 장치를 제조하는 예가 도 20a 내지 20e 및 도 21a 내지 21d에 도시되었다.

- [0160] 먼저, 실시예 모드 1과 유사하게, 하지층(211)이, 기판(210) 상에 나중에 형성되는 재료층과의 부착력을 향상시키기 위해 액적 토출법에 의해 형성된다.
- [0161] 3d 천이 금속(Sc, Ti, Cr, Ni, V, Mn, Fe, Co, Cu, Zn 등), 천이 금속의 산화물, 천이 금속의 질화물, 및 천이 금속의 산질화물로 구성된 그룹에서 선택된 재료가 광학 촉매 재료에 대한 제한 없이 하지층(211)으로서 사용될 수 있다.
- [0162] 바륨 붕규산 유리, 알루미늄 붕규산 유리 또는 확산법 또는 플로팅법에 의해 제조된 알루미늄오규산염 유리와 같은 무-알카리성 유리 외에, 이 제조 단계의 처리 온도에 견딜 수 있는 열 저항을 갖는 플라스틱 기판 등이 기판(210)으로 사용될 수 있다.
- [0163] 후속하여, 실시예 모드 1과 유사하게, 절연막이 스퍼터링법, CVD 법 또는 액적 토출법으로 전면에서 형성된다.
- [0164] 이 절연막으로서, 무기 재료(산화 실리콘, 질화 실리콘, 산질화 실리콘 등), 감광성, 비-감광성 유기 재료(폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 레지스트 또는 벤조시클로뷰텐) 또는 그것의 적층 등이 사용될 수 있다. 대안적으로, 실록산계 폴리머를 사용하여 얻어진 알킬기를 포함하는 SiO<sub>x</sub> 막이 이 절연막으로서 사용될 수 있다. 절연막의 두께에 따라서, 나중에 형성되는 게이트 배선의 두께 및 전기 저항성이 결정된다. 큰 화면을 갖는 발광 표시 장치를 제조하는 경우에, 낮은 저항을 갖는 게이트 배선이 바람직하게 형성되고, 따라서, 절연층이 두껍게, 예를 들면, 1 $\mu$ m 내지 100 $\mu$ m 로 형성된다. 여기서, 절연막의 두께는 5 $\mu$ m로 세팅된다. 바람직한 부착력을 갖는 절연막이 하지층(211)에 의해 형성된다.
- [0165] 후속하여, 실시예 모드 1과 유사하게, 감광성 수지(일반적으로 레지스트)를 포함하는 마스크(213)가 형성된다. 마스크(213)는 액적 토출법 또는 인쇄법(릴리프 인쇄, 평판, 구리판 인쇄, 스크리닝 등)을 사용하여 형성된다.
- [0166] 실시예 모드 1과 유사하게, 절연층(214)이 오목부(212)를 형성하도록 절연막을 선택적으로 에칭하여 형성된다(도 20a). 이 에칭에서, 절연막의 재료, 에칭트 또는 에칭 가스가 적절하게 조절되어 하지층(211)이 에칭 스톱퍼로서 기능한다.
- [0167] 그 후, 실시예 모드 1과 유사하게, 마스크(213)는 남겨둔 상태로, 액적 토출법, 일반적으로 잉크-젯법에 의해 재료 용액이 오목부에 적하된다. 그 후에, 소성이 산소 분위기에서 수행되어, 게이트 전극 또는 게이트 배선이 되는 금속 배선(215a, 215b)을 형성한다(도 20b). 도 20b에서, 금속 배선(215a)은 후에 형성되는 반도체층과 중첩되는 전극을, 금속 배선(215b)은 상부 배선과 접촉하는 배선을 나타낸다. 금속 배선(215b)의 폭은 상부 배선과의 접촉을 유지하도록 금속 배선(215a)의 폭보다 넓다. 여기서, 금속 배선(215b)의 폭은 4 $\mu$ m, 그리고 금속 배선(215a)의 폭은 2 $\mu$ m로 세팅된다.
- [0168] 오목부가 미리 절연층(214)에 의해 형성되기 때문에, 정확한 패턴 모양, 특히 작은 폭을 갖는 금속 배선(215a)이 얻어질 수 있다. 또한, 큰 폭을 갖는 금속 배선이 동시에 얻어질 수 있다. 도 20b는 임시 소성 전의 기판의 상태를 도시하고 있다. 여분의 액적(216)이 마스크(213) 상에 남겨지더라도, 그 여분의 액적은 마스크 제거의 나중 단계에서 마스크와 동시에 제거될 수 있는데, 이는 소성이 마스크를 소액성으로 세팅함으로써 금속 배선으로부터 분리되어 수행되기 때문이다.
- [0169] 단자부를 향해 연장되는 배선(240)이 금속 배선(215a, 215b)과 동일한 방법으로 형성된다. 여기에는 도시되지 않았지만, 발광 소자에 전류를 공급하기 위한 전원선이 형성될 수 있다. 또한, 저장 용량 형성을 위한 용량 전극 및 용량 배선이 필요한 경우에 형성된다.
- [0170] 또한, 금속층의 부착력이 또한, 절연층(214)을 소액성으로 하거나 또는 절연층(214)의 측벽을 소액성으로 함으로써 측벽상에서 향상된다.
- [0171] 후속하여, 실시예 모드 1에 유사하게, 레지스트를 포함하는 마스크(213)가 제거된다. 이 단계에서, 금속층은 절연층 표면보다 높게 상승될 수 있다.
- [0172] 후속하여, 실시예 모드 1과 유사하게, 평탄화 처리, 예를 들면, 프레스 처리 또는 CMP가 수행된다(도 20c). 금속 배선(215a, 215b)의 노출 표면은 프레스에 의한 평탄화로 절연층(214)의 노출 표면과 일치하게 된다. 금속 배선(215a, 215b) 패턴 각각은 신장되지 않는데, 이는 절연층(214)이 프레스 후에도 두께 및 폭을 유지하기 때문이다. 임시-소성된 기판을 프레스하고 소성 온도까지 프레스된 기판을 가열함으로써 소성이 짧은 시간 내에 수행될 수 있다. 큰 면적 기판에서, 대규모 소성실이 필요하고, 따라서, 전체 소성실이 가열될 때에 소성 처리 시간이 길어질 수 있다.

- [0173] 여기서, 다른 제조 처리가 도 23a 내지 23e를 참조하여 기술된다. 액적 토출법에서, 복수의 노즐들에서 상이한 종류의 재료를 토출할 수 있는 장치가 사용된다. 절연층(274) 형성을 위해 기관(210) 상에 하지층(211)이 형성되는 단계는 전술된 단계들과 동일하므로, 그것은 기술되지 않는다. 수용성 수지(277) 및 레지스트를 포함하는 마스크(273)가 도 23a에 도시된 것과 동일한 장치로 절연층(274) 상에 토출된다. 수용성 수지(277)는 레지스트 재료가 높은 유동성을 가지는 경우 또는 레지스트 재료가 소성시에 그것의 유동성이 높아지는 경우에 패턴 변형을 방지하기 위해 사용된다. 또한, 수용성 수지(277)는 레지스트가 필요하지 않은 영역, 예를 들면, 기관 주위를 보호한다. 이어서, 소성 또는 광-경화 후에, 세정이 물로 수행되어 도 23b에 도시된 바와 같이 수용성 수지만이 제거된다. 도 23b는 임시 소성 전의 상태를 도시하고 있다. 이렇게 얻어진 마스크(273)를 사용하여, 미세 패턴이 도 23c에 도시된 바와 같이, 절연층(274)을 선택적으로 에칭함으로써 얻어질 수 있다. 이어서, 배선(275a, 275b, 240)이 도 6d에 도시된 액적 토출법에 의해 형성되고, 마스크(273)에 부착된 여분의 액적(276) 및 마스크가 동시에 제거된다. 그 후에, 평탄화가 도 23e에 도시된 프레스에 의해 수행된다. 도 23a 내지 23e에 도시된 레지스트 마스크를 형성하는 처리를 이용하는 경우에, 마스크(273)는 그것의 단부가 굽은 구조를 갖는다. 따라서, 여분의 액적(276)과 배선(275a) 사이의 공간이 더욱 넓어질 수 있다. 수용성 수지는 일례로서 기술된다. 그러나, 그것에 대한 제한 없이, 물 이외의 용매를 포함하는, 마스크에서 불용성인 재료를 형성한 후에, 재료만이 용매에 용해될 수 있다.
- [0174] 도 23a 내지 23e 또는 도 20a 내지 20c에 도시된 단계들 중 어느 것이라도 사용될 수 있다.
- [0175] 후속하여, 실시예 모드 1과 유사하게, 게이트 절연막(218), 반도체막 및 n-형 반도체막이 플라즈마 CVD 법 또는 스퍼터링법에 의해 순차적으로 형성된다. 이 실시예 모드에서, 배선 위까지도 편평한 표면을 갖는 매립된 배선이 사용되고, 따라서, 각 막 두께가 작은 경우에도 커버리지 결함이 발생하지 않는다. 예를 들면, 게이트 절연막(218)의 두께는 플라즈마 CVD 법 또는 스퍼터링법을 사용하여 1 nm 내지 200 nm로 세팅될 수 있다.
- [0176] 실란 및 게르마늄으로 정형화되는 반도체 재료 가스를 사용하여 기상 성장법, 스퍼터링법 또는 열 CVD 법으로 제조되는 비정질 반도체막 또는 세미아몰퍼스 반도체막으로 반도체막이 형성된다.
- [0177] n-형 반도체막이 실란 가스 및 포스핀(phosphine) 가스를 이용하여 PCVD 법으로 형성될 수 있고, 비정질 반도체막 또는 세미아몰퍼스 반도체막으로 형성될 수 있다. 이 반도체막과 전극(나중의 단계에서 형성되는 전극)의 접촉 저항은 n-형 반도체막(220)이 제공되는 경우에 감소하는데, 이것은 바람직하다. 그러나, n-형 반도체막은 필요한 경우에 형성될 수 있다.
- [0178] 게이트 절연막(218), 반도체막 및 n-형 반도체막은 바람직하게는 선택적으로 형성되는데, 이것은 도 9에 도시된 장치의 사용에 의해 가능하다.
- [0179] 후속하여, 실시예 모드 1과 유사하게, 마스크(221)가 구비되고, 반도체막 및 n-형 반도체막이 선택적으로 에칭되어 섬 모양의 반도체막(219) 및 n-형 반도체막(220)이 얻어진다(도 20d).
- [0180] 후속하여, 게이트 절연막이 마스크를 제공함으로써 선택적으로 에칭되어 콘택트 홀을 형성한다. 액티브 매트릭스 발광 장치에서, 복수의 TFT가 하나의 화소에 배열되고 게이트 전극 및 게이트 절연막을 통해 상부 배선에 연결된다.
- [0181] 후속하여, 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄) 등)를 포함하는 혼합물이 액적 토출법에 의해 선택적으로 토출되어 소스 또는 드레인 배선(222, 223) 및 리드-아웃 전극(217)을 형성한다. 유사하게, 전류를 발광 소자 및 (도면에 도시되지 않은) 접속 배선에 공급하기 위한 전원선이 단자부에 형성된다(도 20e). 대안적으로, 소스 또는 드레인 배선(222, 223) 및 리드-아웃 전극(217)이, 액적 토출법을 대신하는 스퍼터링법에 의한 금속막 형성 후의 패터닝에 의해 형성된다.
- [0182] 후속하여, n-형 반도체막 및 반도체막의 상부층이 마스크로서 소스 또는 드레인 배선(222, 223)을 사용하여 에칭되어 도 21a에 도시된 상태를 얻는다. 이 단계에서, 활성층이 되는 채널 형성 영역(224), 소스 영역(226) 및 드레인 영역(225)을 포함하는 채널 에칭형 TFT가 완성된다.
- [0183] 후속하여, 채널 형성 영역(224)이 불순물에 의해 오염되는 것을 방지하기 위한 보호막(227)이 형성된다(도 20b). 보호막(227)에 대해, 스퍼터링법 또는 PCVD 법으로 얻은 질화 실리콘 또는 산질화 실리콘을 주로 함유하는 재료가 사용된다. 또한, 보호막(227)은 선택적으로 도 9에 도시된 CVD 장치로 형성될 수 있다. 여기서, 보호막 형성의 일례가 도시되었으나, 특히 필요한 경우가 아니면 구비되는 것이 요구되지 않는다.
- [0184] 후속하여, 층간 절연막(228)이 액적 토출법에 의해 선택적으로 형성된다. 에폭시 수지, 아크릴 수지, 페놀 수

지, 노볼락 수지, 멜라민 수지, 또는 우레탄 수지와 같은 수지 재료가 층간 절연막(228)으로서 사용된다. 또한, 벤조시클로부텐, 파릴렌, 플래어 또는 발광 폴리이미드와 같은 유기 재료; 실록산계 폴리머와 같은 중합 화로 제조된 화합물; 수용성 호모폴리머 및 수용성 코폴리머 등을 함유하는 혼합물을 사용하여 액적 토출법에 의해 층간 절연막(228)이 형성된다.

[0185] 그 후, 보호막이 마스크로서 층간 절연막(228)을 사용하여 에칭되어 소스 또는 드레인 배선(222, 223)의 일부 위에 도전성 부재를 포함하는 블록부(필라, 229)를 형성한다. 블록부(필라, 229)는 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐), 또는 Al(알루미늄) 등)를 함유하는 혼합물을 토출 및 소성을 반복함으로써 적층될 수 있다.

[0186] 후속하여, 블록부(필라)(229)와 접촉하는 제 1 전극(230)이 층간 절연막(228)위에 형성된다(도 21c). 배선(240)과 접촉하는 단자 전극(241)이 유사하게 형성된다. 구동용 TFT가 n-채널 형인 일레가 여기에 기술되고, 따라서, 제 1 전극(230)이 바람직하게 음극으로서 작용한다. 제 1 전극이 광-투과성을 갖는 경우에, 산화 인듐 주석(ITO), 산화 실리콘을 함유하는 산화 인듐 주석(ITSO), 산화 아연(ZnO), 산화 주석(SnO<sub>2</sub>)과 같은 금속 입자를 주로 함유하는 혼합물로 형성된 소정의 패턴이 액적 토출법 또는 인쇄법에 의해 형성되고 소성되어, 제 1 전극(230) 및 단자 전극(241)을 형성한다. 제 1 전극이 반사성인 경우에, 제 1 전극(230) 및 단자 전극(241)은 Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄)과 같은 금속 입자를 주로 포함하는 혼합물로 액적 토출법에 의해 형성될 수 있다. 다른 한 방법으로서, 투명 도전막 또는 광반사 도전막이 스퍼터링법에 의해 형성되고, 마스크 패턴이 액적 토출법에 의해 형성되며, 따라서 제 1 전극(230)이 추가의 에칭에 의해 형성된다.

[0187] 도 22는 일례로서 도 21c의 한 단계의 화소의 평면도이다. 도 22에서, A-B의 체인 선을 따른 단면도는 도 21c의 화소부의 우측의 단면도와 대응하고, B-B의 체인 선은 도 21c의 화소부의 좌측부의 단면도와 대응한다. 도 22에서, 동일한 참조 번호가 도 20a 내지 20e 및 도 21a 내지 22d에서 대응하는 부분에 사용되었다는 것을 명심하자. 도 22에서, 후에 형성되는 측벽(234)의 에지가 되는 부분은 점선으로 도시되었다.

[0188] 액적 토출법에 의해 제 1 전극(230)과 같은 비교적 큰 면적의 패턴을 형성하는 경우에, 요철이 발생하는 위험이 있다. 따라서, 제 1 전극(230)의 표면이 도 5a 및 도 5b에 도시된 프레스 장치로 가열-프레스하여 평탄화하는 것이 바람직하다. 또한, 제 1 전극(230)의 재료로서 결정화를 위해 소성을 필요로 하는 산화 인듐 주석(ITO)과 같은 재료를 사용하는 경우에, 프레스 및 소성이 동시에 수행될 수 있다.

[0189] 보호막(227)이 구비되는 일례가 여기서 기술되고, 따라서, 층간 절연막(228) 및 블록부(필라)(229)가 분리되어 형성된다. 그러나, 보호막이 구비되지 않는 경우에는, 층간 절연막(228) 및 블록부(필라)(229)는 액적 토출법에 의해 동일한 장치(예를 들면, 도 7, 도 8a 내지 8c에 도시된 장치)에 의해 형성될 수 있다.

[0190] 그 후, 제 1 전극(230) 주변을 도포하는 파티션(234)이 형성된다. 그 파티션(234, 또한 뱅크로 언급됨)은 실리콘, 유기 및 무기 재료를 함유하는 재료를 사용하여 형성된다. 또한, 다공질막이 사용될 수 있다. 아크릴, 폴리이미드 등과 같은 감광성 또는 비-감광성 재료가 사용되는 것이 바람직한데, 이는 측면의 곡률 반경이 상부층에서 박막의 어떤 파손없이도 심각하게 변하기 때문이다.

[0191] 전술된 단계들에 따르면, 하부 게이트형 TFT(또한 역전 스테거링 형 TFT로 언급됨) 및 제 1 전극이 기관(210) 위에 형성되는 발광 표시 패널용의 TFT 기관이 완성된다.

[0192] 후속하여, 전기장 발광층으로 기능하는 층, 즉, 유기 화합물을 함유하는 층(236)이 형성된다. 유기 화합물을 함유하는 층(236)은 적층 구조이고, 각 층이 기상 증착법 또는 코팅법을 사용하여 각각 형성된다. 예를 들면, 음극 위에 전자 운반층, 발광층, 홀 운반층, 홀 주입층의 순서로 순차적으로 적층된다. 산소 분위기에서의 플라즈마 처리 또는 진공 분위기에서의 열 처리는 유기 화합물을 함유하는 층(236)이 형성되기 전에 수행되는 것이 바람직하다는 것을 명심하자. 기상 증착법을 사용하는 경우에, 유기 화합물은 미리 저장 가열에 의해 기화되고, 기관의 방향으로 분산되어 기상 증착에서 셔터(shutter)를 개방시킨다. 기화된 유기 화합물은 금속 마스크에 제공된 개구를 통하여 기관상에 증발되도록 상부에서 분산된다. 또한, 마스크가 모든 채색(full-colorization)을 위해 매 발광색(R, G, B)마다 할당된다.

[0193] 또한, 모든 색이, 유기 화합물을 함유하는 층(236)으로서 단색 방출을 보이는 재료를 사용하고, 그 층(236)을 컬러 코팅하지 않은 컬러 필터 또는 컬러 전환층과 조합시킴으로써 표시될 수 있다. 예를 들면, 흰 색 또는 옐로우 색 방출을 보이는 전계 발광층을 형성하는 경우에, 컬러 필터 또는 충전 컬러 필터, 컬러 전환층 또는 그들의 조합을 분리해서 제공함으로써 모든 색이 표시될 수 있다. 컬러 필터 및 컬러 전환층은 기관과 함께 페이스트되는 제 2 기관(실링 기관) 위에 형성된다. 전술된 바와 같이, 단색 방출을 보이는 재료 중 어떤 것, 컬러

필터 및 컬러 전환층이 액적 토출법에 의해 형성될 수 있다.

- [0194] 물론, 단색 방출이 표시될 수도 있다. 예를 들면, 영역 컬러 유형(area collar type)의 발광 표시 장치가 단색 방출 수단에 의해 형성될 수 있다. 패시브 매트릭스 표시부가 영역 컬러 유형의 발광 표시 장치에 적절하고, 주로 캐릭터(characters) 및 심볼들을 표시할 수 있다.
- [0195] 후속하여, 제 2 전극(237)이 형성된다. 발광 소자의 양극으로서 기능하는 제 2 전극(237)이 광을 투과시키는 투명 도전막을 이용하여 형성된다. 예를 들면, ITO 또는 ITOS 외에, 2% 내지 20%의 산화 아연(ZnO)이 산화 인듐과 혼합된 투명 도전막이 사용된다. 발광 소자는 유기 화합물을 함유하는 층(236)이 제 1 전극과 제 2 전극 사이에 개재되는 구조이다. 또한, 제 1 전극 및 제 2 전극은 일함수를 고려하여 그들의 재료를 선택할 필요가 있다. 제 1 전극 및 제 2 전극은 화소 구조에 따라 음극 또는 양극일 수 있다.
- [0196] 제 2 전극(237)의 저항을 감소시키기 위해서, 지지 전극이 발광 영역이 되지 않는 영역의 제 2 전극 위에 제공될 수 있다.
- [0197] 또한, 제 2 전극(237)을 보호하는 보호층이 형성될 수 있다. 예를 들면, 질화 실리콘막을 포함하는 보호막이, 실리콘을 함유하는 원반형 타겟을 사용하고, 성막실의 분위기를 질소 분위기 또는 질소 또는 아르곤을 함유하는 분위기로 함으로써 형성될 수 있다. 또한, 주로 탄소를 함유하는 박막(DLC 막, CN막 또는 비정질 탄소막)이 보호막으로서 형성되고, CVD 법을 사용하는 성막실이 분리되어 제공된다. 다이아몬드 같은 탄소막(또한 DLC막으로 언급됨)이 플라즈마 CVD 법(일반적으로, RF 플라즈마 CVD 법, 마이크로파 CVD 법, 전자 사이클로트론 공명(ECR) CVD 법, 가열-필라멘트 CVD 법 등, 연소 플레임(combustion flame)법, 스퍼터링법, 이온 빔 증발법 또는 레이저 빔 증발법 등으로 형성될 수 있다. 수소 가스 및 탄화 수소계 가스(예를 들면, CH<sub>4</sub>, C<sub>2</sub>H<sub>2</sub>, C<sub>6</sub>H<sub>6</sub> 등)가 성막용 반응 가스로 사용되는데, 그 가스들은 글로우 방전에 의해 이온화되고, 생성된 이온은 가속되어 음으로(negatively) 자가-바이어스된 음극에 충돌하여 성막된다. CN 막은 반응 가스로서 C<sub>2</sub>H<sub>4</sub> 가스 및 N<sub>2</sub> 가스를 이용하여 형성될 수 있다. DLC 막 및 CN 막은 절연막인데, 가시광선에 대해 투명 또는 반투명이다. 가시광선에 대해 투명하다는 것은 가시광선의 투과율이 80%에서 100%까지의 범위임을 의미하고, 반투명하다는 것은 가시광선의 투과율이 50%에서 80%까지의 범위임을 의미한다. 보호막은 필요하지 않은 경우에 특별히 제공되지 않음을 알 수 있다.
- [0198] 후속하여, 실링 기관(235)이 실링제(도면에 도시되지 않음)에 페이스트되어 발광 소자를 실링시킨다. 실링제로 둘러싸진 영역은 투명 충전제(238)로 충전된다. 충전제(238)로서, 그것이 광 투과 특성을 갖는 한 특별히 제한되지 않고, 자외선 경화 에폭시 수지 또는 열 경화제가 일반적으로 사용될 수 있다. 1.50의 굴절률, 500cps의 점도, 90의 쇼어 D 경도(Shore D hardness), 3000psi의 인장 강도, 150℃의 Tg 포인트, 1 x 10<sup>15</sup>Ωcm의 부피 저항 및 450V/mil의 내전압(withstand voltage)을 갖는 높은 열 저항성 UV 경화 에폭시 수지(Electrolite Cooperation 사에 의해 제조된 제품명 2500 Clear)가 여기에 사용된다. 기관 쌍 사이를 충전제(238)로 충전시키는 것은 전체 투과도를 향상시킨다.
- [0199] FPC(246)가 공지된 방법을 사용하여 에어로트로픽(aerotropic) 도전막(245)을 개재하여 단자 전극(241)에 페이스트된다(도 21d).
- [0200] 절연된 단계들에 따르면, 액티브 매트릭스 발광 장치가 제조될 수 있다.
- [0201] 도 24는 EL 표시 패널 구조의 일례를 도시하는 평면도이다. 도 24는 주사선에 입력되는 신호와 신호선이 외부 구동 회로에 의해 제어되는 발광 표시 패널의 구조를 도시하고 있다. 절연 표면을 구비한 기관(2700) 위에 화소(2702)가 매트릭스로 배열된 화소부(2701), 주사선 측 입력 단자(2703) 및 신호선 측 입력 단자(2704)가 형성된다. 화소의 수는 다양한 기준에 따라 제공된다. XGA의 화소의 수는 1024 x 768 x 3(RGB), UXGA의 화소의 수는 1600 x 1200 x 3(RGB), 그리고 풀-스펙 하이 비전(full-speck high vision)의 화소의 수는 1920 x 1080 x 3(RGB)일 수 있다.
- [0202] 화소들(2702)은 주사선 입력 단자(2703)로부터 연장되는 주사선과 신호선 입력 단자(2704)로부터 연장되는 신호선을 교차시킴으로써 매트릭스로 배열된다. 각 화소(2702)에는 스위칭 소자 및 그것에 연결된 화소 전극을 구비한다. 스위칭 소자의 일반적인 예는 TFT이다. TFT의 게이트 전극 측은 주사선에 접속되고, 그것의 소스 또는 드레인 측은 신호선에 접속되고, 따라서, 각 화소는 외부에서 입력된 신호에 의해 독립적으로 제어된다.
- [0203] 제 1 전극이 투명 재료로 구성되고, 제 2 전극이 금속 재료로 구성될 때에, 광이 기관(210)을 통하여 방출되는 구조, 즉, 하부 방출 구조가 얻어진다. 대안적으로, 제 1 전극이 금속 재료로 구성되고, 제 2 전극이 투명 재

료로 구성되는 때에는, 광이 실링 기관(235)을 통하여 방출되는 구조, 즉, 상부 방출 구조가 얻어진다. 또한, 제 1 전극 및 제 2 전극이 투명 재료로 구성되는 때에는, 광이 기관(210) 및 실링 기관(235) 양자를 통하여 방출되는 구조가 얻어진다. 본 발명은 전술된 구조 중 어느 하나를 적합하게 이용할 수 있다.

- [0204] 전술된 바와 같이, 이 실시예 모드에서는, 단축된 제조 시간 및 단순화된 제조 단계가 액적 토출법에 의해 포토 마스크를 사용하는 노광 단계를 생략함으로써 구현될 수 있다. 또한, 한 측부가 1000mm를 초과하는 5 세대 후의 유리 기관을 사용하는 경우 조차, EL 표시 장치가 액적 토출법에 의해 각각의 종류의 패턴을 기관상에 형성 시킴으로써 용이하게 제조될 수 있다. 또한, 큰 면적의 패널이 제조될 수 있는데, 이는 낮은 저항을 갖는 매립된 배선이 액적 토출법에 의해 형성될 수 있기 때문이다.
- [0205] 이 실시예 모드에서, 스핀 코팅이 수행되지 않은 단계와 포토마스크를 갖는 노광 단계가 가능한 피해진다. 그러나, 제한 없이, 패터닝의 일부가 포토마스크를 사용하여 노광 단계에서 수행될 수 있다.
- [0206] 이 실시예 모드는 실시예 모드 1과 자유롭게 조합될 수 있다.
- [0207] 전술한 구조를 포함하는 본 발명이 다음의 실시예에 따라 상세히 기술된다.
- [0208] [실시예 1]
- [0209] 도 3에 도시된 화소 구조는 게이트 배선 및 게이트 전극을 일체로 형성하는 일레이다. 이 실시예에서, 게이트 배선 및 게이트 전극을 분리해서 형성하는 예가 도 10a 및 도 10b에 도시되었다.
- [0210] 도 10a는 화소의 평면도의 일레이다. 큰 면적의 패널을 형성하는 경우에, 낮은 저항을 필요로 하는 버스선이 수직 및 수평으로 배열된다. 따라서, 이 실시예에서, 게이트 전극(415a)은 매립된 배선이고, 그리고 게이트 배선(415b)은 마운드형 단부(Mound-like cross-section)를 갖는다.
- [0211] 먼저, 실시예 모드 1과 유사하게, 하지막(411) 및 절연층(414)이 기관 위에 형성되고, 작은 배선 폭을 갖는 게이트 전극(415a)만이 액적 토출법에 의해 형성된다. 이어서, 프레스 처리 또는 CMP 처리를 사용한 평탄화 후에, 큰 배선 폭을 갖는 게이트 배선(415b)이 게이트 전극(415a)과 접촉하도록 형성된다.
- [0212] 액적 토출법에 의해 작은 배선 폭을 갖는 게이트 전극 및 큰 배선 폭을 갖는 게이트 배선을 형성하는 경우에, 작은 배선 폭의 게이트 전극을 형성하기 위해 작은 노즐 직경을 갖는 토출 유닛이 사용되는 때에는, 넓은 게이트 배선을 드로잉하기 위한 처리 시간이 보다 길어 지게 된다.
- [0213] 전술한 관점에서, 이 실시예에서, 작은 노즐 직경을 가진 토출 유닛이 작은 배선 폭을 가진 게이트 전극을 위해 사용되고, 큰 노즐 직경을 가진 토출 유닛이 작업량을 향상시키기 위해 큰 배선 폭을 가진 게이트 배선을 위해 사용된다. 게이트 전극과 게이트 배선의 각 형성 사이에 적은 시간차가 야기되는 경우에, 먼저 형성된 전극 또는 배선의 부착력이 매립된 배선 때문에 비교적 강하지만, 그들 사이의 부착력을 감소시키는 위험이 존재한다. 따라서, 나중에 형성되는 전극 또는 배선의 형성 전에, 부착력을 향상시키기 위해 UV 처리 또는 플라즈마 처리가 바람직하게 수행될 수 있다.
- [0214] 후속 단계들이 실시예 모드 1에 따라 수행되어 게이트 절연막(418), 반도체막(424), 드레인 전극(422), 소스 배선(423), 중간 절연막(428), 충전제(429) 및 화소 전극(430)이 연속적으로 형성된다. 게이트 배선(415b)이 마운드형 모양이기 때문에, 증착 조건이 커버리지 결함이 게이트 절연막(418) 및 중간 절연막(428)에서 발생하지 않도록 세팅된다.
- [0215] 이 실시예 모드는 실시예 모드 1과 자유롭게 조합될 수 있다.
- [0216] [실시예 2]
- [0217] 이 실시예에서는, 액적 토출법에 의한 액정의 적하의 예가 도시되었다. 또한, 이 실시예에서는, 큰 면적 기관(100)으로부터 네 개의 패널을 얻는 예가 도 11a 내지 도 11d에 도시되었다.
- [0218] 도 11a는 잉크-젯 인쇄에 의해 형성된 액정층의 단면도를 도시하고 있다. 액정 재료(114)가 액적 토출 장치(116)의 노즐(118)로부터 토출, 스프레이 또는 적하되어, 실링제(112)에 의해 둘러싸인 화소 영역(111)을 도포한다. 액적 토출 장치(116)는 도 11a의 화살표 방향으로 이동된다. 그러나, 여기서 노즐(118)을 이동시키는 예로서, 노즐이 고정되는 동안에, 기관을 이동시켜서 액정층이 형성된다.
- [0219] 도 11b는 투시도이다. 액정 재료(114)는 실링제(112)로 둘러싸인 영역에만 선택적으로 토출, 스프레이 또는 적하되고, 물체 표면(115)은 노즐 주사 방향(113)에 대응하여 이동한다.

- [0220] 도 11c 및 도 11d는 도 11a에서 점선으로 둘러싸인 영역의 확대 단면도이다. 액정 재료가 높은 점도를 갖는 경우에, 그것은 연속적으로 토출되고, 액정 재료의 각각의 액적이 도 11c에 도시된 바와 같이 서로 각각 연결되는 방법으로 부착한다. 다른 한편, 액정 재료가 낮은 점도를 갖는 경우에는, 그것은 간헐적으로 토출되고 액적이 도 11d에 도시된 바와 같이 적하된다.
- [0221] 도 11c에서, 참조 번호 120 및 121은 역전 스테거링 형 TFT 및 화소 전극을 각각 나타낸다. 화소부(111)는 매트릭스 형태로 배열된 화소 전극, 여기서 역전 스테거링 형 TFT인, 화소 전극에 접촉된 스위칭 소자, 및 저장 용량(도면에 도시되지 않음)을 포함한다.
- [0222] 패널 제조의 작업 흐름이 도 12a 내지 도 12d를 참조하여 이하에 기술된다.
- [0223] 먼저, 화소부(1034)가 그것의 절연 표면 위에 형성된 제 1 기관(1035)이 준비된다. 제 1 기관(1035)은 다음 단계로 전처리되는데, 배향막을 형성하고, 러빙하고, 구형 스페이서를 형성하고, 주상 스페이서를 형성하고, 칼러 필터 등을 형성한다. 이어서, 실링제(1032)가, 도 12a에 도시된 바와 같이, 미리결정된 위치에(화소 영역(1034)을 둘러싸는 패턴) 디스펜서 또는 잉크-젯 장치를 사용하여 제 1 기관(1035)위에 불활성 분위기 또는 감압하에서 형성된다. 40Pa?s 내지 400Pa?s의 점도를 갖는 충전제(6  $\mu$ m 내지 24  $\mu$ m 직경)를 함유하는 재료가 반투명한 실링제(1032)로서 사용된다. 실링제와 접촉하도록 액정에 불용성인 실링제를 선택하는 것이 바람직하다. 광 경화 아크릴 수지 또는 열경화성 아크릴 수지가 실링제로서 사용될 수 있다. 또한, 실링제(1032)는 인쇄법으로 형성될 수 있는데, 이는 그것이 단순한 실링 패턴을 갖기 때문이다.
- [0224] 이어서, 액정(1033)이 잉크-젯 방법에 의해 실링제(1032)에 의해 둘러싸인 영역에 적하된다(도 12b). 잉크-젯 방법으로 토출이 가능한 점도를 갖는 공지된 액정 재료가 액정(1033)으로서 사용될 수 있다. 또한, 잉크-젯 방법으로 액정을 적하시키는 것이 적절한데, 이는 액정 재료의 점도가 온도 조절에 의해 제어될 수 있기 때문이다. 액정(1033)의 필요양이 실링제(1032)에 의해 감싸진 영역에 손실 없이 저장될 수 있다.
- [0225] 화소 영역(1034)을 구비한 제 1 기관(1035) 및 대향 전극 및 배향막을 구비한 제 2 전극(1031)이 감압하에서 서로 페이스트되어 버블이 안으로 혼합되는 것을 방지한다(도 12c). 실링제(1032)는 여기서 열처리 또는 자외선을 인가함으로써 경화된다. 열처리는 자외선 조사에 추가하여 수행될 수 있음을 이해하여야 한다.
- [0226] 도 13a 및 도 13b는 기관이 페이스트되는 동안 또는 그 후 자외선 조사 또는 열처리를 수행할 수 있는 페이스팅 장치의 예를 도시한다.
- [0227] 도 13a 및 도 13b에서, 참조 번호 1041은 제 1 기관 지지부, 1042는 제 2 기관 지지부, 1044는 윈도우, 1048은 하부측 측정판, 1049는 광원을 나타낸다. 도 13a 및 도 13b에서, 도 12a 내지 도 12d의 대응하는 부분에 사용된 참조 번호와 동일한 참조 번호가 사용된다.
- [0228] 보통 하부측 측정 판(1048)은 실링제를 경화시키는 가열기를 포함한다. 제 2 기관 지지부는 윈도우(1044)를 구비하여, 광원(1049)으로부터 자외선 등이 그곳을 투과할 수 있다. 도시되지 않았지만, 기관 위치의 배열은 윈도우(1044)를 통하여 수행된다. 대향 기관으로서 작용하는 제 2 기관(1031)은 미리 원하는 크기로 절단되고, 진공 챔크(chuck) 등으로 제 2 기관 지지부(1042)에 고정된다. 도 13a는 페이스팅전의 상태를 도시하고 있다.
- [0229] 페이스팅에서, 제 1 기관 및 제 2 기관 지지부가 낮아진 후, 제 1 기관(1035) 및 제 2 기관(1031)은 압착에 의해 서로 페이스트되고, 자외선이 그 상태에서 경화되도록 인가된다. 페이스팅 후의 상태가 도 13b에 도시되었다.
- [0230] 다음으로, 제 1 기관(1035)이 스크라이버, 브레이커 또는 롤 컷터와 같은 절삭 기구를 사용하여 절삭된다(도 12d). 따라서, 네 개의 패널이 하나의 기관으로부터 제조될 수 있다. 또한, FPC가 공지된 방법으로 페이스트된다.
- [0231] 유리 기관, 수정 기관 또는 플라스틱 기관이 제 1 기관(1035) 및 제 2 기관(1031)으로서 사용될 수 있다.
- [0232] 도 14a는 전술된 단계를 통하여 얻은 액정 모듈에 대한 평면도이다. 도 14b는 다른 액정 모듈의 평면도이다.
- [0233] 활성층이 비정질 반도체막을 포함하는 TFT는 1 cm<sup>2</sup>/Vsec 정도의 낮은 전계 효과 이동도를 갖는다. 따라서, 영상을 표시하기 위한 구동 회로가 IC 칩으로 형성되고, TAB(Tape Automated Bonding)법 또는 COG(Chip On Glass)법으로 장착된다.
- [0234] 도 14a에서, 참조 번호 1101은 액티브 매트릭스 기관을, 1106은 대향 기관을, 1104는 화소 영역을, 1107은 실링



제를, 1105는 FPC를 나타낸다. 액정은 잉크젯법으로 토출되고, 한 쌍의 기관(1101, 1106)이 감압하에서 실링제(1107)를 사용하여 서로 페이스트된다는 것을 명심하자.

- [0235] 반비정질 실리콘막으로 형성된 활성층을 포함하는 TFT를 사용하는 경우에, 구동 회로의 일부가 제조될 수 있고, 그것에 의해 도 11b에 도시된 액정 모듈을 제작할 수 있다. 구동 회로를 형성하는 경우에, 게이트 절연막이 콘택트 홀을 형성하도록 선택적으로 제거되는 추가적인 처리가 필요하다.
- [0236] 도 15는  $5 \text{ cm}^2/\text{V}^2\text{sec}$  내지  $50 \text{ cm}^2/\text{V}^2\text{sec}$  의 전계 효과 이동도를 갖는 세미아몰퍼스 실리콘막을 사용하여 n-채널형 TFT에 의해 구성된 주사전 측 구동 회로에 대한 블록도이다.
- [0237] 도 15에서, 참조 번호 500으로 도시된 블록은 하나의 단계에 대한 샘플링 펄스를 출력하는 펄스 출력 회로에 대응하고, 시프트 레지스터는 펄스 출력 회로의 n개의 피스들(pieces)에 의해 구성된다. 참조 번호 501은 버퍼 회로를 나타내고, 화소(502)는 그것의 단부에 접속된다.
- [0238] 도 16은 펄스 출력 회로(500)의 구체적인 구조를 도시하고, 회로는 n-채널형 TFT들(601 내지 612)에 의해 형성된다. 이 때에, TFT의 크기는 세미아몰퍼스 실리콘막을 사용하는 n-채널형 TFT의 동작 특성을 고려하여 결정될 수 있다. 예를 들면, 채널 길이가  $8 \mu\text{m}$ 로 세팅되는 때에, 채널 폭은  $10 \mu\text{m}$  내지  $80 \mu\text{m}$  범위로 세팅될 수 있다.
- [0239] 또한, 도 17은 버퍼 회로(501)의 구체적인 구조를 도시하고 있다. 버퍼 회로는 동일한 방법으로 n-채널형 TFT들(620 내지 636)에 의해 구성된다. 이때에 TFT의 크기는 세미아몰퍼스 실리콘막을 사용하는 n-채널형 TFT의 동작 특성을 고려하여 결정될 수 있다. 예를 들면, 채널 길이가  $10 \mu\text{m}$ 로 세팅되는 때에, 채널 폭은  $10 \mu\text{m}$  내지  $1800 \mu\text{m}$  범위로 세팅될 수 있다.
- [0240] (도면에 도시되지 않은) 하나의 IC칩이 세미아몰퍼스 실리콘막을 포함하는 활성층을 갖는 TFT로 형성될 수 없는 구동 회로 상에 장착된다.
- [0241] 또한, 구동 회로는 단지 구동 회로가 형성되는 영역에만 레이저 광을 선택적으로 방출시킴으로써 다결정 실리콘막을 포함하는 TFT로 형성될 수 있다.  $400 \text{ nm}$  이하의 파장을 갖는 엑시머 레이저 광과 YAG 레이저의 제 2 및 제 3 고조파가 레이저 광으로서 사용될 수 있다. 예를 들면, 약  $10 \text{ Hz}$  내지  $1000 \text{ Hz}$ 의 반복 주파수를 갖는 펄스 레이저 광이 사용되고, 펄스 레이저 광은 광학 시스템에 의해  $100 \text{ mJ}/\text{cm}^2$  내지  $500 \text{ mJ}/\text{cm}^2$ 로 농축되고 90% 내지 95%의 오버랩 비로 방출되고, 따라서, 실리콘막 표면이 그것으로 주사된다. 비정질 반도체막이 결정화될 때에, 기본파의 제 2 내지 제 4 고조파가 바람직하게 큰 결정립을 갖는 결정을 얻을 수 있도록 연속적으로 진동할 수 있는 강성 상태(solid state) 레이저를 사용하여 인가된다. 일반적으로, Nd:  $\text{YVO}_4$  레이저( $1064 \text{ nm}$ 의 기본파)의 제 2 고조파( $532 \text{ nm}$ 의 파장) 또는 제 3 고조파( $355 \text{ nm}$ 의 파장)가 인가될 수 있다. 연속파 레이저를 사용하는 경우에,  $10 \text{ W}$  출력의 연속파  $\text{YVO}_4$  레이저로부터 방출되는 레이저 광은 비선형 광학 소자를 사용함으로써 고조파로 변환된다. 또한,  $\text{YVO}_4$  결정 및 비선형 광학 소자를 공진기 내로 인가함으로써 고조파를 방출시키는 방법이 주어질 수 있다. 이어서, 바람직하게는, 레이저 광이 표면에서 광학 시스템에 의해 직사각형 모양 또는 타원 모양을 갖도록 모양이 결정되어, 레이저 광으로 표면을 조사한다. 이때, 약  $0.01 \text{ MW}/\text{cm}^2$  내지  $100 \text{ MW}/\text{cm}^2$  (바람직하게는,  $0.1 \text{ MW}/\text{cm}^2$  내지  $10 \text{ MW}/\text{cm}^2$ )의 에너지 밀도가 요구된다. 반도체막은 그것을 약  $10 \text{ cm}/\text{s}$  내지  $2000 \text{ cm}/\text{s}$ 의 속도로 레이저 광에 대해 이동하면서 레이저 광으로 조사된다.
- [0242] 도 14b에서는, 참조 번호 1111은 액티브 매트릭스 기관을, 1116은 대향 기관을, 1112는 소스 신호선 구동 회로를, 1113은 게이트 신호선 구동 회로를, 1114는 화소부를, 1117은 제 1 실링제를, 그리고 1115는 FPC를 나타낸다. 액정은 잉크-젯법으로 토출되고, 한 쌍의 기관(1111, 1116)은 제 1 실링제(1117) 및 제 2 실링제와 함께 페이스트된다. 액정은 화소부(1114)에 저장되는데, 액정이 소스 신호선 구동 회로(1112) 및 게이트 신호선 구동 회로(1113)에 필요하지 않기 때문이다. 제 2 실링제(1118)가 전체 패널의 보강을 위해 제공된다.
- [0243] 백 라이트(1604) 및 도광판(light conducting plate, 1605)이 얻어진 액정 모듈에 제공되고, 액정 모듈은 커버(1606)로 도포되어, 액티브 매트릭스 액정 표시 장치(전송형)가 완성되고, 그것의 일부 단부가 도 18에 도시된다. 커버 및 모듈이 부착제 또는 유기 수지를 사용하여 고정됨을 이해하여야 한다. 액티브 매트릭스 액정 표시 장치는 전송형이고, 편광판(1603)이 액티브 매트릭스 기관 및 대향 기관 양자에 페이스트됨을 알 수 있을 것이다.
- [0244] 도 18에서는, 참조 번호 1600은 기관을, 1601은 화소 전극을, 1602는 주상 스페이서를, 1607은 실링제를, 1620

은 각 화소에 대응하도록 컬러층 및 광-시일딩막이 위치되는 컬러 필터를, 1621은 대향 전극을, 1622 및 1623은 배향막을, 1624는 액정층을, 1619는 보호막을 나타낸다. 주상 스페이서(1602)는 또한 액적 토출법에 의해 형성된다.

- [0245] 이 실시예는 실시예 모드 1 또는 실시예 1과 자유롭게 조합될 수 있다.
- [0246] [실시예 3]
- [0247] 이 실시예는 채널 스토퍼형 TFT를 사용하는 액티브 매트릭스 액정 표시 장치를 제조하는 일례를 기술한다. 도 19는 이 실시예의 액정 표시 장치의 단면도이다.
- [0248] 먼저, 실시예 모드 1에 따르면, 하지막 및 절연막이 기판 위에 형성되고, 게이트 전극(1901)이 액적 토출법에 의해 패터닝된 절연막들 사이에 형성된다. 이어서, 프레스에 의한 평탄화 후에, 게이트 절연막, 반도체막 및 채널 보호막이 형성된다. 채널 보호막으로서, 산화 실리콘, 질화 실리콘 또는 산질화 실리콘을 주로 함유하는 재료가 PCVD 법 또는 스퍼터링법에 의해 형성된다. 이어서, 채널 보호막이 선택적으로 에칭되어 채널 보호층(1903)이 형성된다. 대안적으로, 채널 보호막이 선택적으로 액적 토출법에 의해 형성될 수 있다.
- [0249] 후속하여, 반도체막이 섬 형 반도체막(1902)을 형성하도록 패터닝된다. n-형 반도체막이 형성되고, 배선(1905, 1906)이 액적 토출법에 의해 형성된다. n-형 반도체막을 포함하는 소스 또는 드레인 영역(1907, 1904)이 마스크로서 배선(1905, 1906)을 사용하여 선택적으로 에칭된다. 필라(1929) 및 층간 절연막(1928)이 액적 토출법에 의해 동일한 장치로 패터닝되고 소성된다. 여기서, 필라(1929)는 먼저 토출되고, 층간 절연막(1928)이 나중에 토출되나, 전술한 것 중 어느 하나가 단계 순서에 특별한 제한 없이 먼저 토출될 수 있다. 또한, 필라(1929) 또는 층간 절연막(1928) 중 어느 하나의 임시 소성 또는 최종 소성 후에, 다른 하나가 토출되고 상이한 장치로 소성된다.
- [0250] 후속 단계들은 실시예 모드 1과 유사하게 수행될 수 있다. 이 실시예는 그것의 TFT 구조를 제외하고 실시예 모드 1과 동일하다. 따라서, 도 19에는, 동일한 참조 번호가 도 2d와 동등한 부분에 사용된다.
- [0251] 이 실시예 모드는 실시예 모드 1, 실시예 1 또는 2와 자유롭게 조합될 수 있다.
- [0252] [실시예 4]
- [0253] 이 실시예는 구동을 위한 구동 회로가 실시예 모드 2에 의해 제조된 EL 표시 패널상에 장착된 일례를 기술하고 있다.
- [0254] 먼저, COG 방법을 이용한 표시 장치가 도 25를 참조하여 기술된다. 기판(3700) 위에, 캐릭터 또는 영상과 같은 정보를 표시하는 화소부(3701), 주사측 상의 구동 회로(3702)가 제공된다. 복수의 구동 회로를 구비한 기판이 직사각형 모양으로 분할되고, 분할된 구동 회로(이후에 구동 IC로 언급됨)(3705a, 3705b)가 기판(3700)위에 장착된다. 도 25는 복수의 구동 IC(3705a, 3705b)가 장착되는 모드를 도시하고, 테이프(3704a, 3704b)가 구동 IC(3705a, 3705b)의 단부 위에 장착된다. 신호선 측 상의 화소부의 그것과 동일한 길이를 갖도록 테이프의 폭을 세팅함으로써, 테이프는 단일 드라이버 IC 또는 그 구동 IC의 단부 위에 장착될 수 있다.
- [0255] 또한, TAB 방법이 이용될 수 있다. 그 경우에, 복수의 테이프가 부착되고, 구동 IC가 테이프 상에 장착될 수 있다. COG 방법의 경우와 유사하게, 단일 구동 IC는 단일 테이프 상에 장착될 수 있다. 그것의 세기 관점에서, 구동 IC를 고정시키는 금속 조각들 등이 이 경우에 함께 부착될 수 있다.
- [0256] 생산성 향상의 관점에서, EL 표시 패널에 장착되는 복수의 구동 IC가 300 mm 내지 1000 mm 이상의 하나의 변을 갖는 직사각형 기판이 형성될 수 있다.
- [0257] 즉, 각각이 유닛으로서 구동 회로부와 입력 및 출력 회로 단자들을 포함하는 복수의 회로 패턴이 분할되고 마지막으로 꺼내지도록 형성될 수 있다. 화소부의 한 변의 길이와 화소 피치를 고려하여, 구동 IC가 긴 변의 길이가 15mm 내지 80mm, 짧은 변의 길이가 1mm 내지 6mm의 직사각형으로 형성될 수 있다. 대안적으로, 화소부는 길이가 화소 영역의 한 측부 길이와 동일하거나 또는 화소부 및 각 구동 회로의 한 측부의 길이의 합과 동일한 모양으로 형성될 수 있다.
- [0258] 구동 IC는 외부 크기에서 긴 변의 길이의 IC 칩보다 더 유익하다. 15mm 내지 80mm의 긴 변 길이를 갖는 구동 IC를 사용함으로써, 화소 영역에 대응하여 장착되는 구동 IC의 개수는 IC 칩을 사용하는 경우에 비해 감소될 수 있으므로, 향상된 생산 수율을 얻을 수 있다. 또한, 구동 IC가 유리 기판에 형성될 때에, 모체로서 사용되는 기판의 형태는 기판의 모양에 한정되지 않고, 따라서, 생산성이 감소되지 않는다. 이것은 IC 칩이 원형 실리콘

웨이퍼로부터 얻어지는 경우에 비해 매우 유익하다.

- [0259] 도 25에서는, 구동 회로가 형성되는 구동 IC(3705a, 3705b)가 화소부(3701)의 외부 영역에 장착된다. 이들 구동 IC(3705a, 3705b)는 신호선 상의 각각의 구동 회로이다. RGB 풀 컬러의 화소 영역을 형성하기 위해, XGA에서 3072개의 신호선 및 UXGA에서 4800개의 신호선이 필요하다. 그러한 개수의 신호선은 화소 영역(2401)의 에지에서 여러 블록으로 분할됨으로써 인출선(leading out line)을 형성하고, 구동 IC(3705a, 3705b)의 출력 단자의 피치에 따라서 결집(gathered)될 수 있다.
- [0260] 구동 IC는 바람직하게 기판 위에 형성된 결정성 반도체를 사용하여 형성될 수 있다. 결정성 반도체는 연속과 레이저로 조사되어 형성되는 것이 바람직하다. 따라서, 연속과 강성 상태 레이저 또는 가스 레이저가 레이저 광을 발생시키는 진동기로서 사용될 수 있다. 트랜지스터가 적은 결정 결함을 갖는 큰 결정립의 다결정 반도체층을 사용하여 형성될 수 있다. 또한, 고속 구동이 가능한데, 이는 이동도 또는 반응 속도가 좋기 때문이며, 소자의 동작 주파수를 종래의 소자의 동작 주파수보다 더욱 향상시킬 수 있다. 또한, 높은 신뢰도가 얻어질 수 있는데, 특성에서 변동이 거의 없기 때문이다. 트랜지스터의 채널 길이 방향 및 레이저 광의 주사 방향은 동작 주파수를 더욱 향상시키기 위해 서로 일치할 수 있음을 알 수 있을 것이다. 이것은 최고의 이동도가, 연속과 레이저에 의한 레이저 결정화 단계에서, 기판에 대한 트랜지스터의 채널 길이 방향과 레이저 광의 주사 방향이 거의 평행(바람직하게는,  $-30^\circ$  내지  $30^\circ$ )할 때에 얻어지기 때문이다. 채널 길이 방향은 채널 형성 영역에서 전류 유동 방향, 즉 전하가 이동하는 방향과 일치한다. 따라서, 제조된 트랜지스터는 결정립이 채널 방향으로 연장되는 다결정 반도체층에 의해 구성되는 활성층을 갖는데, 이것은 결정립 경계가 거의 채널 방향을 따라 형성되는 것을 의미한다.
- [0261] 레이저 결정화를 수행하는 때에, 레이저 광을 상당히 농축하는 것이 바람직하고, 그것으로부터의 빔 스폿은 구동 IC의 마이너 측면만큼 넓게 약 1mm 내지 3mm가 바람직하다. 또한, 피조사체에 대한 충분하고 효율적인 에너지 밀도를 보장하기 위해서, 레이저 광으로 조사되는 영역은 바람직하게 선 모양이다. 그러나, 여기서 선 모양은 정밀한 의미의 선을 의미하지 않고, 큰 중횡비의 직사각형 또는 장방형을 포함한다. 예를 들면, 선 모양은 2 이상의(바람직하게는, 10 내지 10000)의 중횡비를 갖는 직사각형 또는 장방형을 의미한다. 따라서, 생산성은 레이저 광의 빔 스폿의 폭을 구동 IC의 짧은 측의 길이와 일치시킴으로써 향상될 수 있다.
- [0262] 도 25는 주사선 구동 회로가 화소부와 일체로 형성되고, 구동 IC가 신호선 구동 회로로서 장착된 모드를 도시하고 있다. 그러나, 본 발명은 이 모드에 제한되지 않으며, 구동 IC는 주사선 구동 회로 및 신호선 구동 회로 양자로서 장착될 수 있다. 그 경우에, 주사선 측 및 신호선 측 상에 사용되는 구동 IC의 명세 사항을 차별화하는 것이 바람직하다.
- [0263] 화소 영역(3701)에서, 신호선 및 주사선은 상호 교차하여 매트릭스를 형성하고, 트랜지스터가 각 교차부에 대응하여 배치된다. 이 실시예에서, 채널이 비정질 반도체 또는 세미아몰퍼스 반도체로 형성되는 구조를 갖는 TFT가 화소부(3701)에 배열되는 트랜지스터로서 사용될 수 있다. 비정질 반도체는 플라즈마 CVD 법 또는 스퍼터링 법과 같은 방법으로 형성된다. 세미아몰퍼스 반도체는 플라즈마 CVD 법, 스퍼터링법 등으로 형성된다. 플라즈마 CVD 법으로  $300^\circ\text{C}$  이하의 온도에서 세미아몰퍼스 반도체를 형성하는 것이 가능하다. 트랜지스터를 형성하는데 필요한 막 두께는, 예를 들면, 550 mm x 650 mm의 외부 크기의 비-알카리 유리 기판의 경우에서조차 짧은 시간에 얻어진다. 그러한 제조 기술은 큰 화면의 액정 표시 장치를 제조하는데 효과적이다. 또한, 세미아몰퍼스 TFT는 세미아몰퍼스 실리콘막으로부터 채널 형성 영역을 형성함으로써  $2\text{ cm}^2/\text{V}^2\text{sec}$  내지  $10\text{ cm}^2/\text{V}^2\text{sec}$ 의 전자 전계 이동도를 얻을 수 있다. 따라서, 이 TFT는 화소의 스위칭 소자 및 주사선 구동 회로를 형성하는 소자로서 사용될 수 있다. 따라서, 시스템-온 패널(system-on-panel)을 구현하는 EL 표시 패널이 제조될 수 있다.
- [0264] 도 25에서, 주사선 측 구동 회로가 세미아몰퍼스 실리콘막을 포함하는 반도체층의 TFT를 사용함으로써 기판상에 일체로 형성되는 것을 가정해 볼 수 있다. 반도체층이 세미아몰퍼스 실리콘막을 포함하는 TFT를 사용하는 경우에, 주사선 측 구동 회로 및 신호선 측 구동 회로 양자가 구동 IC로서 장착될 수 있다.
- [0265] 그 경우에, 주사선 측 및 신호선 측 상에서 사용되는 구동 IC의 명세 사항을 차별화하는 것이 바람직하다. 예를 들면, 약 30 V의 내전압이 주사선 측의 구동 IC를 구성하는 트랜지스터에 요구되나, 구동 주파수는 100 kHz 이하이며, 고속 동작이 특히 요구되지 않는다. 따라서, 주사 측 상에서 구동기를 구성하는 트랜지스터의 채널 길이(L)는 충분히 길게 세팅되는 것이 바람직하다. 한편, 약 12V의 내전압은 신호선 구동 IC의 트랜지스터용으로 충분하나, 구동 주파수는 3V에서 약 65MHz이고, 고속의 동작이 요구된다. 따라서, 구동기를 구성하는 트랜지스터의 채널 길이 등을 미크론 룰(micron rule)로 세팅하는 것이 바람직하다.

- [0266] 구동 IC의 장착법은 특히 제한되지 않고, 공지된 COG 법, 배선 본딩법 또는 TAB 법이 사용될 수 있다.
- [0267] 구동 IC의 두께를 대항 기판의 두께와 일치시킴으로써, 그들은 훨씬 같은 높이를 갖고, 이것은 전체적인 표시 장치 두께의 감소를 가져온다. 또한, 각 기판이 동일한 재료로 형성되기 때문에, 액정 표시 장치에서 온도가 변화하는 경우에 조차 열 응력이 생기지 않고, 따라서 TFT로 형성된 회로의 특성이 손상되지 않는다. 더욱이, 이 실시예 모드에 도시된 바와 같이, IC 칩보다 긴 구동 IC를 구동 회로로서 장착함으로써 화소 영역에 장착되는 구동 IC의 개수는 감소될 수 있다.
- [0268] 전술한 바와 같이, 구동 회로는 EL 표시 패널에 일체화될 수 있다.
- [0269] [실시예 5]
- [0270] 이 실시예는 채널 스토퍼형 TFT를 사용하는 액티브 매트릭스 발광 표시 장치를 제조하는 일례를 기술하고 있다. 도 26은 이 실시예의 발광 표시 장치의 단면도라는 것을 주의하자.
- [0271] 먼저, 실시예 모드 2에 따르면, 하지층 및 절연층이 기판 위에 형성되고, 게이트 전극(2901)이 액적 토출법에 의해 패터닝된 절연층 사이에 형성된다. 이어서, 프레스에 의한 평탄화 후에, 게이트 절연막, 반도체막 및 채널 보호막이 형성된다. 채널 보호막으로서, 산화 실리콘, 질화 실리콘 또는 산질화 실리콘을 주로 함유하는 재료가 PCVD 법 또는 스퍼터링법에 의해 형성된다. 이어서, 채널 보호막이 선택적으로 에칭되어 채널 보호층(2903)이 형성된다. 대안적으로, 채널 보호막이 선택적으로 액적 토출법에 의해 형성될 수 있다.
- [0272] 후속하여, 반도체막이 패터닝되어 섬 형 반도체막(2902)을 형성한다. n-형 반도체막이 형성되고, 배선(2905, 2906)이 액적 토출법에 의해 형성된다. n-형 반도체막을 포함하는 소스 또는 드레인 영역(2907, 2904)이 마스크로서 배선(2905, 2906)을 사용하여 선택적으로 에칭된다. 필라(2929) 및 층간 절연막(2928)이 액적 토출법에 의해 동일한 장치로 패터닝되고 소성된다. 여기서, 필라(2929)는 먼저 토출되고, 층간 절연막(2928)이 나중에 토출되나, 전술한 것 중 어느 하나가 단계 순서에 특별한 제한 없이 먼저 토출될 수 있다. 또한, 필라(2929) 또는 층간 절연막(2928) 중 어느 하나의 임시 소성 또는 최종 소성후에, 다른 하나는 상이한 장치로 토출되고 소성된다.
- [0273] 후속 단계들은 본 발명의 바람직한 실시예 모드와 유사하게 수행될 수 있다. 이 실시예는 TFT 구조를 제외하고 본 발명의 바람직한 실시예 모드와 동일하다. 따라서, 도 26에는, 동일한 참조 번호가 도 21d에 동등한 부분에 사용된다.
- [0274] 이 실시예는 실시예 모드 2 및 실시예 4와 자유롭게 조합될 수 있다.
- [0275] [실시예 6]
- [0276] 주사선 측 구동 회로가 액티브 매트릭스 발광 장치에 실시예 4(도 25)에 기술된 바와 같이 기판(3700) 위에 형성될 수 있는데, 이는 TFT의 반도체층이 세미아몰퍼스 실리콘막으로 형성되기 때문이다.
- [0277] 주사선 측 구동 회로는, 이것은  $1\text{cm}^2/\text{Vsec}$  내지  $15\text{cm}^2/\text{Vsec}$ 의 전계 이동도를 갖는 세미아몰퍼스 실리콘막을 사용하는 TFT에 의해 도 15, 도 16 및 도 17에 도시된 블록도의 회로를 구성함으로써 구현될 수 있다. 도 15, 도 16 및 도 17의 상세한 사항은 실시예 2에 기술되어 있고, 따라서, 그들은 여기에 기술되지 않는다.
- [0278] 이 실시예는 실시예 모드 2 또는 실시예 4 또는 5와 자유롭게 조합될 수 있다.
- [0279] [실시예 7]
- [0280] 이 실시예는 도 27a 내지 도 27f에 도시된 것과 동등한 회로도를 참조하여 EL 패널의 화소의 구조를 기술하고 있다.
- [0281] 도 27a에 도시된 화소, 신호선(1410) 및 전원선(1411 내지 1413)이 횡방향으로, 그리고 주사선(1414)이 열방향으로 배열된다. 또한, 화소는 스위칭 TFT(1401), 구동용 TFT(1403), 전류 제어 TFT(1404), 용량 소자(1402) 및 발광 소자(1405)를 포함한다.
- [0282] 도 27c에 도시된 화소는, 구동용 TFT(1403)의 게이트 전극이 열방향으로 배열된 전원선(1415)에 접속되는 것을 제외하고, 도 27a에 도시된 것과 동일하다. 즉, 도 27a 및 도 27c에 도시된 화소 양자는 같은 등가의 회로도를 나타낸다. 그러나, 전원선(1412)을 열방향으로 위치시키는 경우(도 27a) 및 전원선(1412)을 횡방향으로 위치시키는 경우(도 27c), 각 전원선은 상이한 층에서 도전층으로 형성된다. 여기서, 구동용 TFT(1403)의 게이트 전극이 접속되는 배선에 주목하면, 도 27a 및 도 27c는 전원선이 형성되는 층 내의 층들이 상이함을 보여주지 위

해 기술되고 있다.

- [0283] 도 27a 및 도 27c에 도시된 화소들의 특성으로서, 구동용 TFT(1403) 및 전류 제어 TFT(1404)는 화소에 직렬로 접속되고, 구동용 TFT(1403)의 채널 길이(L<sub>3</sub>) 및 채널 폭(W<sub>3</sub>)과, 전류 제어 TFT(1404)의 채널 길이(L<sub>4</sub>) 및 채널 폭(W<sub>4</sub>)은  $L_3/W_3 : L_4/W_4 = 5$  내지 6000 : 1을 만족하도록 세팅된다. 6000 : 1을 만족하는 경우의 일례로서, L<sub>3</sub>가 500 $\mu$ m, W<sub>3</sub>가 3 $\mu$ m, L<sub>4</sub>가 3 $\mu$ m, 그리고 W<sub>4</sub>가 100 $\mu$ m인 경우가 주어진다.
- [0284] 또한, 구동용 TFT(1403)는 포화 영역에서 동작하고, 발광 소자(1405)로 흐르는 전류의 전류 값을 제어하도록 기능한다. 전류 제어 TFT(1404)는 선형 영역에서 동작하고, 발광 소자(1405)로의 전류의 공급을 제어하는 기능을 수행한다. 제조 단계의 관점에서 양 TFT가 동일한 도전형질을 갖는 것이 바람직하다. 구동용 TFT(1403)로서, 인헨스먼트형(enhancement type)뿐만 아니라 디플리션형(depletion type) TFT가 사용될 수 있다. 전류 제어 TFT(1404)의 V<sub>GS</sub>에서의 작은 변화는 발광 소자(1405)의 전류 값에 영향을 미치지 않는데, 이는 전류 제어 TFT(1404)가 전술한 구조를 갖는 본 발명에 따라서 선형 영역에서 동작하기 때문이다. 즉, 발광 소자(1405)의 전류 값이 포화 영역에서 동작하는 구동용 TFT(1403)에 의해 결정되기 때문이다. 전술한 구조를 갖는 본 발명은 TFT의 특성의 변화로 인한 휘도의 비균질성이 향상되어 영상 품질을 향상시키는 표시 장치를 제공할 수 있다.
- [0285] 도 27a 내지 도 27d에 도시된 화소들에서, TFT(1401)는 화소로의 영상 신호 입력을 제어한다. TFT(1401)가 턴온되고, 영상 신호가 화소에 입력되면, 영상 신호는 용량 소자(1402)에 유지된다. 화소가 도 27a 및 도 27c의 용량 소자(1402)의 각각을 포함하지만, 본 발명은 이것에 제한되지 않는다. 게이트 용량 등이 영상 신호 유지를 위해 용량을 대체할 수 있으면, 용량 소자(1402)는 명백하게 제공될 필요는 없다.
- [0286] 발광 소자(1405)는 전계 발광층이 한 쌍의 전극 사이에 개재된 구조를 갖는다. 화소 전극 및 대향 전극(음극 및 양극)은 전압차를 가지므로, 포워드 바이어스 전압(forward bias voltage)이 발광 소자(1405)에 인가된다. 전계 발광층은 유기 재료 또는 무기 재료와 같은 다양한 재료로부터 선택된 재료로 형성될 수 있다. 전계 발광층에서의 루미네선스는 단일항 여기 상태가 기저 상태로 복귀하는 때에 발생하는 루미네선스(형광)과 삼중항 여기 상태가 기저 상태로 복귀하는 때에 발생하는 루미네선스(인광)를 포함한다.
- [0287] 도 27b에 도시된 화소는 트랜지스터(1406) 및 주사선(1416)이 부가되는 것을 제외하고는 도 27a에 도시된 것과 동일한 구조를 갖는다. 유사하게, 도 27d에 도시된 화소는 트랜지스터(1406) 및 주사선(1416)이 부가되는 것을 제외하고는 도 27c에 도시된 것과 동일한 구조를 갖는다.
- [0288] 트랜지스터(1406)는 부가된 주사선(1416)에 의해 온/오프로 제어된다. 트랜지스터(1406)가 턴온되면, 용량 소자(1402)에 유지된 전하는 방전되고, 따라서 트랜지스터(1406)는 턴오프된다. 즉, 전류의 발광 소자(1405)로의 공급은 트랜지스터(1406)를 위치시킴으로써 강제적으로 정지된다. 따라서, 도 27b 및 도 27d에 도시된 구조를 이용함으로써, 발광 기간이 신호가 모든 화소에 기록되기 전의 기록 기간과 동시에 또는 그 바로 직후에 개시될 수 있고, 그것에 의해 향상된 듀티비(duty ratio)를 가져올 수 있다.
- [0289] 도 27e에 도시된 화소에서, 신호선(1450)은 횡방향으로 배열되고 전원선(1451, 1452) 및 주사선(1453)은 열방향으로 배열된다. 화소는 스위칭 TFT(1441), 구동용 TFT(1443), 용량 소자(1442) 및 발광 소자(1444)를 포함한다. 도 27f에 도시된 화소는 TFT(1445) 및 주사선(1454)이 부가된 것을 제외하고는 도 27e에 도시된 것과 동일하다. 도 27f의 구조는 또한 TFT(1445)로 인해 듀티비가 증가되는 것을 가능하게 한다.
- [0290] 이 실시예는 실시예 모드 2 및 실시예 4 내지 6과 자유롭게 조합될 수 있다.
- [0291] [실시예 8]
- [0292] 본 발명에 따른 반도체 장치 및 전자 장치로서, 비디오 카메라, 디지털 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(카오디오, 오디오 콤파지션 등), 랩탑 개인용 컴퓨터, 게임기, PDA(모바일 컴퓨터, 모바일 폰, 휴대용 게임기, 전자 사진 등), 영상 재생 장치(특히, 영상을 표시할 수 있는 디스플레이를 포함하는 DVD와 같은 기록 매체를 재생하는 장치) 등이 주어질 수 있다. 특히, 큰 화면을 갖는 큰 크기의 텔레비전 등을 위해 본 발명을 사용하는 것이 바람직하다. 그러한 전자 장치의 동작 예가 도 28a 내지 도 28d에 도시되었다.
- [0293] 도 28a는 22 인치 내지 50 인치의 큰 화면(22)을 포함하는 큰 크기의 표시 장치를 도시하는데, 그것은 케이스(casing, 2001), 지지부(2002), 표시부(2003), 비디오 입력 단자(2005)를 포함한다. 표시 장치는 개인용 컴퓨

터, TV 방송 수신, 쌍방향 TV 등에 대한 정보를 표시하기 위한 모든 표시 장치를 포함한다. 비교적 저렴한 큰 크기의 표시 장치는 한 측부가 1000 mm를 초과하는 5세대 이후의 큰 기관이 사용되는 경우에도 구현될 수 있다.

[0294] 도 28b는 메인 몸체(2201), 케이싱(2202), 표시부(2203), 키보드(2204), 외부 접속부(2205), 포인팅 마우스(2206)를 포함하는 랩탑 개인용 컴퓨터를 도시하고 있다. 비교적 저렴한 랩탑 개인용 컴퓨터가 본 발명에 따라 구현될 수 있다.

[0295] 도 28c는 기록 매체(특히, DVD 플레이어)를 구비한 휴대용 영상 재생 장치를 도시하고 있는데, 그것은 본체(2401), 케이싱(2402), 표시부 A(2403), 표시부 B(2404), 기록 매체(DVD 등) 판독부(2405), 동작키(2406), 스피커 유닛(2407) 등을 포함한다. 표시부 A(2403)는 주로 영상 정보를 표시하는 반면에, 표시부 B(2404)는 주로 텍스트 정보를 표시한다. 기록 매체를 구비한 영상 재생 장치는 홈 비디오 게임기 등을 포함한다. 비교적 저렴한 영상 재생 장치가 본 발명에 따라 구현될 수 있다.

[0296] 도 28d는 무선 TV를 도시하고, 단지 그것의 디스플레이만이 휴대가능하다. 배터리 및 신호 수신기가 케이싱(2602)에 일차화되고, 표시부(2604) 및 스피커 유닛(2607)은 배터리에 의해 구동된다. 배터리는 충전기(2600)로 여러번 충전될 수 있다. 또한, 충전기(2600)는 비디오 신호를 송수신할 수 있고, 그것은 비디오 신호를 디스플레이 신호 수신기에 보낼 수 있다. 케이싱(2602)은 동작키(2606)에 의해 제어된다. 도 28d에 도시된 장치는 또한 쌍방향 영상/음향 통신 장치인데, 동작키(2606)를 동작시키는 것에 의해 케이싱으로부터 충전기(2600)로 신호를 보낼 수 있기 때문이다. 또한, 동작키(2606)를 동작시킴으로써, 신호가 케이싱으로부터 충전기(2600)로 보내질 수 있다. 또한, 다른 전자 장치가 충전기(2600)로부터 송신될 수 있는 신호를 수신할 수 있게 함으로써, 다른 전자 장치의 통신이 제어될 수 있다. 그 관점에서, 그것은 범용 원격 제어 장치이다. 본 발명에 따르면, 비교적 큰(22인치 내지 50인치)의 휴대용 TV가 저렴한 제조 처리를 통하여 제공될 수 있다.

[0297] 전술한 바와 같이, 본 발명에 의해 얻어진 표시 장치는 모든 전자 장치의 표시부로서 사용될 수 있다.

[0298] 이 실시예 모드는 실시예 모드

1 또는 2, 또는 실시예 1 내지 7 중 어느 것이라도 자유롭게 조합이 가능하다.

[0299] 본 발명의 양상에 따르면, 액정 표시 패널 또는 발광 표시 패널은 한 측부가 1000mm를 초과하는 5 세대 후의 유리 기관을 사용하여 낮은 비용으로 제조될 수 있다.

[0300] 또한, 본 발명에 따르면, 생산성이 향상되고, 또한, 스핀 코팅 없이도 처리가 수행될 수 있다. 따라서, 재료 용액의 손실 및 폐기 용액의 양이 감소될 수 있다.

**도면의 간단한 설명**

[0057] 도 1a 내지 1e는 AM-LCD의 제조 단계를 각각 도시하는 단면도들.

[0058] 도 2a 내지 2d는 AM-LCD의 제조 단계를 각각 도시하는 단면도들.

[0059] 도 3은 화소를 도시하는 평면도.

[0060] 도 4a 및 도 4b는 습식 처리기(wet processor)를 각각 도시하는 도면들.

[0061] 도 5a 및 도 5b는 프레스 장치를 각각 도시하는 단면도들.

[0062] 도 6a 내지 6e는 마스크 형성 단계를 각각 도시하는 단면도들.

[0063] 도 7은 액적 토출 장치를 도시하는 투시도.

[0064] 도 8a 내지 8c는 액적 토출법에 의한 패턴 형성 단계를 각각 도시하는 도면들.

[0065] 도 9는 증착 장치를 도시하는 투시도.

[0066] 도 10a 및 도 10b는 화소를 각각 도시하는 평면도들(실시예 1).

[0067] 도 11a, 11c 및 11d는 액적 토출법에 의한 액적 적하를 수행하는 것을 각각 도시하는 단면도들.; 도 11b는 액적 토출법에 의한 액적 적하를 수행하는 것을 도시하는 투시도(실시예 2).

[0068] 도 12a 내지 12d는 처리를 각각 도시하는 평면도(실시예 2).

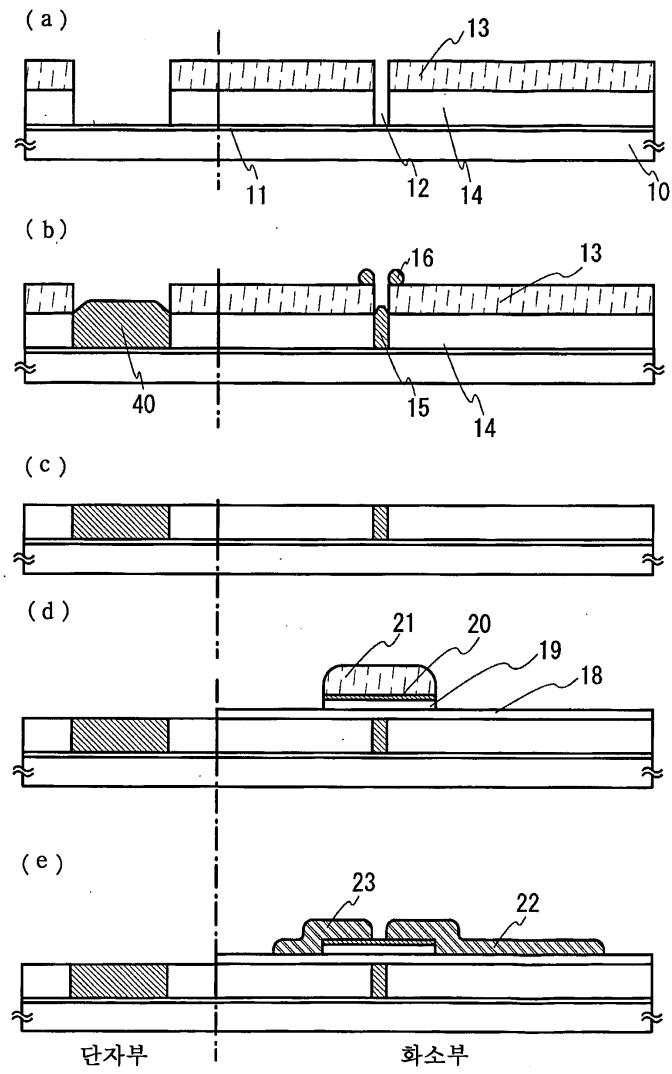
[0069] 도 13a 및 도 13b는 페이스팅 장치(pasting device) 및 페이스팅 처리(pasting process)를 각각 도시하는 단면

도들(실시예 2).

- [0070] 도 14a 및 도 14b는 액정 모듈을 각각 도시하는 평면도(실시예 2).
- [0071] 도 15는 구동 회로를 도시하는 블록도(실시예 2).
- [0072] 도 16은 구동 회로를 도시하는 회로도(실시예 2).
- [0073] 도 17은 구동 회로를 도시하는 회로도(실시예 2).
- [0074] 도 18은 액티브 매트릭스 액정 표시 장치를 도시하는 단면 구조도(실시예 2).
- [0075] 도 19는 액정 표시 장치를 도시하는 단면도(실시예 3).
- [0076] 도 20a 내지 20e는 발광 장치를 제조하는 단계를 각각 도시하는 단면도들.
- [0077] 도 21a 내지 21d는 발광 장치 제조 단계를 각각 도시하는 단면도들.
- [0078] 도 22는 화소를 도시하는 평면도.
- [0079] 도 23a 내지 23e는 마스크 형성 단계를 각각 도시하는 단면도들.
- [0080] 도 24는 본 발명의 일부 양태에 따른 발광 표시 장치를 도시하는 평면도.
- [0081] 도 25는 본 발명의 일부 양태에 따른 발광 표시 장치를 도시하는 평면도.
- [0082] 도 26은 발광 장치의 예를 도시하는 단면도.
- [0083] 도 27a 내지 27f는 EL 표시 패널에 적용될 수 있는 화소 구조를 각각 도시하는 회로도들.
- [0084] 도 28a 내지 28d는 전자 장치의 예를 도시하는 도면들(실시예 4).

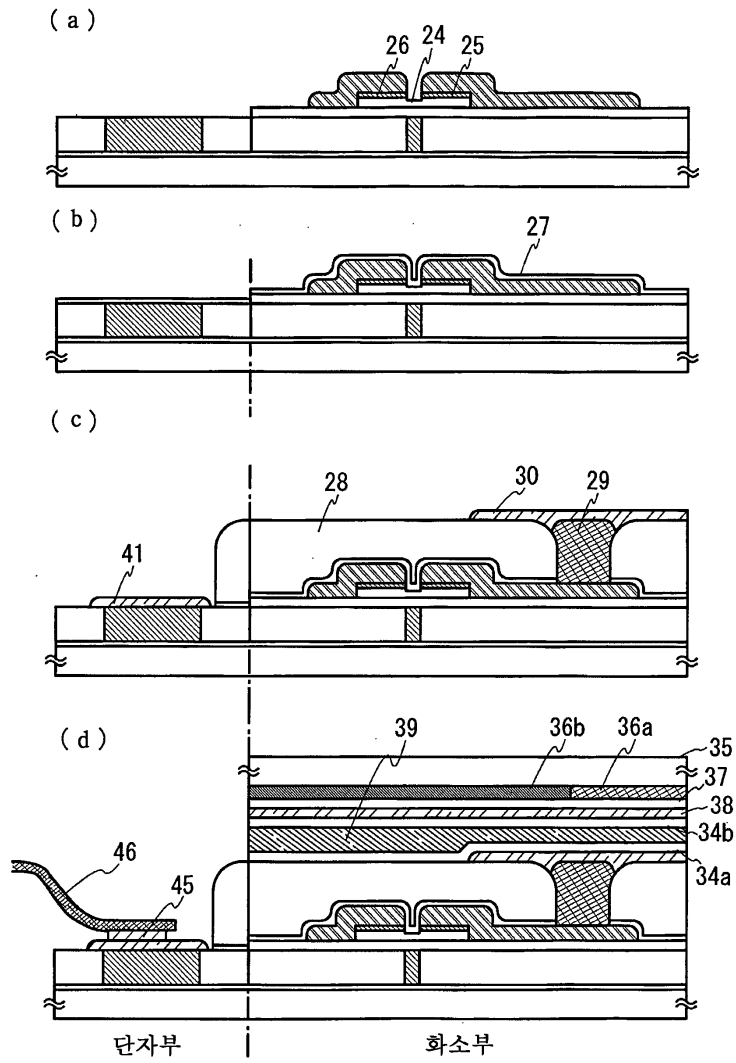
도면

도면1

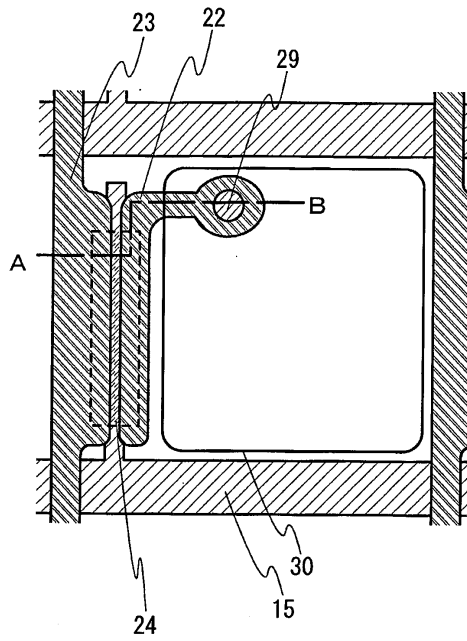




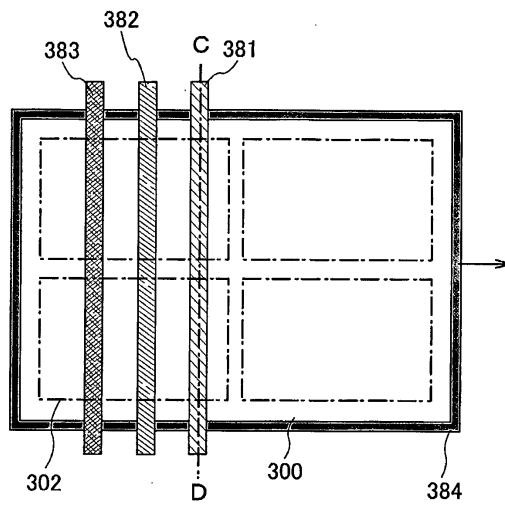
도면2



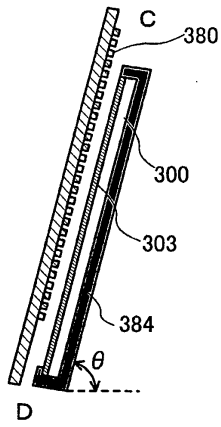
도면3



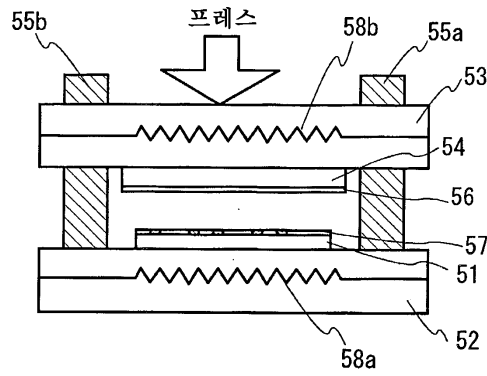
도면4a



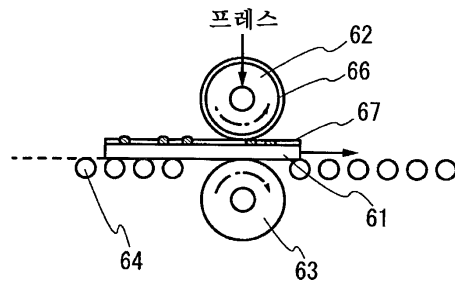
도면4b



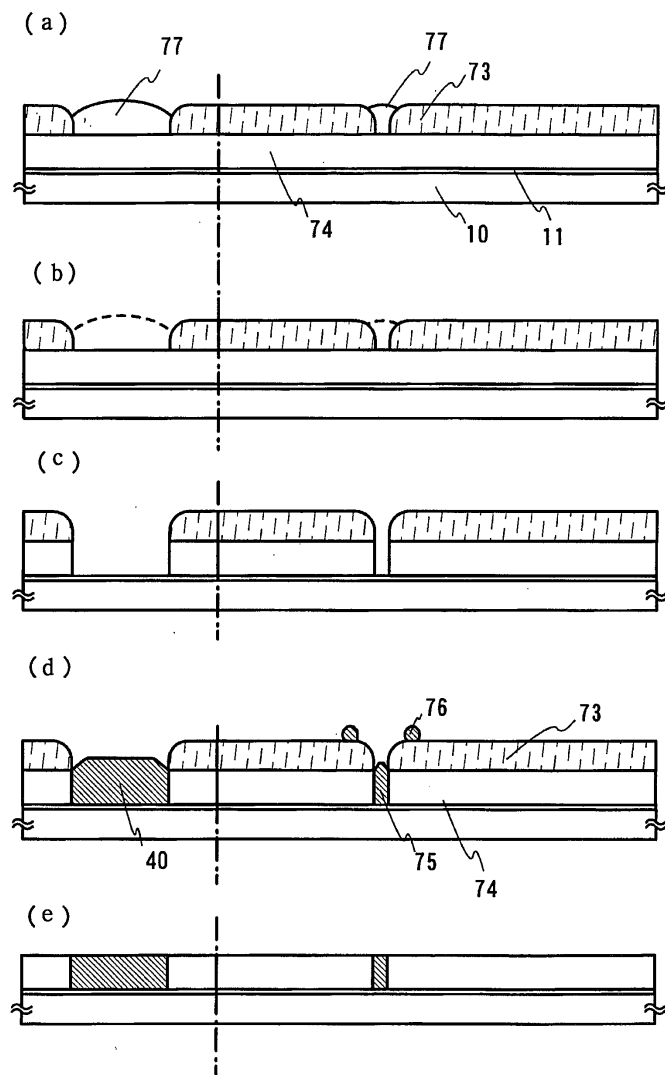
도면5a



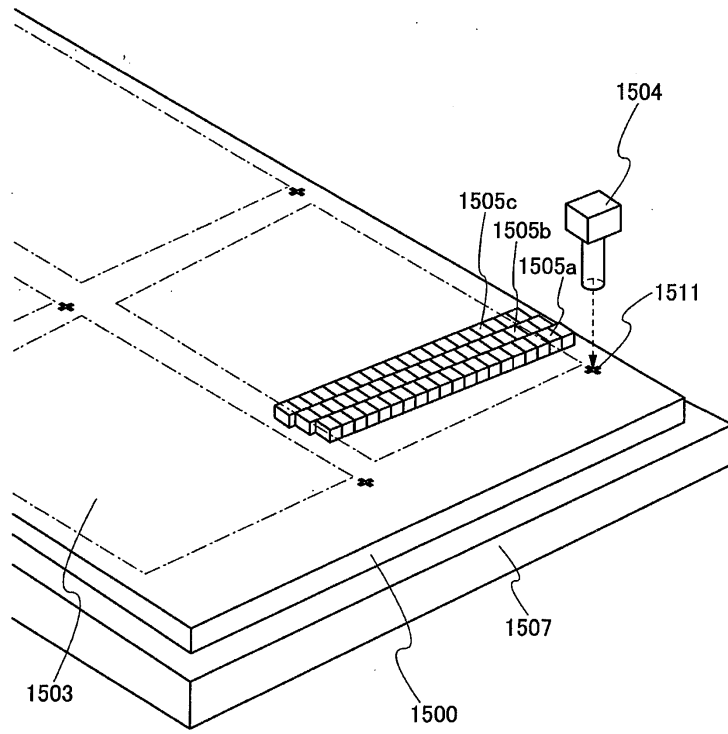
도면5b



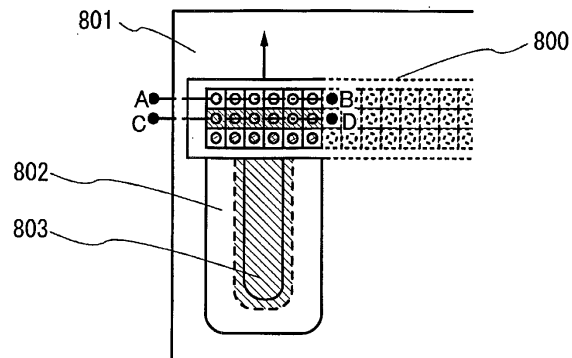
도면6



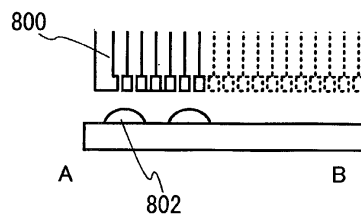
도면7



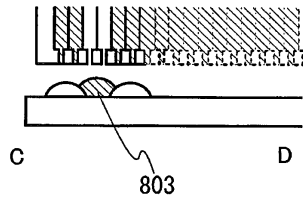
도면8a



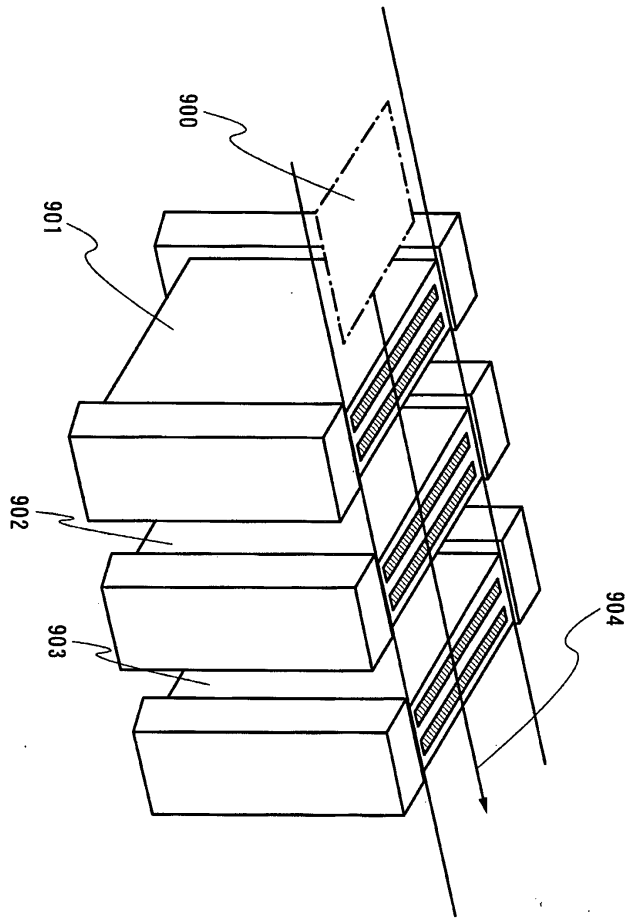
도면8b



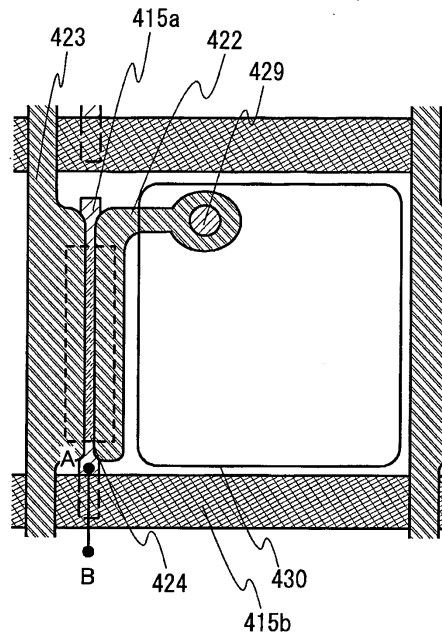
도면8c



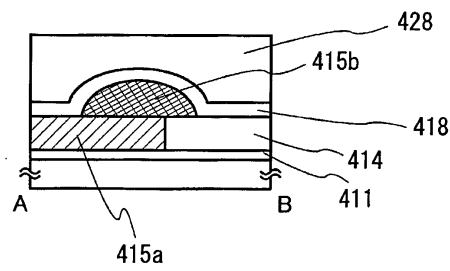
도면9



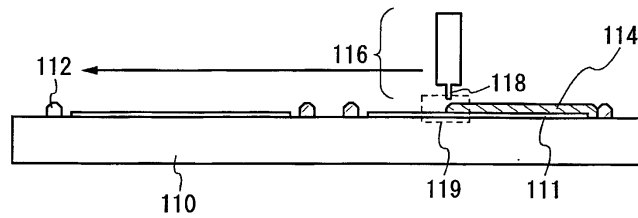
도면10a



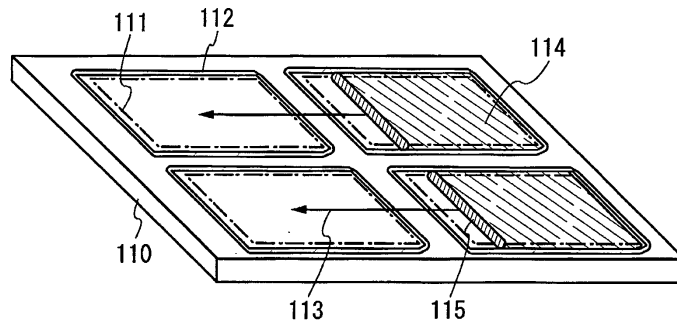
도면10b



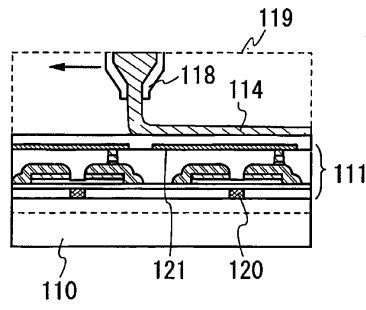
도면11a



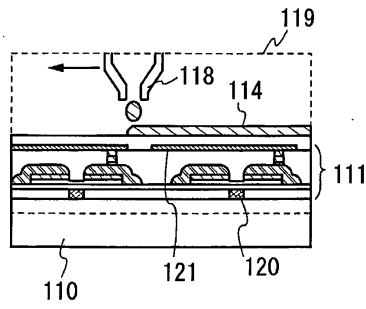
도면11b



도면11c

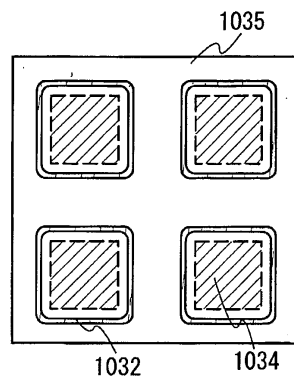


도면11d

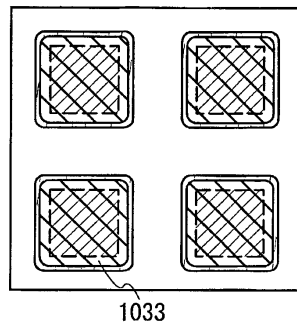




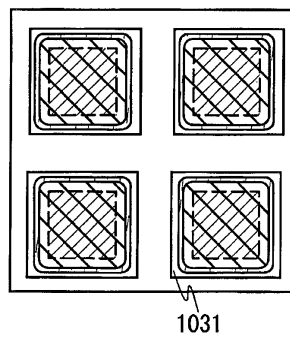
도면12a



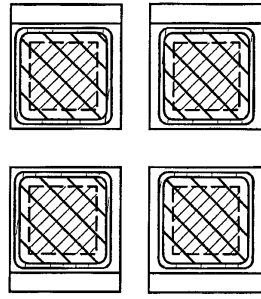
도면12b



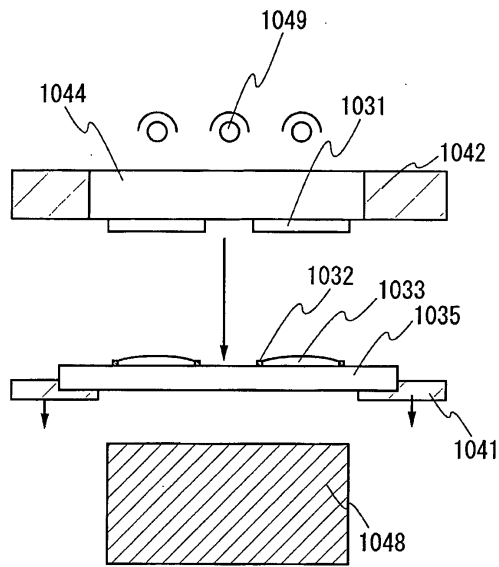
도면12c



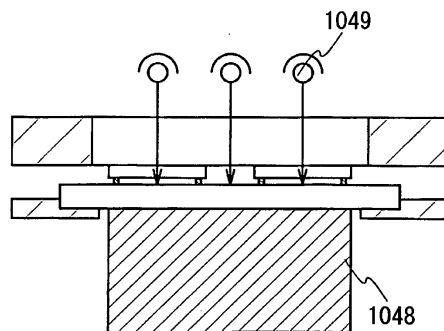
도면12d



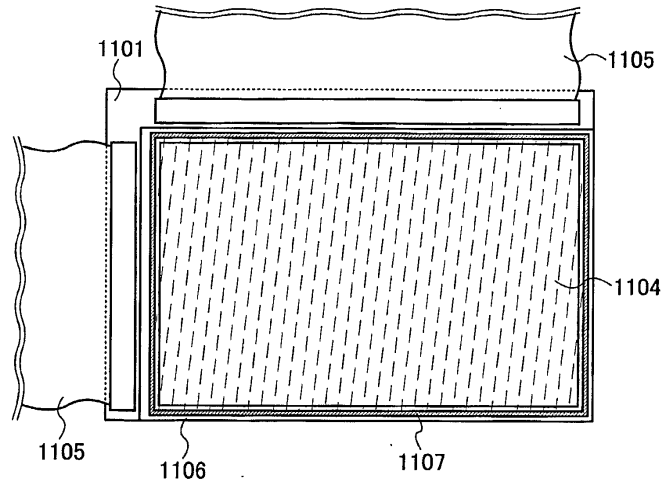
도면13a



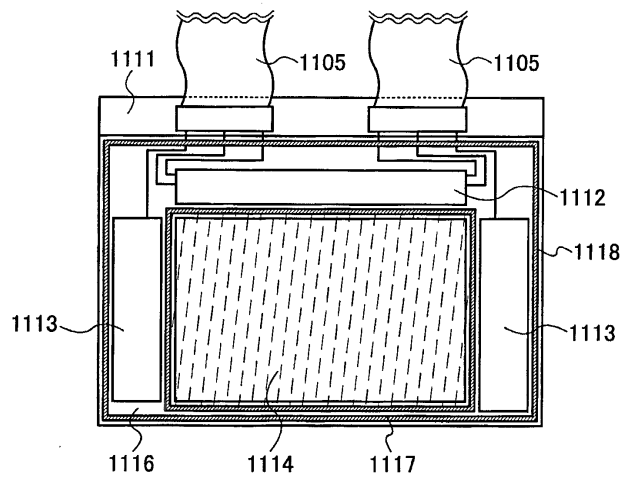
도면13b



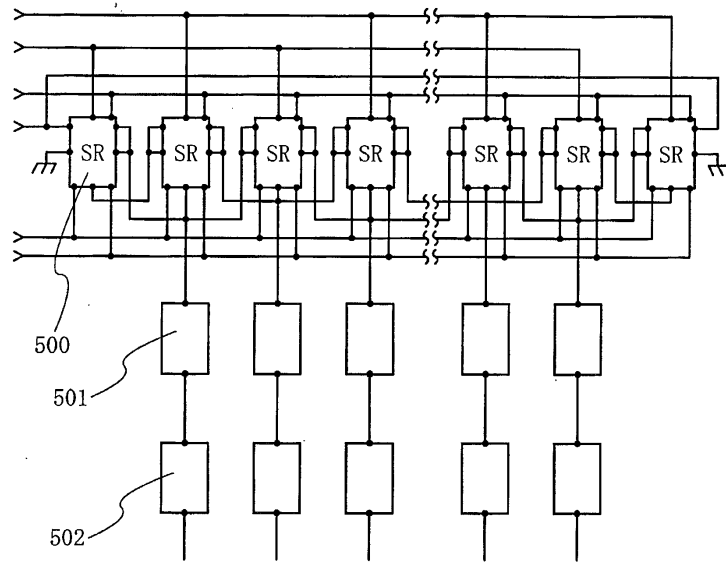
도면14a



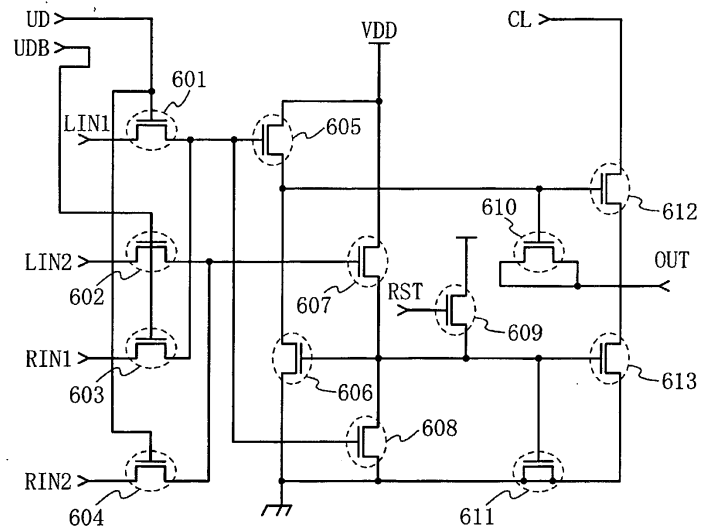
도면14b



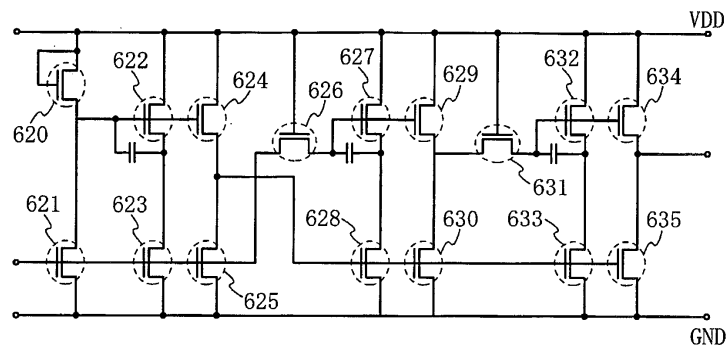
도면15



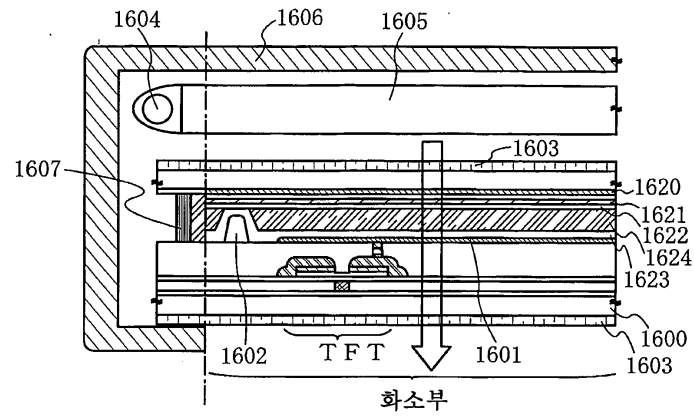
도면16



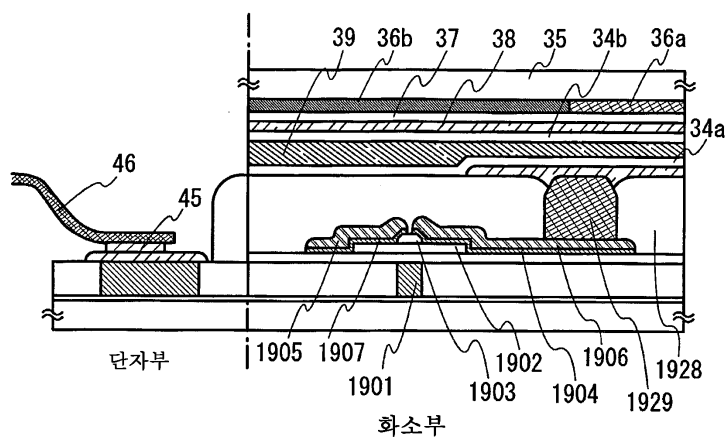
도면17



도면18

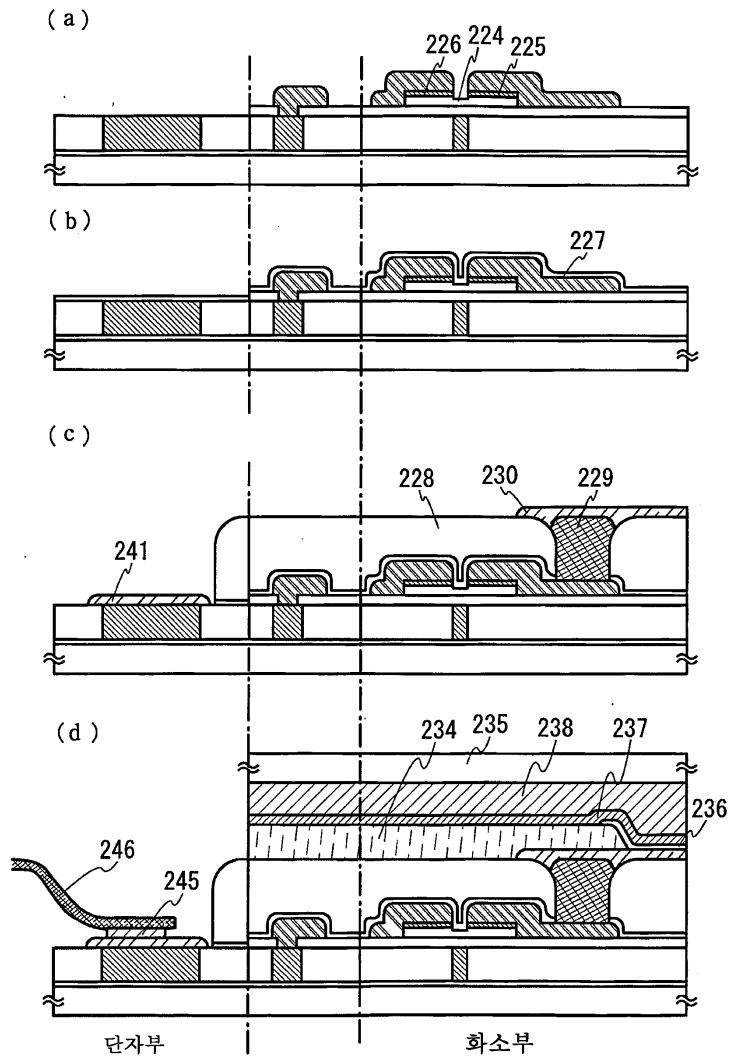


도면19

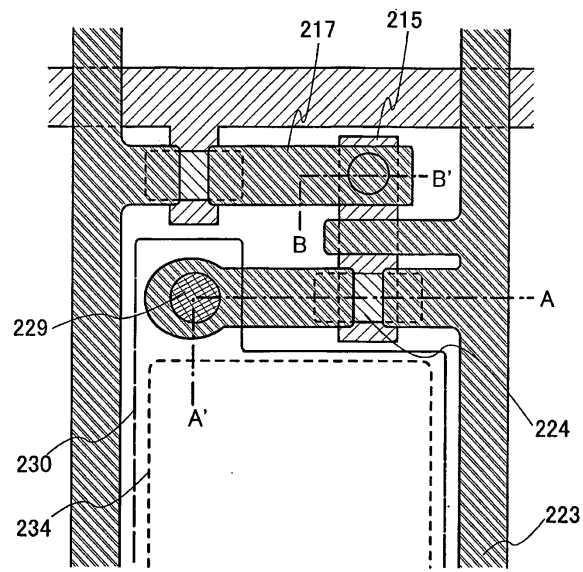




도면21

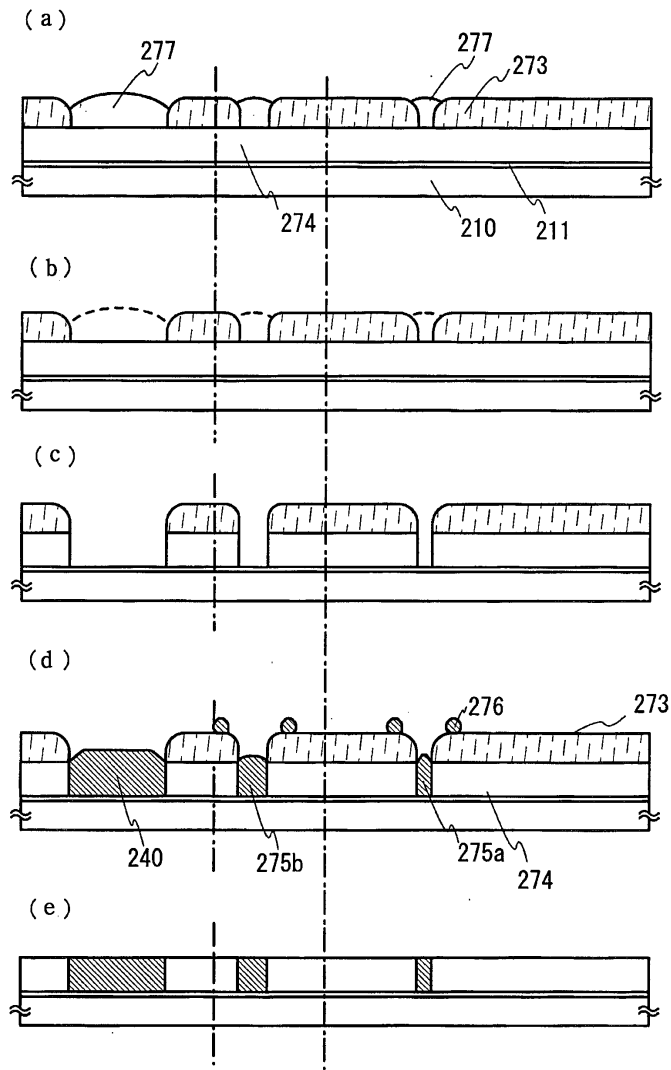


도면22

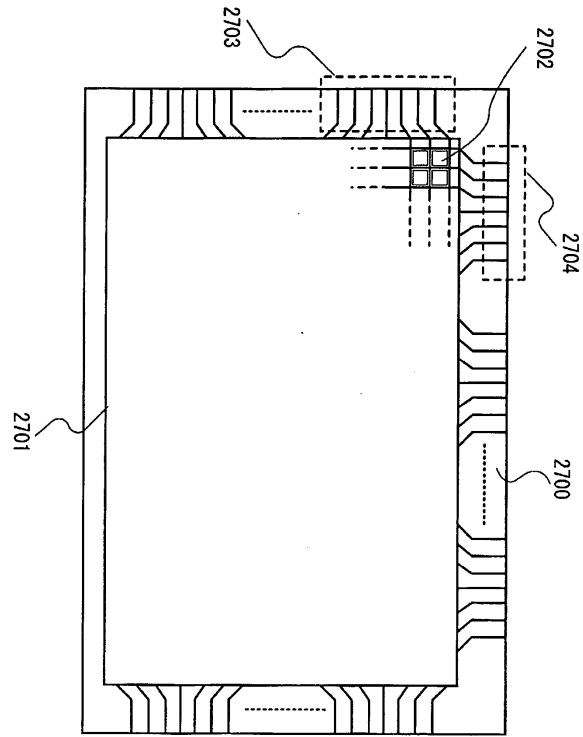




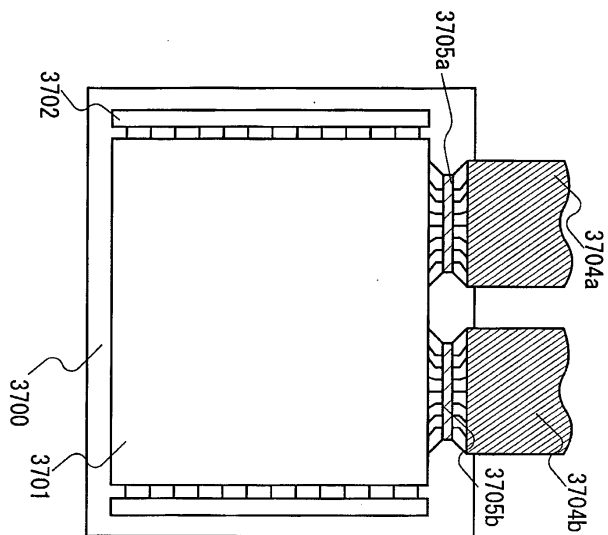
도면23



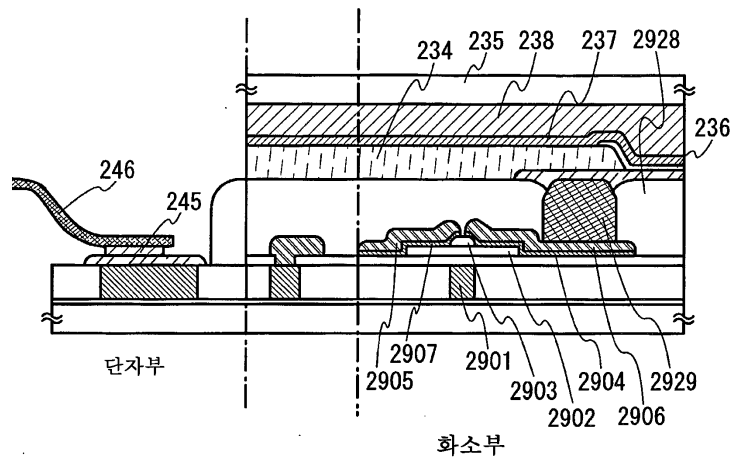
도면24



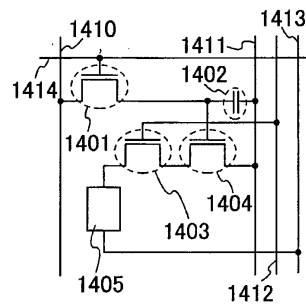
도면25



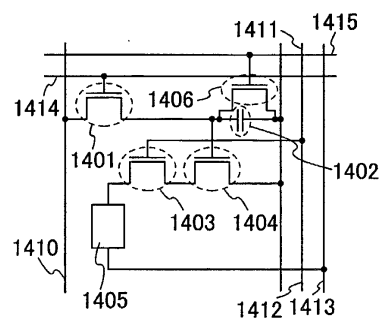
도면26



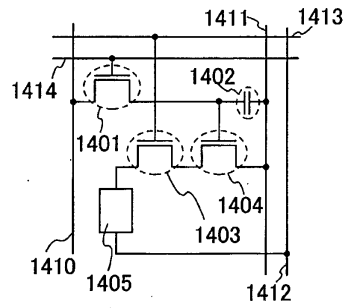
도면27a



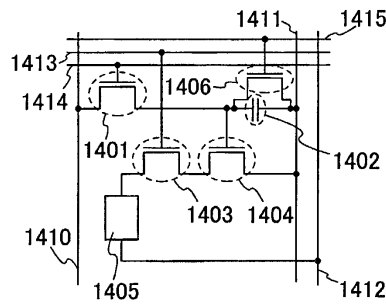
도면27b



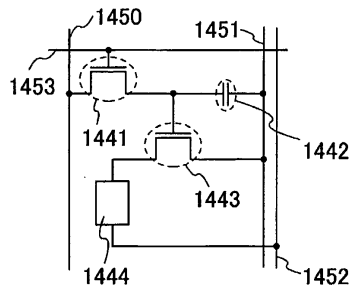
도면27c



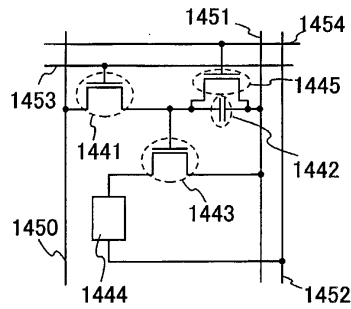
도면27d



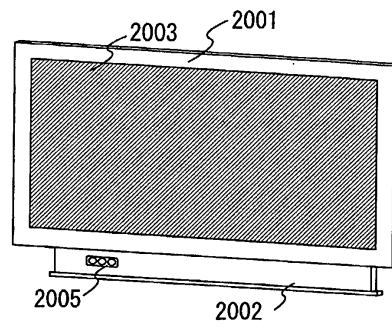
도면27e



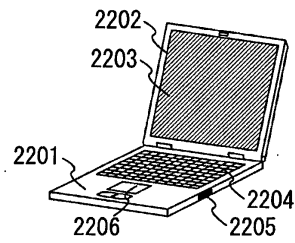
도면27f



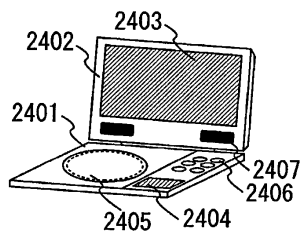
도면28a



도면28b



도면28c



도면28d

