

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-49777
(P2012-49777A)

(43) 公開日 平成24年3月8日(2012.3.8)

(51) Int.Cl. F I テーマコード (参考)
 HO3M 3/02 (2006.01) HO3M 3/02 5J064
 HO3M 7/32 (2006.01) HO3M 7/32

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号	特願2010-189349 (P2010-189349)	(71) 出願人	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地
(22) 出願日	平成22年8月26日 (2010. 8. 26)	(74) 代理人	100083806 弁理士 三好 秀和
		(74) 代理人	100133514 弁理士 寺山 啓進
		(74) 代理人	100122910 弁理士 三好 広之
		(74) 代理人	100117064 弁理士 伊藤 市太郎
		(72) 発明者	横山 靖友 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		Fターム(参考)	5J064 AA01 BA03 BC08 BC09 BC16 BD01

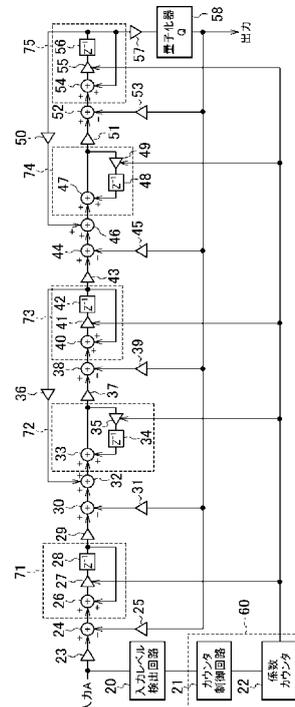
(54) 【発明の名称】 音声出力装置

(57) 【要約】

【課題】 音声信号入力の途中で信号がなくなった場合や、音声信号入力状態と無信号状態とが繰り返された場合でも、雑音を防止してS/N比を上げることができる音声出力装置を提供する。

【解決手段】 各乗算器27、35、41、49、55は、各遅延器28、34、42、48、56の入力側に設けられている。各乗算器27、35、41、49、55は、各加算器26、33、40、47、54からの各加算出力に、係数カウンタ22から供給される乗算係数をそれぞれ掛け算する。変調器にデジタル音声信号の入力がない場合に、カウンタ制御回路により、係数カウンタ22の出力を所定の時間間隔で段階的に0にする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

信号を量子化する量子化器と
 入力されたデジタル音声信号から前記量子化器からの帰還信号を減算する減算器と、
 前記減算器からの出力信号を累積加算して前記量子化器側に出力する累積加算器と、
 前記累積加算器を構成する遅延器と、
 前記累積加算器を構成するとともに前記遅延器の入力側に接続された乗算器と、
 前記乗算器に乗算係数を供給する乗算係数制御回路とを備え、
 前記デジタル音声信号の入力がない場合に、前記乗算係数制御回路により前記乗算係数を所定の時間間隔で段階的に 0 になるようにした 変調器を備えたことを特徴とする音声出力装置。

10

【請求項 2】

デジタル音声信号の入力端から前記量子化器に至るまでに、複数の前記累積加算器がカスケード接続され、前記量子化器からの帰還信号が複数の前記累積加算器に各々フィードバックされるとともに、前記乗算係数制御回路からの乗算係数は前記複数の累積加算器内の各乗算器に供給されていることを特徴とする請求項 1 記載の音声出力装置。

【請求項 3】

デジタル音声信号の再入力があった場合には、前記乗算係数制御回路により前記乗算係数を所定の時間間隔で段階的に 1 になるようにしたことを特徴とする請求項 1 又は請求項 2 に記載の音声出力装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、テレビ、ラジカセ、カーオーディオ、ホームシアター、オーディオコンボ等音声を出力する機器に用いられる音声出力装置に関する。

【背景技術】

【0002】

近年の L S I 技術の発展に伴い、C D プレイヤーや M D プレイヤー等に代表されるデジタルオーディオ機器においては、デジタル信号処理およびその増幅に 1 ビット D A C (D i g i t a l A n a l o g C o n v e r t e r) が用いられている。この 1 ビット D A C においては、音声信号は、 変調器を用いてノイズシェーピングされ、パルス幅変調 P W M (P u l s e W i d t h M o d u l a t i o n) された 1 ビット P W M 信号として出力される。

30

【0003】

上述した 変調器のうち、従来の 1 次 変調器の一構成例を図 4 に示す。図 4 は、1 次 変調器の各要素を Z 変換して得られる Z 関数で記述しており、 Z^{-1} は入力を 1 サンプルクロック分遅らせる遅延要素を表わしている。

【0004】

この図 4 に示す 1 次 変調器は、減算器 8 1、加算器 8 2 と遅延器 8 4 とを備えた累積加算器 9 0、遅延器 8 5、乗算器 8 6、量子化器 (Q) 8 3 で構成されている。減算器 8 1 は、入力信号 X とフィードバック信号 W の減算を行う。また、累積加算器 9 0 は、減算器 8 1 の出力 S を 1 サンプルクロック毎に累積加算を行うものである。

40

【0005】

ここで、量子化器 8 3 は、累積加算器 9 0 の出力 Y が $Y \geq 0$ であれば、「+」を出力し、累積加算器 9 0 の出力 Y が $Y < 0$ であれば、「-」を出力する 2 値量子化された出力信号 Q (Z) を生成する。出力信号 Q (Z) は、遅延器 8 5 により、1 サンプルクロック分遅らせられ、乗算器 8 6 を介してフィードバック信号 W となる。

【0006】

1 次 変調器は、上記の要素で構成されたフィードバックシステムであり、2 つの遅延器 8 4、8 5 へのサンプルクロックに同期して、ダイナミックレンジ - ~ + の

50

入力信号 X を、2 値量子化信号 (+ 、 -) へと変換する変調器である。

【 0 0 0 7 】

テレビやオーディオ等の音声を出力する機器においては、上記のような変調器が用いられるが、通常は、音声の品質を良くするために、高次の変調器を用いている。高次の変調器は、特許文献 1 ~ 3 に示されるように、複数の累積加算器と量子化器が一巡ループ内にカスケード接続された構成となっている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開平 9 - 3 0 7 4 4 7 号公報

10

【 特許文献 2 】 特開 2 0 0 1 - 2 3 7 7 0 7 号公報

【 特許文献 3 】 特開 2 0 0 3 - 2 9 8 4 2 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

しかし、従来の変調器にデジタルオーディオ信号を入力した後、無入力状態にすると、上記のように、変調器は、遅延器を用いた累積加算器を備えているため、無入力状態となっても、累積加算されたデータは残っている。この残存データが累積加算器内のフィードバック信号として回るため、小さな雑音を出し、S / N 比が悪化する。また、高次の変調器を用いている場合は、複数の累積加算器がカスケード接続されているため、雑音の影響は大きくなる。

20

【 0 0 1 0 】

本発明は、上述した課題を解決するために創案されたものであり、音声信号入力の途中で信号がなくなった場合や、音声信号入力状態と無信号状態とが繰り返された場合でも、雑音を防止して S / N 比を上げることができる音声出力装置を提供することを目的としている。

【 課題を解決するための手段 】

【 0 0 1 1 】

上記目的を達成するために、本発明の音声出力装置は、信号を量子化する量子化器とデジタル音声入力信号から前記量子化器からの帰還信号を減算する減算器と、前記減算器からの出力信号を累積加算して前記量子化器側に出力する累積加算器と、前記累積加算器を構成する遅延器と、前記累積加算器を構成するとともに前記遅延器の入力側に接続された乗算器と、前記乗算器に乗算係数を供給する乗算係数制御回路とを備え、前記デジタル音声信号の入力がない場合に、前記乗算係数制御回路により前記乗算係数を所定の時間間隔で段階的に 0 になるようにした変調器を備えたことを主要な特徴とする。

30

【 発明の効果 】

【 0 0 1 2 】

本発明の音声出力装置は、遅延器と該遅延器の入力側に設けられた乗算器とを備えた累積加算器を有し、前記乗算器の乗算係数は乗算係数制御回路で制御するようにし、デジタル音声信号の入力がない場合に、前記乗算器の乗算係数を前記乗算係数制御回路により所定の時間間隔で段階的に 0 になるようにした変調器を備えている。このため、累積加算器に残っているデータを消去することができ、無入力状態になった場合に雑音の発生を防止することができる。

40

【 図面の簡単な説明 】

【 0 0 1 3 】

【 図 1 】 本発明の音声出力装置の構成を示す概略ブロック図である。

【 図 2 】 本発明の音声出力装置における変調器の構成を示すブロック図である。

【 図 3 】 変調器における前処理入力信号と累積加算器内の乗算器に設定される係数との関係を示す図である。

【 図 4 】 従来の 1 次変調器の構成を示すブロック図である。

50

【発明を実施するための形態】

【0014】

以下、図面を参照して本発明の一実施形態を説明する。図面は模式的なものであり、現実のものとは異なる。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

【0015】

図1は、本発明の音声出力装置10の基本的な構成を示す。音声出力装置10は、同期サンプリングレートコンバータ1、DSP（デジタルシグナルプロセッサ）2、オーバーサンプリングフィルタ3、変調器4、PWM変調器5等から構成されている。

【0016】

同期サンプリングレートコンバータ1は、入力されたデジタルオーディオ信号であるPCM信号のサンプリング周波数のうち、8kHz、12kHz、16kHz、24kHz、32kHz、48kHz、96kHz等を、後段処理に適したサンプリング周波数48kHzに変換する。また、入力されたPCM信号のサンプリング周波数のうち、11.025kHz、22.05kHz、44.1kHz、88.2kHz等を、後段処理に適したサンプリング周波数44.1kHzに変換する。

【0017】

同期サンプリングレートコンバータ1から出力された信号は、DSP2に入力され、例えば、パラメトリックイコライザ回路等により構成され、デジタルオーディオ信号の音量や周波数特性の調整等が行われる。

【0018】

DSP2で信号処理が行われた後、オーバーサンプリングフィルタ3にデータが入力される。オーバーサンプリングフィルタ3は、オーバーサンプリングフィルタ3に入力される信号の入力サンプリング周波数に基づいたオーバーサンプリングを行う。入力サンプリング周波数の2倍、4倍、8倍等のオーバーサンプリングが行われる。

【0019】

変調器4は、オーバーサンプリングフィルタ3から入力されたPCM信号を多値のPDM[Pulse Density Modulation]信号に変調する。PWM変調器5は、入力されたPDM信号をL/R各チャンネル用のPWM信号、すなわち1ビット(2値)信号に変調する。なお、変調器4で予めPCM信号を2値のPDM信号に変調しておく構成としてもよい。

【0020】

ここまでの信号処理は純粋なデジタル信号処理であり、その動作は、図示していない水晶発振回路等で生成された基準クロック信号に基づいて制御される。

【0021】

次に、例えば、PWM出力のL/R各チャンネル用の信号に対して各々スイッチング増幅し、LPF等で、増幅信号の不要高周波成分(ノイズ成分)を除去してスピーカ等に送出する。

【0022】

変調器4は、例えば、図2に示すように、5個の累積加算器を備えた5次の変調器で構成される。以下に変調器4の詳細な構成を説明する。図2の変調器において、入力Aの信号となる前処理されたデジタル音声信号と、量子化器58からの入力A側へのフィードバックによる一巡ループ内に、入力Aの入力端から量子化器58までの間に、5個の累積加算器71~75がカスケード接続されている。また、量子化器58の出力は、各累積加算器71~75に、各乗算器25、31、39、45、53を通してフィードバックされている。

【0023】

量子化器58は、5段目の累積加算器75の出力に対して量子化処理を施して量子化データを導出するものである。

【0024】

初段の累積加算器 7 1 は、加算器 2 6 からの加算出力を、乗算器 2 7 を通してから遅延器 2 8 で遅延し、フィードバックループを介して、加算器 2 6 に戻し、減算器 2 4 からの減算出力と加算する。このように、累積加算器 7 1 では、減算器 2 4 からの減算出力が 1 サンプルクロック毎に累積加算されることになり、いわゆる積分処理が行われる。このような積分処理機能は、他の累積加算器 7 2 ~ 7 5 も同様であるので、以下、累積加算機能の説明は省略する。

【 0 0 2 5 】

また、量子化器 5 8 からの量子化データは乗算器 2 5 に入力され、乗算器 2 5 からの乗算出力が減算器 2 4 にフィードバックされる。減算器 2 4 では、入力 A のデジタル音声信号を乗算器 2 3 で乗算し、この乗算出力から乗算器 2 5 の乗算出力を減算する。

10

【 0 0 2 6 】

2 段目の累積加算器 7 2 は、加算器 3 3 からの加算出力をフィードバックループに戻し、フィードバックループにおいて、乗算器 3 5 を通した後、遅延器 3 4 で遅延して加算器 3 3 に戻し、加算器 3 2 からの加算出力と加算する。

【 0 0 2 7 】

また、量子化器 5 8 からフィードバックされる量子化データを乗算器 3 1 で乗算し、この乗算出力を乗算器 2 9 の乗算出力から減算する減算器 3 0 を備える。減算器 3 0 の減算出力は、第 3 段目の累積加算器 7 3 からの出力を乗算器 3 6 を通して乗算された出力と、第 2 段目の累積加算器 7 2 の入力側に設けられた加算器 3 2 により加算される。

20

【 0 0 2 8 】

3 段目の累積加算器 7 3 は、加算器 4 0 からの加算出力を、乗算器 4 1 を通してから遅延器 4 2 で遅延し、フィードバックループを介して、加算器 4 0 に戻し、減算器 3 8 からの減算出力と加算する。

【 0 0 2 9 】

また、量子化器 5 8 からフィードバックされる量子化データを乗算器 3 9 で乗算し、この乗算出力を乗算器 3 7 の乗算出力から減算する減算器 3 8 を備える。

【 0 0 3 0 】

4 段目の累積加算器 7 4 は、加算器 4 7 からの加算出力をフィードバックループに戻し、フィードバックループにおいて、乗算器 4 9 を通した後、遅延器 4 8 で遅延して加算器 4 7 に戻し、加算器 4 6 からの加算出力と加算する。

30

【 0 0 3 1 】

また、量子化器 5 8 からフィードバックされる量子化データを乗算器 4 5 で乗算し、この乗算出力を乗算器 4 3 の乗算出力から減算する減算器 4 4 を備える。減算器 4 4 の減算出力は、第 5 段目の累積加算器 7 5 からの出力を乗算器 5 0 を通して乗算された出力と、第 4 段目の累積加算器 7 4 の入力側に設けられた加算器 4 6 により加算される。

【 0 0 3 2 】

5 段目の累積加算器 7 5 は、加算器 5 4 からの加算出力を、乗算器 5 5 を通してから遅延器 5 6 で遅延し、フィードバックループを介して、加算器 5 4 に戻し、減算器 5 2 からの減算出力と加算する。

【 0 0 3 3 】

また、量子化器 5 8 からフィードバックされる量子化データを乗算器 5 3 で乗算し、この乗算出力を乗算器 5 1 の乗算出力から減算する減算器 5 2 を備える。

40

【 0 0 3 4 】

以上のように、累積加算器 7 1 の出力側には乗算器 2 9 が、累積加算器 7 2 の出力側には乗算器 3 7 が、累積加算器 7 3 の出力側には乗算器 4 3 が、累積加算器 7 4 の出力側には乗算器 5 1 が、累積加算器 7 5 の出力側には乗算器 5 7 が、それぞれ設けられている。これらの乗算器 2 9、3 7、4 3、5 1、5 7 は、減衰器を構成している。高次の変調器では、発振防止のために設けられる。乗算器 2 9、3 7、4 3、5 1、5 7 の乗算係数は 1 未満である。

【 0 0 3 5 】

50

また、各累積加算器 7 1 ~ 7 5 内の各乗算器 2 7、3 5、4 1、4 9、5 5 は、各遅延器 2 8、3 4、4 2、4 8、5 6 の入力側に設けられ、各遅延器 2 8、3 4、4 2、4 8、5 6 とそれぞれ接続されている。各乗算器 2 7、3 5、4 1、4 9、5 5 は、各加算器 2 6、3 3、4 0、4 7、5 4 からの各加算出力に、係数カウンタ 2 2 から供給される乗算係数をそれぞれ掛け算する。

【 0 0 3 6 】

一方、入力レベル検出回路 2 0 が入力 A の端子に接続されている。入力レベル検出回路は、入力 A にデジタル音声信号が入力されているのか、あるいはデジタル音声信号入力がないのかを検出する回路である。検出には、ノイズ成分とデジタル音声信号とを区別するために、所定のレベルの閾値を設け、この閾値以下の状態が一定期間続く場合に、デジタル音声信号入力が 0 と判断する。他方、デジタル音声信号入力が 0 と判断した後に、閾値を越えるデジタル信号を検出した場合は、再びデジタル音声信号が入力されたと判断する。

10

【 0 0 3 7 】

入力レベル検出回路 2 0 の出力は、乗算係数制御回路 6 0 に供給される。乗算係数制御回路 6 0 は、カウンタ制御回路 2 1 と係数カウンタ 2 2 とで構成されている。乗算係数制御回路 6 0 は、乗算器 2 7、3 5、4 1、4 9、5 5 の各乗算器に供給する乗算係数を制御するものであり、この乗算係数は、基本的には、0 から 1 の間の値を取る。

【 0 0 3 8 】

カウンタ制御回路 2 1 は、係数カウンタ 2 2 を制御するものであり、カウンタで構成される係数カウンタ 2 2 にプリセット値を与えたり、計数を加算させたり、又は減算させたりする。最初の状態では、カウンタ制御回路 2 1 は係数カウンタ 2 2 のプリセット値を 1 に設定する。

20

【 0 0 3 9 】

入力レベル検出回路 2 0 からデジタル音声信号入力が 0 であるとの判定信号がカウンタ制御回路 2 1 に供給されると、カウンタ制御回路 2 1 は、係数カウンタ 2 2 の計数を 1 から 0 まで減少させていくように制御する。デジタル音声信号入力が 0 であるとの判定信号がカウンタ制御回路 2 1 に供給された後、デジタル音声信号の再入力があったとの判定信号を受けた場合には、カウンタ制御回路 2 1 は、係数カウンタ 2 2 の計数を 0 から 1 まで増加させていくように制御する。

30

【 0 0 4 0 】

上記、入力レベル検出回路 2 0、乗算係数制御回路 6 0 の基本的な動作について、図 3 を参照しながら説明する。図 3 の上段は、入力 A に供給される信号を表わし、下段は係数カウンタ 2 2 からの乗算係数出力を表わす。

【 0 0 4 1 】

入力 A には、図 1 で示したオーバーサンプリングフィルタ 3 の出力となるデジタル音声信号が入力される。このデジタル音声信号は乗算器 2 3 を介して減算器 2 4 に供給される。減算器 2 4 では、乗算器 2 3 からの乗算出力から量子化器 5 8 から出力されたフィードバック信号が減算される。減算器 2 4 の出力は、初段の累積加算器 7 1 に供給される。後は、上述した構成にしたがい、信号が処理されていくわけであるが、特徴的なのは、各累積加算器は、遅延器の入力段に乗算器が設けられ、この乗算器の出力が遅延器の入力となることである。

40

【 0 0 4 2 】

最初の状態は、デジタル音声信号がオーバーサンプリングフィルタ 3 から変調器 4 に途切れずに入力されている。このとき、乗算器 2 7、3 5、4 1、4 9、5 5 の各乗算器に供給される乗算係数は、1 である。

【 0 0 4 3 】

次に、入力 A に供給されるデジタル音声信号が、途中、 t_0 の時点で無信号状態（入力信号 = 0）となったとする。このとき、入力レベル検出回路 2 0 は、所定レベルの閾値と比較して入力信号が 0 の状態であると検出するとともに、この検出状態が、所定の期間、

50

例えば、43msの間連続して続くかどうかを判定する。t₀から43ms経過したt₁の時点で、デジタル音声信号入力が0と判断して、その信号をカウンタ制御回路21に送信する。

【0044】

カウンタ制御回路21は、入力レベル検出回路20からのデジタル音声信号入力が0との判定信号を受けて、係数カウンタ22に対してカウントダウンの制御を行う。このカウントダウンの状態が、t₁～t₂に示されている。t₁～t₂の係数カウンタの状態は、1から段階的に0に遷移する。t₁～t₂の遷移時間は、例えば、20msである。

【0045】

係数カウンタ22の値が0になると、各累積加算器71～75内の乗算器27、35、41、49、55には、乗算係数0が供給(設定)されている状態となる。したがって、例えば、乗算器27は、加算器26の加算出力に0を掛けた値を出力する。他の乗算器35、41、49、55も同様、対応する加算器33、40、47、54の加算出力に、各々0を掛けた値を出力する。このようにして、各累積加算器71～75内の各遅延器28、34、42、48、56の入力は0となり、雑音の原因となるデータは消滅する。

10

【0046】

一方、t₃の時点は、デジタル音声信号入力が0の状態から、再度デジタル音声信号が入力された状態になったことを示す。このとき、入力レベル検出回路20で、デジタル音声信号が存在することを検出し、この検出信号がカウンタ制御回路21に送信される。カウンタ制御回路21は、再度デジタル音声信号が入力されたという判定信号を受けて、係数カウンタ22に対してカウントアップの制御を行う。すると、t₃～t₄に示されるように、係数カウンタの状態は、0から段階的に1に遷移する。t₁～t₂の遷移時間は、例えば、5msである。

20

【0047】

以上のように、デジタル音声信号入力が途切れて、無信号状態になった場合、累積加算器内の遅延器に残っていたデータが、フィードバックループにより帰還したとしても、乗算器により最終的に0とすることができるので、雑音を消去することができる。

【0048】

なお、上記の例では、5次変調器を用いたが、例えば4次でも6次でも7次でもよく、また下げる次数は用途に合わせて2次でも1次でもよい。また、変調器及び入出力信号は1ビットだけでなく、複数ビットでもよい。

30

【産業上の利用可能性】

【0049】

本発明の音声出力装置の構成は、テレビ、ラジカセ、カーオーディオ、ホームシアター、オーディオコンポ等だけでなく、音声により伝達するシステムであれば、幅広く適用することができる。

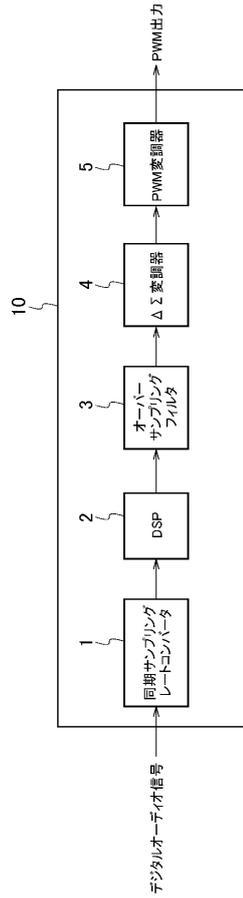
【符号の説明】

【0050】

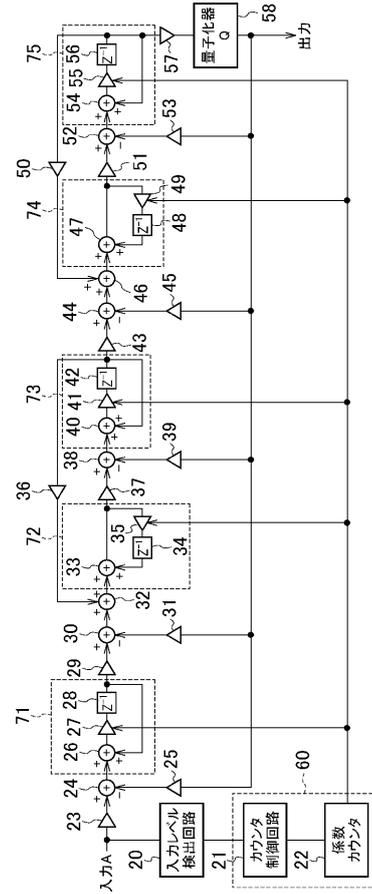
- 1 同期サンプリングレートコンバータ
- 2 DSP
- 3 オーバーサンプリングフィルタ
- 4 変調器
- 5 PWM変調器
- 10 音声出力装置

40

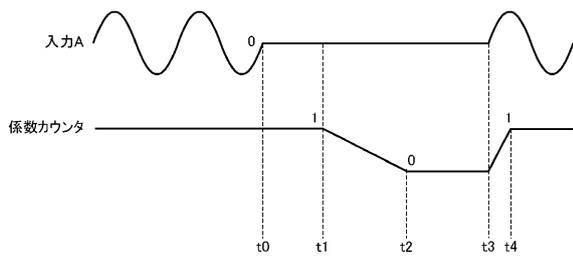
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

