

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-147427

(P2008-147427A)

(43) 公開日 平成20年6月26日(2008.6.26)

(51) Int.Cl.		F I			テーマコード (参考)	
<b>H05K</b>	<b>1/18</b>	<b>(2006.01)</b>	H05K	1/18	J	5E319
<b>H05K</b>	<b>3/34</b>	<b>(2006.01)</b>	H05K	3/34	501D	5E336
			H05K	1/18	S	

審査請求 未請求 請求項の数 10 O L (全 12 頁)

(21) 出願番号 特願2006-332975 (P2006-332975)  
 (22) 出願日 平成18年12月11日(2006.12.11)

(71) 出願人 000190688  
 新光電気工業株式会社  
 長野県長野市小島田町80番地  
 (74) 代理人 100091672  
 弁理士 岡本 啓三  
 (72) 発明者 高池 英次  
 長野県長野市小島田町80番地 新光電気  
 工業株式会社内  
 Fターム(参考) 5E319 AA03 AB06 AC16 CC12 CC22  
 CD04 CD13 CD26 GG09  
 5E336 AA04 AA12 AA16 BC28 BC34  
 BC37 CC32 CC42 CC51 CC55  
 EE03 EE15 EE17 GG05 GG09

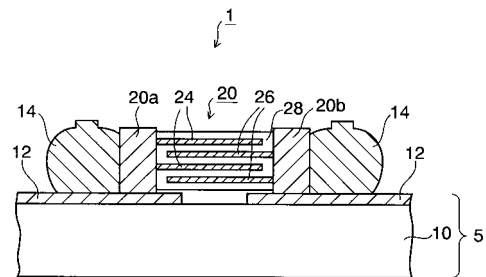
(54) 【発明の名称】 電子部品装置及び電子部品の実装方法

(57) 【要約】

【課題】極小サイズの電子部品であっても信頼性よく配線基板に実装される電子部品装置を提供する。

【解決手段】配線基板5の配線パターン12の上に、側面に電極20a、20bが設けられた電子部品20が実装され、電子部品20の電極20a、20bの横近傍の配線パターン12の上に、電子部品20の電極20a、20b及び配線パターン12に接合された金バンプ14が設けられており、電子部品20の電極20a、20bは金バンプ14によって配線パターン12に電気的に接続されている。金バンプ14はワイヤバンプ法によって形成される。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

配線パターンを備えた配線基板と、

前記配線基板の前記配線パターンの上に実装され、側面に電極が設けられた電子部品と

、  
前記電子部品の電極の横近傍の前記配線パターンの上に設けられて、前記電子部品の電極と前記配線パターンに接合される金バンプとを有し、

前記電子部品の電極は、前記金バンプによって前記配線パターンに電氣的に接続されていることを特徴とする電子部品装置。

**【請求項 2】**

前記金バンプは、ワイヤバンプ法によって形成されたものであることを特徴とする請求項 1 に記載の電子部品装置。

**【請求項 3】**

前記電子部品は、半導体デバイス、キャパシタ部品、インダクタ部品及び抵抗部品の群から選択されるいずれか又は組み合わせからなることを特徴とする請求項 1 に記載の電子部品装置。

**【請求項 4】**

前記配線基板の上には複数の前記電子部品が実装されており、前記複数の電子部品の各電極ごとに前記金バンプがそれぞれ設けられ、前記複数の電子部品は前記配線パターンを介して接続されていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の電子部品装置。

**【請求項 5】**

前記配線基板の上には複数の前記電子部品が実装されており、前記複数の電子部品はそれらの間に配置される前記金バンプによって直接接続されていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の電子部品装置。

**【請求項 6】**

前記電子部品は一对の電極を備えた受動部品を含み、複数の前記受動部品の電気極性の異なる各電極が対向して配置されて電氣的に直列に接続される箇所では、前記複数の受動部品の対向する各電極は前記金バンプによって直接接続されていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の電子部品装置。

**【請求項 7】**

前記電子部品は一对の電極を備えた受動部品を含み、複数の前記受動部品の電気極性が同一の各電極が横方向に並んで配置されて電氣的に並列に接続される箇所では、前記複数の受動部品同士が接触して配置され、かつ各電極に個別の前記金バンプがそれぞれ設けられるか、あるいは一对の各電極に一括して共通金バンプがそれぞれ設けられていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の電子部品装置。

**【請求項 8】**

配線パターンを備えた配線基板を用意する工程と、

前記配線基板の前記配線パターンの上に、側面に電極が設けられた電子部品を仮固定する工程と、

前記電子部品の前記電極の横近傍の前記配線パターンの上に、ワイヤバンプ法によって金バンプを形成することにより、前記電子部品の前記電極と前記配線パターンとを前記金バンプで電氣的に接続する工程とを有することを特徴とする電子部品の実装方法。

**【請求項 9】**

前記電子部品は、半導体デバイス、キャパシタ部品、インダクタ部品及び抵抗部品の群から選択されるいずれか又は組み合わせからなることを特徴とする請求項 8 に記載の電子部品の実装方法。

**【請求項 10】**

前記電子部品は複数の前記電極を備えており、前記複数の電極ごとに前記金バンプをそれぞれ独立して形成することを特徴とする請求項 8 又は 9 に記載の電子部品の実装方法。

10

20

30

40

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は電子部品装置及び電子部品の実装方法に係り、さらに詳しくは、半導体デバイスやキャパシタなどの電子部品が配線基板の上に実装されて構成される電子部品装置及び電子部品の実装方法に関する。

## 【背景技術】

## 【0002】

従来、半導体デバイスやキャパシタなどの電子部品が配線基板の上に実装されて構成される電子部品装置がある。電子部品は、主にはんだによって配線基板の配線パターンに接合されて実装される。図1に示すように、一对の電極300を備えたキャパシタ部品400を実装する場合、配線基板100の配線パターン200上にはんだが印刷された後に、キャパシタ部品400が配線基板100の上に配置され、リフロー加熱することによりキャパシタ部品400の一对の電極300が配線パターン200にはんだ220によって接合されて実装される。

10

## 【0003】

これに関連する技術としては、特許文献1には、回路基板の配線パターンに一对の電極を備えた複数の第1チップ部品(チップコンデンサ)をはんだによって実装し、第1チップ部品の上に第2チップ部品(チップ抵抗器)をはんだによって多段に積み重ねて実装することが記載されている。

20

## 【0004】

また、特許文献2には、プリント配線板の上にスペーサとして機能するガラス厚膜を介してチップ抵抗器が配置され、チップ抵抗器の側面の部品電極がプリント配線板のはんだ付けパッドにはんだにより接合された実装構造が記載されている。

【特許文献1】特開2005-216884号公報

【特許文献2】特開2000-261123号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

近年では、電子部品装置の高密度化及び高性能化が求められており、それによってより小型化された電子部品を配線基板に実装することが要求されている。しかしながら、電子部品のサイズが小さくなると(例えば0.6×0.3mm以下)、電子部品をはんだで接合して実装する際に、さまざまな不具合が発生する。

30

## 【0006】

前述した図1のようなキャパシタ部品400を実装する場合は、図2(a)に示すように、キャパシタ部品400の一端側が立ち上がってしまう立ち不良が発生したり、図2(b)に示すように、はんだ220の表面張力による位置合わせが十分に効かなくなりキャパシタ部品400が位置ずれして実装されたりする。さらには、図2(c)に示すように、キャパシタ部品400の一对の電極300の間で流動性のはんだ220が繋がって電氣的にショートするブリッジ不良が発生するおそれがある。

40

## 【0007】

本発明は以上の課題を鑑みて創作されたものであり、極小サイズの電子部品であっても信頼性よく配線基板に実装される電子部品装置及び電子部品の実装方法を提供することを目的とする。

## 【課題を解決するための手段】

## 【0008】

上記課題を解決するため、本発明は電子部品装置に係り、配線パターンを備えた配線基板と、前記配線基板の前記配線パターンの上に実装され、側面に電極が設けられた電子部品と、前記電子部品の電極の横近傍の前記配線パターンの上に設けられて、前記電子部品の前記電極と前記配線パターンに接合される金パンプとを有し、前記電子部品の電極は、

50

前記金バンプによって前記配線パターンに電氣的に接続されていることを特徴とする。

【0009】

本発明では、配線基板の配線パターンの上に側面に電極が設けられた電子部品（半導体デバイスやキャパシタ部品など）が実装されており、電子部品の電極がその横近傍に設けられた金バンプを介して配線基板の配線パターンに電氣的に接続されている。

【0010】

本発明では、流動性のはんだによって接合する方法と違って金バンプはほとんど流動しないので、極小サイズ（例えば0.6×0.3mm以下）の電子部品を実装する場合であっても、立ち不良、位置ずれ不良又はブリッジ不良が発生するおそれがない。従って、極小サイズの電子部品を配線基板の上に信頼性よくかつ高歩留りで実装することが可能になる。

10

【0011】

本発明の電子部品装置は、配線基板の上に電子部品が仮固定された後に、ワイヤバンプ法によって電子部品の横近傍の配線パターンの上に金バンプが形成されて製造される。ワイヤバンプ法による金バンプは、はんだで実装する場合よりも、プロセス温度を低くでき、しかも接合強度を強くすることができるので、電子部品装置の信頼性を向上させることができる。また、はんだを使用しないので、印刷装置やリフロー装置などが不要になってコスト低減を図れると共に、環境汚染物質の削減に寄与できる利点もある。

【0012】

本発明の一つの態様では、配線基板の上には複数の電子部品が実装されており、複数の電子部品の各電極ごとに金バンプがそれぞれ設けられ、複数の電子部品が配線パターンを介して接続されるようにしてもよい。

20

【0013】

また、本発明の他の態様では、配線基板上の複数の電子部品がそれらの間に配置される金バンプによって直接接続されるようにしてもよい。

【発明の効果】

【0014】

以上説明したように、本発明では、電子部品を金バンプで配線基板に接合するので、極小サイズの電子部品であっても何ら不具合が発生することなく配線基板に信頼性よく実装することができる。

30

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0016】

（第1の実施の形態）

図3は本発明の第1実施形態の電子部品装置を示す断面図である。第1実施形態で実装される電子部品は受動部品であり、キャパシタ部品を例に挙げて説明する。

【0017】

図3に示すように、本実施形態の電子部品装置1では、配線基板5の配線パターン12の上にキャパシタ部品20が実装されている。配線基板5はコア基板10の上に配線パターン12が設けられて構成され、多層配線が設けられたものであってもよいし、コア基板10の両面側に配線パターン12が設けられ、それらがスルーホール導電層を介して相互接続されていてもよい。

40

【0018】

キャパシタ部品20は積層キャパシタチップであり、複数の第1電極層24と複数の第2電極層26とが誘電体層28を介して積層されてキャパシタ部分が構成されている。複数の第1電極層24が一端側の第1電極20aに接続され、複数の第2電極層26が他端側の第2電極20bに接続されている。

【0019】

そして、キャパシタ部品20は、第1電極20a及び第2電極20bが横方向に並ぶよ

50

うにして配線パターン12の上に配置されている。さらに、キャパシタ部品20の第1電極20a及び第2電極20bの横近傍の配線パターン12上に、第1、第2電極20a、20b及び配線パターン12に接合された金バンプ14がそれぞれ設けられている。これにより、キャパシタ部品20の第1電極20a及び第2電極20bは金バンプ14を介して配線基板5の配線パターン12にそれぞれ電氣的に接続されている。

#### 【0020】

金バンプ14は、キャパシタ部品20が配線基板5の配線パターン12の上に位置合わせされて仮固定された後に、ワイヤバンプ法（ワイヤボンディング法）によって形成される。詳しく説明すると、まず、ワイヤボンダのキャピラリから金線を所定長だけ出し、この金線の先端部を放電により球状に丸める。その後、キャピラリを下降して金線の先端球状部をキャパシタ部品20の横近傍の配線パターン12に配置し、加熱と超音波振動により配線パターン12及びキャパシタ部品20の第1、第2電極20a、20bに接合する。その後、キャピラリを引き上げながら金線をクランプで固定し、先端球状部の直上でワイヤを破断させることにより、金属バンプ14を得る。

#### 【0021】

なお、図3では一对の電極20a、20bを備えたキャパシタ部品20を例示するが、側面に複数の電極が分割されて配置されたキャパシタ部品であってもよい。この場合、キャパシタ部品の複数の電極ごとに金バンプが独立して配置される。あるいは、側面に電極を備えた抵抗部品やインダクタ部品などの受動部品であってもよい。

#### 【0022】

このように、本実施形態の電子部品装置1では、キャパシタ部品20が配線基板5上に仮固定された状態でワイヤバンプ法により金バンプ14が形成されて、キャパシタ部品20の側面の第1、第2電極20a、20bが金バンプ14を介して配線基板5の配線パターン12に電氣的に接続される。このため、流動性のはんだで接合する方法と違って、金バンプ14はほとんど流動せず、仮固定されたキャパシタ部品20の横近傍に独立して金バンプ14を配置できるので、立ち不良、位置ずれ不良又はブリッジ不良などが発生するおそれがない。

#### 【0023】

従って、極小サイズの電子部品（例えば0.4×0.2mm、又は0.2×0.1mm）を実装する場合であっても、何ら不具合が発生することなく、超小型の電子部品を信頼性よくかつ高歩留りで実装することが可能になる。

#### 【0024】

また、配線基板上の特定箇所を修正するためのリペア作業を行う際に、従来のはんだ接合では電子部品を取り外す際にはんだが配線基板上に残りやすい問題がある。しかしながら、ワイヤバンプ法で形成される金バンプは、電子部品を取り外す際に配線基板から容易に除去されるので、リペア作業の効率や歩留りを向上させることができる。

#### 【0025】

また、ワイヤバンプ法による金バンプでの接合は、はんだ接合よりも接合強度が強いのので、電子部品の接合の信頼性を向上させることができる。

#### 【0026】

さらには、本実施形態では、はんだを使用しないので、印刷装置やリフロー装置などが不要になってコスト低減を図れると共に、環境汚染物質の削減に寄与できる。また、ワイヤバンプ法による金バンプの形成は、はんだ接合よりもプロセス温度を低くできるので、電子部品に与えるダメージを低減することができ、電子部品装置の信頼性を向上させることができる。

#### 【0027】

図4には第1実施形態の変形例の電子部品装置1aが示されている。変形例の電子部品装置1aでは、キャパシタ部品20の第1電極20aがはんだ15によって配線基板5の配線パターン12に接合されており、第2電極20bが金バンプ14によって配線パターン12に接合されている。このように、キャパシタ部品20の側面の複数の電極20a、

10

20

30

40

50

20bのうちの所定の電極20aをはんだ15で接合するようにして、はんだ接合と金バンプ接合が混在した形態としてもよい。

【0028】

(第2の実施の形態)

図5は本発明の第2実施形態の電子部品装置を示す断面図、図6は第2実施形態で実装される半導体デバイスを示す斜視図である。第2実施形態では、第1実施形態と同一要素については同一符号を付してその説明を省略する。

【0029】

第2実施形態で実装される電子部品は能動部品であり、半導体デバイスを例に挙げて説明する。図5及び図6に示すように、半導体デバイス30はQFN型のパッケージ構造を有する。そのような半導体デバイス30では、ダイパッド34上に半導体チップ36が固着されており、半導体チップ30はワイヤ38によって周縁部に並んで配置された複数の電極30aに電氣的に接続されている。そして、半導体チップ30、ワイヤ38及び電極30aの内面が封止樹脂32によって封止されている。半導体デバイス30の各電極30aは下面周縁部から上側に立設されて配置されており、半導体デバイス30の下面周縁部から側面に各電極30aの外面が露出した状態となっている。

10

【0030】

図5に示すように、第2実施形態では、そのような半導体デバイス30が配線基板5の配線パターン12の上に実装されている。そして、第1実施形態と同様に、半導体デバイス30の各電極30aの横近傍の配線パターン12上に、電極30a及び配線パターン12に接合された金バンプ14がそれぞれ設けられている。これによって、半導体デバイス30の側面の各電極30aが金バンプ14を介して配線基板5の配線パターン12に電氣的に接続されている。

20

【0031】

このようにして、第2実施形態の電子部品装置2が構成されている。第2実施形態では、第1実施形態と同様な効果を奏する。これに加えて、ワイヤバンプ法では、40μm程度以下の狭小ピッチで金バンプ14を独立して配置できるので、狭小ピッチの電極30aを備えた半導体デバイス30であっても、金バンプ14同士が電氣的にショートすることなく、半導体デバイス30の各電極30a(図6)に接合させて配置することができる。

30

【0032】

また、従来技術のはんだで接合する際のプロセス温度は、300~330であり、特に高性能な半導体デバイスを実装する場合は、半導体デバイスへのダメージが問題になることがある。しかしながら、ワイヤバンプ法によって金バンプを形成する際の温度は100~175であり、高性能な半導体デバイスを実装する場合であっても半導体デバイスにダメージを与えることもない。

【0033】

図7には第2本実施形態の変形例の電子部品装置2aが示されている。図7に示すように、変形例の電子部品装置2aでは、半導体デバイス30の側面に配置された複数の電極30aうちの所定の電極30aがはんだ15によって配線基板5の配線パターン12に接合されている。このように、第2実施形態においても、半導体デバイス30の側面に設けられた複数の電極30aうち所定の電極30aをはんだ15で接合するようにして、はんだ接合と金バンプ接合が混在した形態としてもよい。

40

【0034】

(第3の実施の形態)

図8は本発明の第3実施形態の電子部品装置を示す断面図及び部分平面図である。第3実施形態では、配線基板の上に能動部品と受動部品が混載されて実装される。第3実施形態では、第1実施形態と同一要素については同一符号を付してその説明を省略する。

【0035】

図8に示すように、本実施形態の電子部品装置3aでは、配線基板5の左側の配線パターン12の上に第1半導体デバイス31が実装されている。第1半導体デバイス31は第

50

2実施形態の半導体デバイス30と同様に側面に複数の電極31aが設けられており、各電極31aの横近傍の配線パターン12上に第2実施形態と同様な金バンプ14が設けられている。これによって、第1半導体デバイス31の各電極31aは金バンプ14を介して配線パターン12に電氣的に接続されている。

【0036】

第1半導体デバイス31に接続された配線パターン12の上には、側面側に一对の電極40aが設けられたインダクタ部品40が実装されている。インダクタ部品40においても、各電極40aの横近傍の配線パターン12上に金バンプ14が設けられて、インダクタ部品40の各電極40aが金バンプ14を介して配線パターン12に電氣的に接続されている。第1半導体デバイス31は電源コントローラの機能を有し、インダクタ部品40は電源ラインに挿入されてノイズ除去フィルタとして機能する。

10

【0037】

さらに、配線基板5の右側の配線パターン12の上には側面に複数の電極32aが設けられた第2半導体デバイス32が実装されており、その横近傍の配線パターン12上に設けられた金バンプ14を介して第2半導体デバイス32の電極32aが配線パターン12に電氣的に接続されている。

【0038】

さらに、図8の部分平面図を加えて参照すると、第2半導体デバイス32に接続された2本の配線パターン12の上には、一对の電極21aを備えた3つの第1キャパシタ部品21が横方向に並んで配置されている。各キャパシタ部品21の電気極性(+,-)が同一の電極21aが一方の配線パターン12上に配置され、反対極性の電極21aが他方の配線パターン12上に配置されている。

20

【0039】

各第1キャパシタ部品21の一对の電極21aの横近傍の配線パターン12上には金バンプ14がそれぞれ配置されており、第1キャパシタ部品21の各電極21aが金バンプ14を介して配線パターン12にそれぞれ電氣的に接続されている。このようにして、3つの第1キャパシタ部品21が金バンプ14及び配線パターン12を介して電氣的に並列に接続されている。

【0040】

さらに、第2半導体デバイス32及び第1キャパシタ部品21に接続された配線パターン12には第2キャパシタ部品22の一方の電極22aが金バンプ14を介して接続されている。また、第2キャパシタ部品22の他方の電極22aが金バンプ14を介して第1半導体デバイス31に接続された配線パターン12に接続されている。

30

【0041】

また、配線基板5の配線パターン12上には、2つの第3キャパシタ部品23の電気極性の異なる各電極23aが対向して配置されて、2つの第3キャパシタ部品23が電氣的に直列に接続されて実装されている。第3キャパシタ23においても同様にそれらの電極23aが金バンプ14によって配線パターン12に電氣的に接続されている。

【0042】

第2半導体デバイス32はCPUとして機能し、それに接続された第1キャパシタ部品21は高周波ノイズを低減させるデカップリングキャパシタとして機能する。

40

【0043】

また、第1、第2半導体デバイス31,32、インダクタ部品40及び第1~第3キャパシタ部品21,22,23の周りの領域にはソルダレジスト16が形成されている。ソルダレジスト16と各電子部品との領域に樹脂を充填して封止してもよい。なお、図8の部分平面図ではソルダレジスト16が省略されて描かれている。

【0044】

以上のように、本実施形態では、配線基板5の上に複数の電子部品(第1、第2半導体デバイス31,32、インダクタ部品40、第1~第3キャパシタ部品21,22,23)が実装され、それらの電子部品の各電極ごとに金バンプ14が設けられる。このように

50

して、複数の電子部品が金バンプ 1 4 及び配線パターン 1 2 を介して相互接続されている。

【 0 0 4 5 】

本実施形態の電子部品装置 3 a では、前述した理由により極小サイズの各種の電子部品であっても信頼性よく配線基板 5 の上に実装することができるので、電子部品装置の高密度化及び高性能化の要求に容易に対応することができる。

【 0 0 4 6 】

なお、キャパシタ部品やインダクタ部品の他に、抵抗部品などの各種の受動部品が同様に実装された形態としてもよい。

【 0 0 4 7 】

( 第 4 の実施の形態 )

図 9 は本発明の第 4 実施形態の電子部品装置を示す断面図及び部分平面図である。前述した第 3 実施形態 ( 図 8 ) では、複数の電子部品は配線パターン 1 2 を介して接続されている。図 9 に示すように、第 4 実施形態の電子部品装置 3 b では、第 1 半導体デバイス 3 1 の電極 3 1 a とインダクタ部品 4 0 の電極 4 0 a とが金バンプ 1 4 によって直接接続されている。

【 0 0 4 8 】

また、図 9 の部分平面図を加えて参照すると、並列接続された 3 つの第 1 キャパシタ部品 2 1 が接触して配置されており、第 1 キャパシタ部品 2 1 の各電極 2 1 a の横近傍に金バンプ 1 4 がそれぞれ配置されている。つまり、3 つの第 1 キャパシタ部品 2 1 は金バンプ 1 4 によって配線パターン 1 2 を介さずに直接並列接続されている。

【 0 0 4 9 】

さらに、直列接続された 2 つの第 3 キャパシタ部品 2 3 の対向する電極 2 3 a の間に 1 つの金バンプ 1 4 が配置され、2 つの第 3 キャパシタ部品 2 3 は金バンプ 1 4 によって配線パターン 1 2 を介さずに直接直列接続されている。

【 0 0 5 0 】

このように、両端側に一对の電極を備えた受動部品が電氣的に直列に接続される箇所では、複数の受動部品の対向する各電極が金バンプによって直接接続されるようにしてもよい。また、両端側に一对の電極を備えた受動部品の各電極が横方向に並んで配置されて電氣的に並列に接続される箇所では、複数の受動部品同士が接触して配置され、かつ各電極に金バンプがそれぞれ個別に設けられて、相互に接合された金バンプによって直接接続されるようにしてよい。

【 0 0 5 1 】

その他の要素は第 3 実施形態 ( 図 8 ) と同一であるのでその説明を省略する。

【 0 0 5 2 】

第 4 実施形態では、第 1 半導体デバイス 3 1 とインダクタ部品 4 0 とを金バンプ 1 4 で直接接続するので、インダクタ部品 4 0 としてより十分な性能を奏することができる。また、並列接続される第 1 キャパシタ部品 2 1、及び直列接続される第 3 キャパシタ部品 2 3 を金バンプ 1 4 で直接接続するので、キャパシタ特性を向上させることができる。

【 0 0 5 3 】

( 第 5 の実施の形態 )

図 1 0 は本発明の第 5 実施形態の電子部品装置を示す断面図及び部分平面図である。図 1 0 に示すように、第 5 実施形態の電子部品装置 3 c では、前述した第 4 実施形態 ( 図 9 ) の並列接続された 3 つの第 1 キャパシタ部品 2 1 を第 2 半導体デバイス 3 2 に接触させて配置し、第 1 キャパシタ部品 2 1 の電極 2 1 a が金バンプ 1 4 を介して第 2 半導体デバイス 3 2 の電極 3 2 a に直接接続されている。

【 0 0 5 4 】

その他の構成は第 4 実施形態 ( 図 9 ) と同一であるのでその説明を省略する。

【 0 0 5 5 】

第 5 実施形態では、並列接続された 3 つの第 1 キャパシタ部品 2 1 が第 2 半導体デバイ

10

20

30

40

50



ス 3 2 に金バンプ 1 4 で直接接続されるので、配線パターンを介して接続する方法よりも寄生インダクタンスを極めて小さくすることができる。従って、高速動作する第 2 半導体デバイス 3 2 のデカップリングキャパタとしてより十分な性能を奏するようになる。

【 0 0 5 6 】

( 第 6 の実施の形態 )

図 1 1 は本発明の第 6 実施形態の電子部品装置を示す断面図及び部分平面図である。図 1 1 に示すように、第 6 実施形態の電子部品装置 3 d では、前述した第 5 実施形態 ( 図 1 0 ) の第 2 キャパシタ部品 2 2 が第 1 キャパシタ部品 2 1 の近傍に配置され、第 2 キャパシタ部品 2 2 の電極 2 2 a が第 1 キャパシタ部品 2 1 の電極 2 1 a に金バンプ 1 4 によって直接接続されている。さらに、第 2 キャパシタ部品 2 2 の電極 2 2 a が第 1 半導体デバイス 3 1 の電極 3 1 a に金バンプ 1 4 によって直接接続されている。他の構成は第 5 実施形態 ( 図 1 0 ) と同一であるのでその説明を省略する。

10

【 0 0 5 7 】

( 第 7 の実施の形態 )

図 1 2 は本発明の第 7 実施形態の電子部品装置を示す断面図及び部分平面図である。前述した第 6 実施形態 ( 図 1 1 ) では、並列接続された 3 つの第 1 キャパシタ部品 2 1 の一対の各電極 2 1 a に個別の金バンプ 1 4 をそれぞれ配置している。図 1 2 に示すように、第 7 実施形態の電子部品装置 3 e では、3 つの第 1 キャパシタ部品 2 1 の一対の各電極 2 1 a に一括してそれぞれ接合された共通金バンプ 1 4 a が配置されて並列接続されている。3 つの第 1 キャパシタ 2 1 は、共通金バンプ 1 4 a によって第 2 半導体デバイス 3 2 の電極 3 2 a 及び第 2 キャパシタ部品 2 2 の電極 2 2 a に直接接続されている。

20

【 0 0 5 8 】

他の構成は第 6 実施形態 ( 図 1 1 ) と同一であるのでその説明を省略する。

【 0 0 5 9 】

以上、第 4 ~ 第 7 実施形態 ( 図 9 ~ 図 1 2 ) で説明したように、配線基板 5 の上に実装された複数の電子部品のうち所定の電子部品又は全ての電子部品が配線パターン 1 2 を介さずに金バンプ 1 4 によって直接接続されるようにしてもよい。

【 0 0 6 0 】

また、複数の電子部品の各電極のうち所定の電極がはんだ接合されていてもよく、あるいは、はんだ接合を一切使用せずに全ての電子部品の電極が金バンプで配線パターンに接続されるようにしてもよい。

30

【 図面の簡単な説明 】

【 0 0 6 1 】

【 図 1 】 図 1 は従来技術のキャパシタ部品が配線基板の上に実装された様子を示す断面図である。

【 図 2 】 図 2 ( a ) ~ ( c ) は従来技術における極小サイズの電子部品を実装する際の不具合を説明する図である。

【 図 3 】 図 3 は本発明の第 1 実施形態の電子部品装置を示す断面図である。

【 図 4 】 図 4 は本発明の第 1 実施形態の変形例の電子部品装置を示す断面図である。

【 図 5 】 図 5 は本発明の第 2 実施形態の電子部品装置を示す断面図である。

40

【 図 6 】 図 6 は本発明の第 2 実施形態で実装される半導体デバイスを示す斜視図である。

【 図 7 】 図 7 は本発明の第 2 実施形態の変形例の電子部品装置を示す断面図である。

【 図 8 】 図 8 は本発明の第 3 実施形態の電子部品装置を示す断面図及び部分平面図である。

。

【 図 9 】 図 9 は本発明の第 4 実施形態の電子部品装置を示す断面図及び部分平面図である。

。

【 図 1 0 】 図 1 0 は本発明の第 5 実施形態の電子部品装置を示す断面図及び部分平面図である。

【 図 1 1 】 図 1 1 は本発明の第 6 実施形態の電子部品装置を示す断面図及び部分平面図である。

50

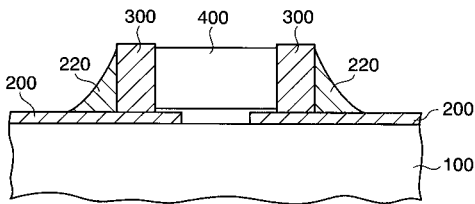
【図12】図12は本発明の第7実施形態の電子部品装置を示す断面図及び部分平面図である。

【符号の説明】

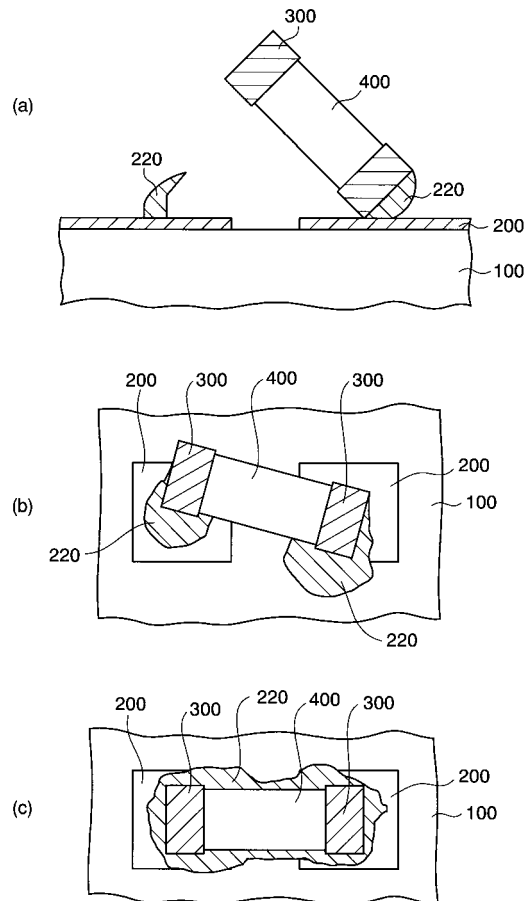
【0062】

1, 1a, 2, 2a, 3a~3e... 電子部品装置、5... 配線基板、10... コア基板、12... 配線パターン、14... 金バンプ、14a... 共通金バンプ、15... はんだ、16... ソルダレジスト、20, 21, 22, 23... キャパシタ部品、20a, 20b, 21a, 22a, 23a, 30a, 31a, 32a, 40a... 電極、24... 第1電極層、26... 第2電極層、28... 誘電体層、30, 31, 32... 半導体デバイス、40... インダクタ部品。

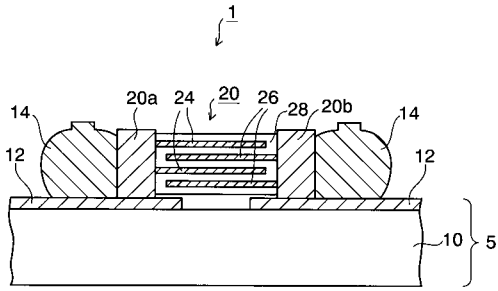
【図1】



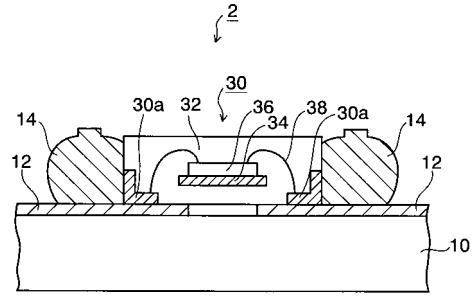
【図2】



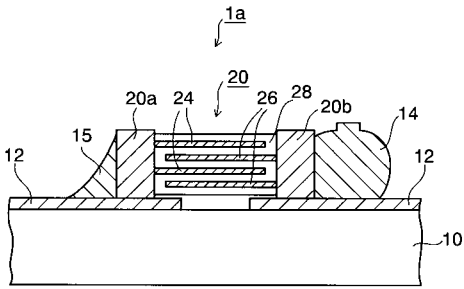
【 図 3 】



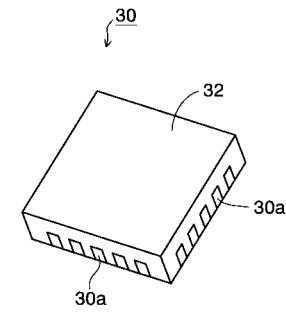
【 図 5 】



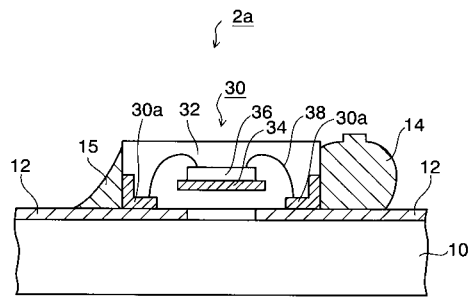
【 図 4 】



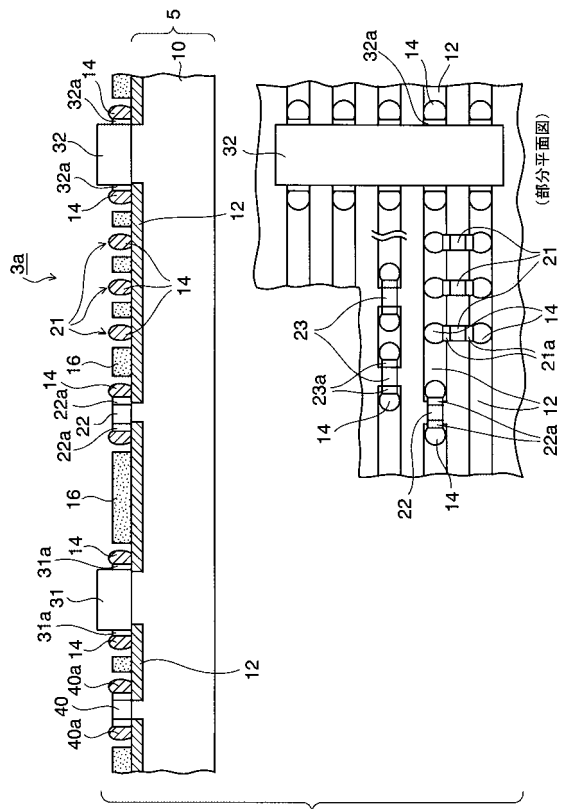
【 図 6 】



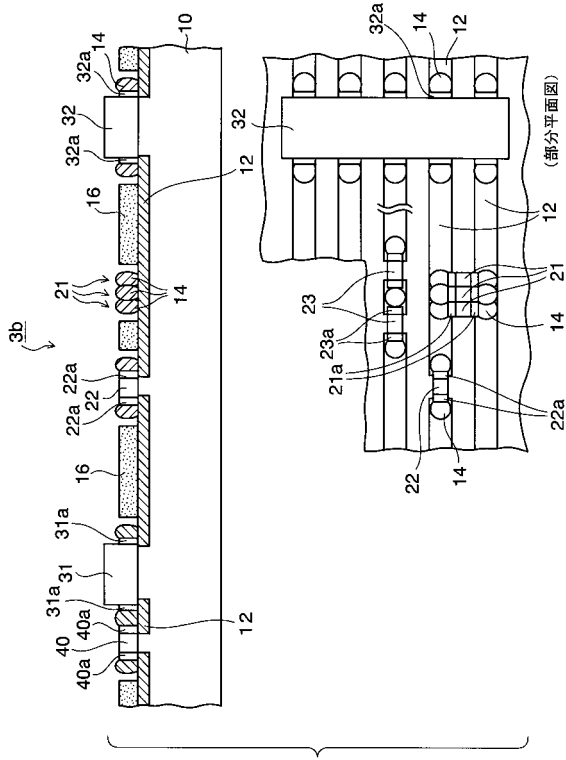
【 図 7 】



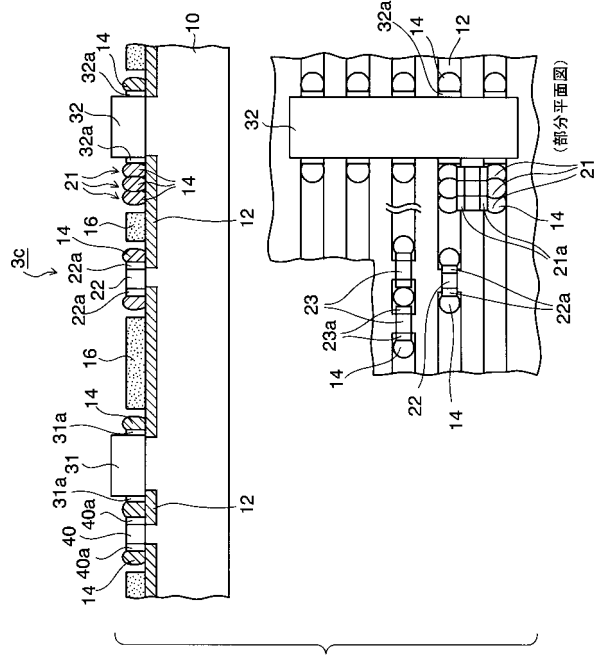
【 図 8 】



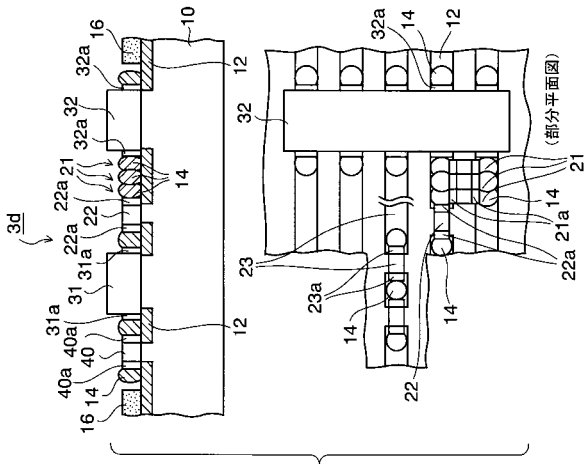
【図 9】



【図 10】



【図 11】



【図 12】

