



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년07월20일  
(11) 등록번호 10-2422158  
(24) 등록일자 2022년07월13일

(51) 국제특허분류(Int. Cl.)  
H01L 29/78 (2006.01) H01L 21/20 (2006.01)  
H01L 29/66 (2006.01)  
(52) CPC특허분류  
H01L 29/7842 (2013.01)  
H01L 21/2018 (2013.01)  
(21) 출원번호 10-2015-0185127  
(22) 출원일자 2015년12월23일  
심사청구일자 2020년12월08일  
(65) 공개번호 10-2017-0075882  
(43) 공개일자 2017년07월04일  
(56) 선행기술조사문헌  
KR1020130103265 A\*  
KR1020150009936 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
김오현  
경기도 용인시 기흥구 보정로114번길 19, 101동  
103호 (보정동, 죽전 힐스테이트 테라스하우스)  
백승범  
경기도 용인시 기흥구 신갈동 녹원마을새천년그린  
빌4단지 아파트 409동 302호  
안태항  
서울특별시 관악구 인현1다길 21, 101호 (인현동)  
(74) 대리인  
신성특허법인(유한)

전체 청구항 수 : 총 2 항

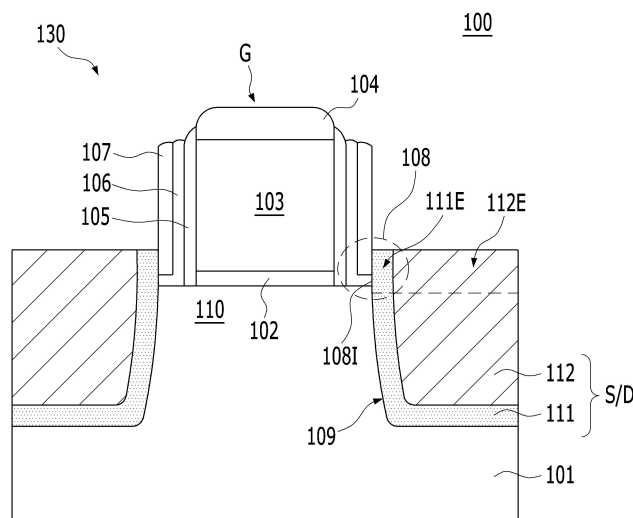
심사관 : 최정민

(54) 발명의 명칭 반도체장치 및 그 제조 방법

(57) 요약

본 기술은 캐리어 이동도를 증가시킬 수 있는 트랜지스터를 포함하는 반도체장치 및 그 제조 방법에 관한 것으로, 본 기술에 따른 반도체 장치 제조 방법은 기판 상에 게이트구조를 형성하는 단계; 상기 게이트구조 양측 아래에 리세스를 형성하기 위해 상기 기판의 일부를 제거하는 단계; 상기 게이트구조의 바텀코너, 상기 리세스의 바닥 및 측벽들을 커버링하는 낮은 인농도 SiP층을 형성하는 단계; 및 상기 낮은 인농도 SiP층 상에 상기 리세스를 채우는 높은 인농도 SiP층을 형성하는 단계를 포함할 수 있다.

대표도 - 도1a



(52) CPC특허분류

*H01L 29/66287* (2013.01)

*H01L 29/66348* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기판 상에 게이트구조를 형성하는 단계;  
상기 게이트구조 양측 아래에 리세스를 형성하기 위해 상기 기판의 일부를 제거하는 단계;  
상기 게이트구조의 바텀코너, 상기 리세스의 바닥 및 측벽들을 커버링하는 버퍼층을 형성하는 단계; 및  
상기 버퍼층 상에 상기 리세스를 채우는 SiP층을 형성하는 단계  
를 포함하는 반도체장치 제조 방법.

#### 청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆  
제1항에 있어서,  
상기 버퍼층과 SiP층은 선택적에피택시 성장에 의해 형성하는 반도체장치 제조 방법.

#### 청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆  
제1항에 있어서,  
상기 버퍼층은 상기 SiP층보다 낮은 인농도를 갖는 SiP층인 반도체장치 제조 방법.

#### 청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆  
제1항에 있어서,  
상기 버퍼층은 언도프드 Si 층인 반도체장치 제조 방법.

#### 청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆  
제1항에 있어서,  
상기 SiP층은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도를 갖는 반도체장치 제조 방법.

#### 청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆  
제1항에 있어서,

상기 버퍼층은  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하의 낮은 인농도를 갖는 SiP층인 반도체장치 제조 방법.

#### 청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 버퍼층과 SiP층의 형성은 디클로로실레인과 실레인을 혼합한 실리콘함유프리커서를 이용하여 형성하는 반도체장치 제조 방법.

#### 청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 버퍼층과 SiP층의 형성은 PH<sub>3</sub> 인시튜 도핑을 더 포함하는 반도체장치 제조 방법.

#### 청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 SiP층의 형성은 PH<sub>3</sub> 인시튜 도핑을 더 포함하는 반도체장치 제조 방법.

#### 청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 버퍼층과 SiP층의 형성은 HCl을 더 포함하는 반도체장치 제조 방법.

#### 청구항 11

채널영역 및 상기 채널영역 양측에 위치하는 리세스를 포함하는 기판;

상기 채널영역 상의 게이트구조;

상기 게이트구조의 바텀코너 및 상기 리세스를 커버링하는 버퍼층; 및

상기 버퍼층 상에서 상기 게이트구조의 바텀코너에 비-접촉하면서 상기 리세스를 채우는 SiP층을 포함하는 반도체장치.

#### 청구항 12

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제11항에 있어서,

상기 SiP층은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도를 갖는 반도체장치.

**청구항 13**

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제11항에 있어서,

상기 버퍼층은 상기 SiP층보다 낮은 인농도를 갖는 SiP층인 반도체 장치.

**청구항 14**

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제11항에 있어서,

상기 버퍼층은  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하의 낮은 인농도를 갖는 SiP층인 반도체장치.

**청구항 15**

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제11항에 있어서,

상기 버퍼층은 언도프드 Si층인 반도체 장치.

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체장치에 관한 것으로, 보다 상세하게는 에피택셜층을 포함하는 반도체장치 및 그 제조 방법에 관한 것이다.

**배경 기술**

[0002] 집적회로(IC)는 MOSFET와 같은 트랜지스터들을 이용함으로써 구현된다. 집적회로가 축소됨에 따라 트랜지스터의 성능을 향상시키기 위한 방법이 요구되고 있다. 트랜지스터의 성능을 개선하는 방법 중 하나는 트랜지스터의 채널영역에 스트레스(Stress)를 인가하는 것이다.

[0003] 적절한 스트레스를 인가함으로써, 채널영역의 다수 캐리어들의 이동도를 증가시킬 수 있다. PMOS 트랜지스터의

채널영역에 압축스트레스를 인가함으로써 정공들의 이동도를 증가시킬 수 있다. NMOS 트랜지스터의 채널영역에 인장스트레스를 인가함으로써 전자들의 이동도를 증가시킬 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 실시예들은 캐리어 이동도를 증가시킬 수 있는 트랜지스터 및 그 제조 방법을 제공한다.

[0005] 또한, 본 발명의 실시예들은 성능이 개선된 반도체장치 및 그 제조 방법을 제공한다.

**과제의 해결 수단**

[0006] 본 발명의 실시예에 따른 반도체장치 제조 방법은 기판 상에 게이트구조를 형성하는 단계; 상기 게이트구조 양측 아래에 리세스를 형성하기 위해 상기 기판의 일부를 제거하는 단계; 상기 게이트구조의 바텀코너, 상기 리세스의 바닥 및 측벽들을 커버링하는 버퍼층을 형성하는 단계; 상기 버퍼층 상에 상기 리세스를 채우는 스트레스 유도층을 형성하는 단계를 포함할 수 있다.

[0007] 본 발명의 실시예에 따른 반도체장치 제조 방법은 기판 상에 게이트구조를 형성하는 단계; 상기 게이트구조 양측 아래에 리세스를 형성하기 위해 상기 기판의 일부를 제거하는 단계; 상기 게이트구조의 바텀코너, 상기 리세스의 바닥 및 측벽들을 커버링하는 제1SiP층을 형성하는 단계; 및 상기 제1SiP층 상에 상기 리세스를 채우며, 상기 제1SiP층보다 높은 인농도를 갖는 제2SiP층을 형성하는 단계를 포함할 수 있다. 상기 제2SiP층은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도를 가질 수 있다. 상기 제1SiP층은  $1E20$  atom/cm<sup>3</sup> 이하의 낮은 인농도를 가질 수 있다.

[0008] 본 발명의 실시예에 따른 반도체장치 제조 방법은 기판 상에 게이트구조를 형성하는 단계; 상기 게이트구조 양측 아래에 리세스를 형성하기 위해 상기 기판의 일부를 제거하는 단계; 상기 게이트구조의 바텀코너, 상기 리세스의 바닥 및 측벽들을 커버링하는 언도프드 Si층을 형성하는 단계; 및 상기 언도프드 Si층 상에 상기 리세스를 채우는 SiP층을 형성하는 단계를 포함할 수 있다. 상기 SiP층은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도를 가질 수 있다.

[0009] 본 발명의 실시예에 따른 반도체장치 제조 방법은 기판 상에 게이트구조를 형성하는 단계; 상기 게이트구조 양측 아래에 리세스를 형성하기 위해 상기 기판의 일부를 제거하는 단계; 상기 게이트구조의 바텀코너를 커버링하면서 상기 리세스를 채우는 SiP층을 형성하는 단계; 상기 게이트구조의 바텀코너와 비-오버랩되도록 상기 SiP층을 리세스하는 단계; 및 상기 리세스드 SiP층 상에 언도프드 Si 캡층을 형성하는 단계를 포함할 수 있다. 상기 SiP층은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도를 가질 수 있다.

[0010] 본 발명의 실시예에 따른 반도체장치는 채널영역 및 상기 채널영역 양측에 위치하는 리세스를 포함하는 기판; 상기 채널영역 상의 게이트구조; 상기 게이트구조의 바텀코너 및 상기 리세스를 커버링하는 제1SiP층; 및 상기 제1SiP층 상에서 상기 게이트구조의 바텀코너에 비-접촉하면서 상기 리세스를 채우고, 상기 제1SiP층보다 높은 인농도를 갖는 제2SiP층을 포함할 수 있다. 상기 제1SiP층은  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하의 낮은 인농도를 가질 수 있다. 상기 제2SiP층은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도를 가질 수 있다.

[0011] 본 발명의 실시예에 따른 반도체장치는 채널영역 및 상기 채널영역 양측에 위치하는 리세스를 포함하는 기판; 상기 채널영역 상의 게이트구조; 상기 게이트구조의 바텀코너 및 상기 리세스를 커버링하는 언도프드 Si층; 및 상기 언도프드 Si층 상에서 상기 리세스를 채우고, 상기 게이트구조의 바텀코너와 비-접촉하는 SiP층을 포함할 수 있다. 상기 SiP층은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도를 가질 수 있다.

[0012] 본 발명의 실시예에 따른 반도체장치는 채널영역 및 상기 채널영역 양측에 위치하는 리세스를 포함하는 기판; 상기 채널영역 상의 게이트구조; 상기 게이트구조의 바텀코너와 비-접촉하는 높이를 갖고, 상기 리세스를 채우는 SiP층; 및 상기 SiP층 상의 언도프드 Si 캡층을 포함할 수 있다. 상기 SiP층은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도를 가질 수 있다.

**발명의 효과**

- [0013] 본 기술은 스트레스유도물질로서 높은 인농도를 갖는 SiP층을 형성하므로써 트랜지스터의 채널 내 캐리어들의 이동도를 개선할 수 있다.
- [0014] 본 기술은 높은 인농도를 갖는 SiP층에 의한 결함을 제거하므로써, 채널영역에 유도되는 스트레스의 크기를 증가시킬 수 있다.
- [0015] 본 기술은 산화물을 포함하는 게이트스페이서와 높은 인농도 SiP층 사이의 계면결함을 제거할 수 있다.
- [0016] 본 기술은 디클로로실레인과 실레인을 혼합하여 SiP층을 형성하므로, 절연물질에 대해 선택성을 갖는 높은 인농도 SiP층을 에피택시 성장시킬 수 있다.
- [0017] 결국, 본 기술에 의하면, 캐리어이동성을 증가시키므로 트랜지스터의 구동전류를 향상시킬 수 있다.

**도면의 간단한 설명**

- [0018] 도 1은 제1실시예에 따른 반도체장치를 도시한 도면이다.  
 도 2a 내지 도 2e는 제1실시예에 따른 반도체장치 제조 방법의 일예를 설명한다.  
 도 3은 제2실시예에 따른 반도체장치를 도시한 도면이다.  
 도 4는 제3실시예에 따른 반도체장치를 도시한 도면이다.  
 도 5a 내지 도 5c는 제3실시예에 따른 반도체장치 제조 방법의 일예를 설명한다.  
 도 6은 본 실시예에 따른 CMOSFET를 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0019] 본 명세서에서 기재하는 실시예들은 본 발명의 이상적인 개략도인 단면도, 평면도 및 블록도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0020] 후술하는 실시예들은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도 SiP층과 SiO<sub>2</sub>가 접촉하는 SiP/SiO<sub>2</sub> 인터페이스에서 발생하는 미스핏(Misfit) 및 스레딩디스로케이션(Threading Dislocation)을 제거하는 구조 및 방법들에 대해서 설명한다.
- [0021] 도 1a는 제1실시예에 따른 반도체장치를 도시한 도면이다.
- [0022] 도 1a를 참조하면, 제1실시예에 따른 반도체장치(100)는 트랜지스터(130)를 포함할 수 있다. 트랜지스터(130)는 게이트구조(G) 및 소스/드레인영역(S/D)을 포함할 수 있다. 게이트구조(G) 아래의 채널영역(110)을 더 포함할 수 있다. 트랜지스터(130)는 NMOSFET일 수 있다.
- [0023] 트랜지스터(130)는 기판(101)에 형성될 수 있다. 기판(101)은 반도체프로세싱에 적합한 물질일 수 있다. 기판(101)은 반도체기판을 포함할 수 있다. 기판(101)은 실리콘을 함유하는 물질로 이루어질 수 있다. 기판(11)은 실리콘, 단결정 실리콘, 폴리실리콘, 비정질 실리콘, 실리콘저마늄, 단결정 실리콘저마늄, 다결정 실리콘저마늄, 탄소 도핑된 실리콘, 그들의 조합 또는 그들의 다층을 포함할 수 있다. 기판(101)은 저마늄과 같은 다른 반도체물질을 포함할 수도 있다. 기판(101)은 III/V족 반도체기판, 예컨대 GaAs과 같은 화합물반도체기판을 포함할 수도 있다. 기판(101)은 SOI(Silicon On Insulator) 기판을 포함할 수도 있다.
- [0024] 기판(101) 상에 게이트구조(G)가 형성될 수 있다. 게이트구조(G)는 게이트절연층(102), 게이트전극(103) 및 게이트캡층(104)을 포함할 수 있다. 게이트절연층(102)은 실리콘산화물(Silicon oxide), 실리콘질화물(Silicon nitride), 실리콘산질화물(Silicon oxynitride), 고유전물질(High-k material) 또는 이들의 조합을 포함할 수 있다. 고유전물질은 실리콘산화물의 유전상수(dielectric constant)보다 더 큰 유전상수를 갖는 물질을 포함할 수 있다. 예컨대, 고유전물질은 3.9보다 큰 유전상수를 갖는 물질을 포함할 수 있다. 다른 예에서, 고유전물질은 10보다 큰 유전상수를 갖는 물질을 포함할 수 있다. 또다른 예에서, 고유전물질은 10 내지 30의 유전상수를 갖는 물질을 포함할 수 있다. 고유전물질은 적어도 하나의 금속성 원소를 포함할 수 있다. 고유전물질은 하프늄 함유물질(hafnium-containing material)을 포함할 수 있다. 하프늄함유물질은 하프늄산화물(hafnium oxide),



하프늄실리콘산화물(hafnium silicon oxide), 하프늄실리콘산화질화물(hafnium silicon oxynitride) 또는 그들의 조합을 포함할 수 있다. 다른 실시예에서, 고유전물질은 란탄산화물(lanthanum oxide), 란탄알루미늄산화물(lanthanum aluminum oxide), 지르코늄산화물(zirconium oxide), 지르코늄실리콘산화물(zirconium silicon oxide), 지르코늄실리콘산화질화물(zirconium silicon oxynitride), 알루미늄산화물(aluminum oxide), 및 그들의 조합을 포함할 수 있다. 고유전물질로는 공지된 다른 고유전물질이 선택적으로 사용될 수도 있다. 일부 실시예에서, 게이트절연층(102)은 계면층과 고유전층물질의 적층으로 형성될 수 있다. 게이트전극(103)은 실리콘-베이스물질, 금속-베이스물질 또는 이들의 조합일 수 있다. 본 실시예에서, 게이트전극(103)은 금속함유층일 수 있다. 게이트전극(103)은 티타늄질화물, 텅스텐 또는 이들의 조합을 포함할 수 있다. 게이트전극(103)은 일함수 금속물질일 수 있다. 게이트캡층(14)은 절연물질일 수 있다. 게이트캡층(14)은 실리콘산화물, 실리콘질화물 또는 이들의 조합을 포함할 수 있다.

[0025] 게이트구조(G)은 게이트스페이서를 더 포함할 수 있다. 게이트스페이서는 다층 구조일 수 있다. 게이트스페이서는 제1스페이서(105), 제2스페이서(106) 및 제3스페이서(107)를 포함할 수 있다. 제1스페이서(105)와 제3스페이서(107)는 동일 물질일 수 있다. 제2스페이서(106)는 제1 및 제3스페이서(105, 107)와 다른 물질일 수 있다. 제1스페이서(105)와 제3스페이서(107)는 실리콘질화물일 수 있고, 제2스페이서(106)는 실리콘산화물일 수 있다. 게이트스페이서는 NON 구조일 수 있다. NON 구조의 게이트스페이서를 사용하는 이유는 에피성장된 소스/드레인 영역(S/D)과 게이트구조(G) 사이의 프록시미티(proximity)를 제어하기 위해서이다.

[0026] 소스/드레인영역(S/D)은 리세스(109) 내에 형성될 수 있다. 리세스(109)는 게이트구조(G) 양측 아래의 기판(101)에 형성될 수 있다. 리세스(109)는 채널영역(110)의 끝단에 형성될 수 있다. 소스/드레인영역(S/D)은 제1SiP층(111)과 제2SiP층(112)을 포함할 수 있다. 제1SiP층(111)은 리세스(109)의 바닥 및 측벽들을 라이닝할 수 있다. 제1SiP층(111)의 끝단(111E)은 게이트구조의 바텀코너(108)를 커버링할 수 있다. 제2SiP층(112)은 제1SiP층(111) 상에서 리세스(109)를 완전히 채울 수 있다. 제2SiP층(112)의 상부(112T)는 게이트구조의 바텀코너(108)와 오버랩될 수 있다. 제1SiP층(111)과 제2SiP층(112)은 에피택셜층일 수 있다. 제1SiP층(111)과 제2SiP층(112)은 선택적에피택시성장(SEG)에 의해 형성된 물질일 수 있다. 제1SiP층(111)과 제2SiP층(112)은 채널영역(110)에 스트레스를 인가할 수 있다. 예컨대, 제1SiP층(111)과 제2SiP층(112)은 채널영역(110)에 인장스트레스를 인가할 수 있다. 이로써, 채널영역(110)의 캐리어 이동성을 증가시킬 수 있다.

[0027] 제1SiP층(111)과 제2SiP층(112)은 서로 다른 인농도를 가질 수 있다. 제1SiP층(111)은 낮은 인농도를 가질 수 있고, 제2SiP층(112)은 높은 인농도를 가질 수 있다. 제1SiP층(111)은  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하의 인농도를 가질 수 있다. 제2SiP층(112)은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 인농도를 가질 수 있다. 제2SiP층(112)은 높은 인농도로 인해 쓰레딩디스로케이션을 포함할 수 있다. 제1SiP층(111)은 낮은 인농도로 인해 쓰레딩디스로케이션을 미포함할 수 있다. 쓰레딩디스로케이션은 인 침전 현상에 의해 유도될 수 있다. 제1SiP층(111)과 게이트구조(G)의 바텀코너(108) 사이에 SiP/SiO<sub>2</sub> 인터페이스(108I)가 형성될 수 있다. 예컨대, 제2스페이서(106)와 제1SiP층(111)이 접촉함에 따라 SiP/SiO<sub>2</sub> 인터페이스(108I)가 형성될 수 있다.

[0028] 이와 같이 제2SiP층(112)이 높은 인 농도를 갖는다 하더라도, SiP/SiO<sub>2</sub> 인터페이스(118I)가 낮은 인농도 제1SiP층(111)에 의해 형성되므로, 게이트코너(108)에 결함이 발생하지 않는다.

[0029] 도 1b는 높은 인농도 SiP층만으로 이루어진 소스/드레인영역을 포함하는 트랜지스터를 도시한 도면이다.

[0030] 도 1b를 참조하면, 트랜지스터(130')는 높은 인농도 SiP층(112')만으로 이루어진 소스/드레인영역을 포함할 수 있다. 높은 인농도를 갖는 SiP층(112')이 게이트구조의 바텀코너(108)와 접촉하면, SiP/SiO<sub>2</sub> 인터페이스(108I')가 생성된다. 이와 같이 높은 인농도를 갖는 SiP층(112')에 의해 SiP/SiO<sub>2</sub> 인터페이스(108I')가 생성되면, 인 침전(Phosphorus precipitation) 현상에 의해 결함(120)이 발생할 수 있다.

[0031] 도 2a 내지 도 2e는 제1실시예에 따른 반도체장치 제조 방법의 일예를 설명한다.

[0032] 도 2a에 도시된 바와 같이, 기판(11)이 준비될 수 있다. 기판(11)은 실리콘기판을 포함할 수 있다. 도시하지 않았으나, 기판(11)에 소자분리층이 더 형성될 수 있다.

[0033] 기판(11) 상에 게이트스택이 형성될 수 있다. 게이트스택은 게이트절연층(12), 게이트전극(13) 및 게이트캡층(14)을 포함할 수 있다. 게이트절연층(12)은 실리콘산화물, 실리콘질화물, 실리콘산질화물, 고유전물질 또는 이들의 조합을 포함할 수 있다. 일부 실시예에서, 게이트절연층(12)은 계면층과 고유전층물질의 적층으로 형성될

수 있다. 게이트전극(13)은 실리콘-베이스물질, 금속-베이스물질 또는 이들의 조합일 수 있다. 본 실시예에서, 게이트전극(13)은 금속함유층일 수 있다. 게이트전극(13)은 티타늄질화물, 텅스텐 또는 이들의 조합을 포함할 수 있다. 게이트전극(13)은 일함수 금속물질일 수 있다. 게이트전극(13)은 N형 일함수 또는 P형 일함수를 가질 수 있다. NMOSFET가 형성되는 경우, 게이트전극(13)은 N형 일함수를 가질 수 있다. PMOSFET가 형성되는 경우, 게이트전극(13)은 P형 일함수를 가질 수 있다. 일함수엔지니어링을 위해, 다양한 일함수물질들이 사용될 수 있다. 게이트캡층(14)은 절연물질일 수 있다. 게이트캡층(14)은 실리콘산화물, 실리콘질화물 또는 이들의 조합을 포함할 수 있다. 게이트캡층(14)은 게이트 포토리소그래피 공정 동안에 식각장벽으로 사용될 수 있다.

[0034] 도 2b에 도시된 바와 같이, 게이트스택의 양측벽에 게이트스페이서가 형성될 수 있다. 게이트스페이서는 절연물질일 수 있다. 게이트스페이서는 실리콘산화물, 실리콘질화물 또는 이들의 조합을 포함할 수 있다. 게이트스페이서는 다층 구조일 수 있다. 본 실시예에서, 게이트스페이서는 제1스페이서(15), 제2스페이서(16) 및 제3스페이서(17)를 포함할 수 있다. 제1스페이서(15)와 제3스페이서(17)는 동일 물질일 수 있다. 제2스페이서(16)는 제1 및 제3스페이서(15, 17)와 다른 물질일 수 있다. 제1스페이서(15)와 제3스페이서(17)는 실리콘질화물일 수 있고, 제2스페이서(16)는 실리콘산화물일 수 있다. 게이트스페이서의 형성은 스페이서층들의 블랭킷 식각을 포함할 수 있다. 게이트스택의 상부면과 측벽들 상에 스페이서층들을 형성한 후, 에치백 공정이 수행될 수 있다. 다른 실시예에서, 제1스페이서(15)를 먼저 형성한 후에, 후속하여 제2스페이서(16) 및 제3스페이서(17)를 형성할 수 있다. 제3스페이서(17)는 기판(11)의 표면과 비접촉할 수 있다. 제1스페이서(15) 및 제2스페이서(17)의 바텀부는 기판(11)의 표면과 접촉할 수 있다. 이와 같이, 게이트스페이서는 NON 구조일 수 있다. NON 구조의 게이트스페이서를 사용하는 이유는 에피성장된 소스/드레인영역(S/D)과 게이트구조(G) 사이의 프록시미티(proximity)를 제어하기 위해서이다. 프록시미티는 전기적 특성에 직결되는 중요한 파라미터로서, 프록시미티 제어를 위해 게이트스페이서의 두께를 조절한다. 즉, 잔류게이트스페이서 두께 조절이 매우 중요하다. 에피성장 전에 리세스 식각 과정에서 게이트스페이서의 두께가 많이 얇아져 두께제어가 어려워진다. 따라서, 제1스페이서(15) 위에 제2스페이서(16)를 덮고, 그 위에 제3스페이서(17)를 덮어 NON의 두께를 충분히 확보한다. 이로써 프록시미티를 제어할 수 있다. 이렇게 되면 제어성(Controllability)이 증가하게 되고, 이렇게 잘 제어된 프록시미티를 가지는 제1 및 제2SiP층을 에피택시 성장시킬 수 있다. 다른 실시예에서, 제1질화물스페이서 위에 희생 산화물스페이서를 덮고, 그 위에 제2질화물스페이서를 덮을 수 있다. 이후, 희생산화물스페이서 제거 공정을 통해 희생산화물스페이서와 제2질화물스페이서를 제거하면, 최종적으로 내부의 제1질화물스페이서가 얇게 남아있게 된다. 그럼에도 불구하고 잘 제어된 프록시미티를 얻을 수 있다.

[0035] 위와 같은 일련의 공정에 의해, 게이트스택 및 게이트스페이서를 포함하는 게이트구조(G)가 형성될 수 있다. 게이트구조(G)는 게이트 바텀코너(Gate bottom corner, 18)를 포함할 수 있다.

[0036] 도 2c에 도시된 바와 같이, 기판(11)에 적어도 하나 이상의 리세스(19)가 형성될 수 있다. 리세스(19)를 형성하기 위해 게이트구조 양측 아래의 기판(11)의 일부가 식각될 수 있다. 리세스(19)의 깊이는 다양한 식각 조건에 의존할 수 있다. 리세스(19)를 형성하기 위해, 건식식각, 습식식각 또는 이들의 조합이 수행될 수 있다. 다른 실시예에서, 리세스(19)는 언더컷을 더 포함할 수 있다. 언더컷은 게이트스페이서 아래에 위치할 수 있다. 다른 실시예에서, 리세스(19)는 시그마 형상을 가질 수 있다. 예컨대, 리세스(19)를 형성하기 위해 수산화칼륨(KOH)과 같은 에천트가 사용될 수 있다. 리세스(19)의 측벽프로파일은 수직하거나 또는 경사질 수 있다. 리세스(19)에 의해, 게이트구조 아래에 채널영역(20)이 정의될 수 있다.

[0037] 도 2d에 도시된 바와 같이, 제1SiP층(21)이 형성될 수 있다. 제1SiP층(21)은 리세스(19)의 바닥 및 측벽들을 라이닝할 수 있다. 제1SiP층(21)의 끝단(End portion, 21E)은 게이트스페이서의 바텀부와 오버랩될 수 있다. 제1SiP층(21)의 끝단(21E)은 SiP/SiO<sub>2</sub> 인터페이스(18I)를 커버링하는 높이를 가질 수 있다. 제1SiP층(21)은 CVD, LPCVD, ALD, UHVCVD, MBE 또는 다른 적절한 에피택셜프로세스에 의해 형성될 수 있다. 제1SiP층(21)은 적어도 1회 이상의 에피택시에 의해 형성될 수 있다. 제1SiP층(21)은 선택적에피택시성장(SEG)에 의해 형성될 수 있다. 제1SiP층(21)은 낮은 인 농도(Low Phosphorus concentration)를 가질 수 있다. 제1SiP층(21)은 인(Phosphorus)이 도핑된 실리콘층일 수 있다. 제2스페이서(16)와 제1SiP층(21)이 접촉하므로, 게이트 코너(18)에 SiP/SiO<sub>2</sub> 인터페이스(18I)가 형성될 수 있다.

[0038] 제1SiP층(21)은  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하의 인농도를 가질 수 있다. 이와 같이 낮은 인농도를 가지므로, 제1SiP층(21)에 디스로케이션과 같은 결함이 발생하지 않는다. 예컨대, 제1SiP층(21)이 높은 인농도를 갖는 경우, SiP/SiO<sub>2</sub> 인터페이스(18I)에 결함이 발생할 수 있다. 결함은 인침전에 의해 초래될 수 있다.

- [0039] 제1SiP층(21)은 인함유물질과 실리콘함유물질을 이용하여 형성될 수 있다. 인함유물질과 실리콘함유물질은 각각 인함유프리커서 및 실리콘함유프리커서라고 지칭될 수 있다. 인함유프리커서는 포스핀(PH<sub>3</sub>)을 포함할 수 있다. 실리콘함유프리커서는 실레인(SiH<sub>4</sub>), 디실레인(Si<sub>2</sub>H<sub>6</sub>), 트리실레인(Si<sub>3</sub>H<sub>8</sub>), 디클로로실레인(SiH<sub>2</sub>Cl<sub>2</sub>) 또는 이들의 조합을 포함할 수 있다.
- [0040] 제1SiP층(21)의 형성은 인시튜 도핑을 포함할 수 있다. 예컨대, 실리콘층을 증착하는 동안에 포스핀(PH<sub>3</sub>)을 이용하여 인시튜 도핑이 수행될 수 있다.
- [0041] 위와 같이, 리세스(19)는 낮은 인농도를 갖는 제1SiP층(21)으로 라이닝될 수 있다.
- [0042] 도 2e에 도시된 바와 같이, 제1SiP층(21)으로 라이닝된 리세스, 즉 라인드 리세스(19)는 제2SiP층(22)으로 채워질 수 있다. 제2SiP층(22)의 상부(Top portion, 22T)은 게이트스페이서의 바텀부와 오버랩될 수 있다. 제2SiP층(22)의 상부(22T)는 SiP/SiO<sub>2</sub> 인터페이스(18I)와 비접촉할 수 있다. 예컨대, 제2SiP층(22)의 상부와 SiP/SiO<sub>2</sub> 인터페이스(18I) 사이에 제1SiP층(21)의 끝단(21E)이 위치할 수 있다. 제2SiP층(22)은 CVD, LPCVD, ALD, UHVCVD, MBE 또는 다른 적절한 에피택셜프로세스에 의해 형성될 수 있다. 제2SiP층(22)은 적어도 1회 이상의 에피택시에 의해 형성될 수 있다. 제2SiP층(22)은 선택적에피택시성장(SEG)에 의해 형성될 수 있다. 제2SiP층(22)은 높은 인 농도(High Phosphorus concentration)를 가질 수 있다. 제2SiP층(22)은 인(Phosphorus)이 도핑된 실리콘층일 수 있다. 제2SiP층(22)은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 인농도를 가질 수 있다. 이와 같이 제2SiP층(22)이 높은 인 농도를 갖는다 하더라도, 제1SiP층(21)에 의해 Si/SiO<sub>2</sub> 인터페이스(18I)가 형성되므로, 게이트 코너(18)에 결함이 발생하지 않는다.
- [0043] 제2SiP층(22)은 인함유물질과 실리콘함유물질을 이용하여 형성될 수 있다. 제2SiP층(22)은 클로린함유가스를 더 포함하여 형성할 수 있다. 클로린함유가스는 HCl을 포함할 수 있다. 인함유물질과 실리콘함유물질은 각각 인함유프리커서 및 실리콘함유프리커서라고 지칭될 수 있다. 인함유프리커서는 포스핀(PH<sub>3</sub>)을 포함할 수 있다. 실리콘함유프리커서는 실레인(SiH<sub>4</sub>), 디실레인(Si<sub>2</sub>H<sub>6</sub>), 트리실레인(Si<sub>3</sub>H<sub>8</sub>), 디클로로실레인(SiH<sub>2</sub>Cl<sub>2</sub>) 또는 이들의 조합을 포함할 수 있다. 본 실시예는,  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도 제2SiP층(22)을 형성하기 위해, 디클로로실레인(SiH<sub>2</sub>Cl<sub>2</sub>)과 실레인실레인(SiH<sub>4</sub>)을 혼합하여 제2SiP층(22)을 형성할 수 있다. 일반적으로 배어웨이퍼(Bare wafer) 상에서  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도 SiP층의 형성은 온도, 압력 및 인함유프리커서의 유량을 조절하여 달성할 수 있다. 그러나, 게이트스페이서와 같은 절연물질이 존재하는 경우, 높은 인농도 SiP층의 형성시 절연물질에 대한 선택비 확보가 어렵다. 선택비를 확보하고자 조건을 조절하는 경우에는, 성장속도(Growth Rate)가 낮아지고, 또한 인 농도가 낮아질 수 있다.
- [0044] 따라서, 본 실시예들은 게이트스페이서에 대한 선택비를 확보하면서도 높은 인농도 SiP층을 빠르게 형성하기 위해, 실리콘함유프리커서를 다음과 같이 조절한다. 예컨대, 디클로로실레인만을 사용하지 않고, 디클로로실레인과 실레인을 혼합하여 에피택셜성장을 수행한다. 이에 따라, 에피택시 성장 표면의 클로린 기능성기(Cl functional Group)의 제거와 함께 흡착가속화(Adsorption Acceleration)에 의해 성장속도가 상승하며, 인농도가 동시에 상승할 수 있다. 이에 따라, HCl에 의한 선택비 확보 원도우가 더 커지게 된다. 이를 통해 인의 도핑 레벨 증가, 성장속도 상승, 선택비 및 결함프리를 동시에 만족하는 공정을 확보할 수 있다.
- [0045] 제2SiP층(21)의 형성은 인시튜 도핑을 포함할 수 있다. 예컨대, 실리콘층을 증착하는 동안에 포스핀(PH<sub>3</sub>)을 이용하여 인시튜 도핑이 수행될 수 있다.
- [0046] 위와 같이, 리세스(19)는 낮은 인농도를 갖는 제1SiP층(21)과 높은 인농도를 갖는 제2SiP층(22)으로 채워질 수 있다. 제1SiP층(21)과 제2SiP층(22)은 소스/드레인영역(S/D)이 될 수 있다. 이를 임베디드 소스/드레인영역(Embedded S/D)이라고 지칭한다. 제1SiP층(21)과 제2SiP층(22)은 스트레스유도물질(Stress inducing materials)이라고 지칭될 수 있다. 이로써, 채널영역(20)에 스트레스를 인가할 수 있다. 예컨대, 제1SiP층(21)과 제2SiP층(22)은 채널영역(20)에 인장스트레스를 인가할 수 있다. 인장스트레스에 의해 채널영역(20)의 캐리어 이동성을 증가시킬 수 있다. 제2SiP층(22)이 높은 인농도를 가지므로, 캐리어이동성을 더욱 증가시킬 수 있다. 제2SiP층(22)이 높은 인농도를 가지므로 저항을 낮출 수 있다. 예컨대, 제2SiP층(22) 상에 실리사이드와 같은 콘택물질이 형성되는 경우, 콘택저항을 개선할 수 있다.
- [0047] 상술한 바와 같이, 제1SiP층(21)과 제2SiP층(22)은 인 농도가 서로 다를 수 있다. 제1SiP층(21)과 제2SiP층

(22)은 동일하게 인을 포함하되, 제1SiP층(21)은 제2SiP층(22)보다 인 농도가 낮을 수 있다. 높은 인농도를 갖는 제2SiP층(22)이 게이트 바텀코너(18)에 직접 접촉하는 경우, 인침전 현상에 의해 결함이 발생할 수 있다. 본 실시예는, 제1SiP층(21)이 게이트스페이스의 바닥부와 제2SiP층(22) 사이에 위치하므로, 결함이 억제될 수 있다. 예컨대, 쓰레딩디스로케이션, 미스핏(Misfit) 등의 결함이 억제될 수 있다. 제1SiP층(21)의 인농도를  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하로 유지하면 게이트 바텀코너(18)에서 인 침전 현상이 약화되어 결함 형성이 억제된다.

[0048] 본 실시예에서, 제1SiP층(21)과 제2SiP층(22)은 카본프리-SiP층일 수 있다. 카본은 SiP층의 품질을 저하시킨다. 카본의 농도가 증가하면 인장응력의 양에 제한이 있다. 이에 따라, 카본을 포함하는 SiP층은 캐리어이동성을 개선시키는데 한계가 있다. 카본프리-SiP층을 형성하므로써 캐리어이동성을 더 개선할 수 있고, 막 품질을 개선할 수 있다.

[0049] 다른 실시예에서, 제1SiP층(21)과 제2SiP층(22)은 인시튜로 형성될 수 있다. 예를 들어, 실리콘층을 에피택시 성장 초기부터 일정두께까지는 PH<sub>3</sub>의 유량을 작게 하여 제1SiP층(21)을 형성할 수 있다. 다음에, 에피택시 성장이 완료되는 두께까지는 PH<sub>3</sub>의 유량을 크게하여 제2SiP층(22)을 형성할 수 있다.

[0050] 도 3은 제2실시예에 따른 반도체장치를 도시한 도면이다. 제2실시예에 따른 반도체장치(200)의 일부는 제1실시예의 반도체장치(100)와 유사할 수 있다. 반도체장치(200)는 트랜지스터(230)를 포함할 수 있다.

[0051] 도 3을 참조하면, 트랜지스터(230)는 게이트구조(G) 및 소스/드레인영역(S/D)을 포함할 수 있다. 게이트구조(G) 아래의 채널영역(110)을 더 포함할 수 있다. 트랜지스터(230)는 NMOSFET일 수 있다.

[0052] 소스/드레인영역(S/D)은 리세스(109)를 채울 수 있다. 소스/드레인영역(S/D)은 Si층(211)과 SiP층(212)을 포함할 수 있다. Si층(211)은 리세스(109)의 바닥 및 측벽들을 라이닝할 수 있다. Si층(211)의 끝단(211E)은 게이트구조의 바텀코너(208)를 커버링할 수 있다. SiP층(212)은 Si층(211) 상에서 리세스(109)를 완전히 채울 수 있다. SiP층(212)의 상부는 게이트구조의 바텀코너(108)와 오버랩될 수 있다. Si층(211)과 SiP층(212)은 에피택셜층일 수 있다. Si층(211)과 SiP층(212)은 선택적에피택시성장(SEG)에 의해 형성된 물질일 수 있다. Si층(211)과 SiP층(212)은 채널영역(110)에 스트레스를 인가할 수 있다. 예컨대, Si층(211)과 SiP층(212)은 채널영역(110)에 인장스트레스를 인가할 수 있다. 이로써, 채널영역(110)의 캐리어 이동성을 증가시킬 수 있다.

[0053] 제1실시예의 제1SiP층(111)과 다르게, Si층(211)은 언도프드일 수 있다. 즉, 인이 도핑되어 있지 않을 수 있다. Si층(211)은 카본-프리일 수 있다. Si층(211)은 실리콘함유프리커서를 이용하여 형성될 수 있다. 실리콘함유프리커서는 실레인(SiH<sub>4</sub>), 디실레인(Si<sub>2</sub>H<sub>6</sub>), 트리실레인(Si<sub>3</sub>H<sub>8</sub>), 디클로로실레인(SiH<sub>2</sub>Cl<sub>2</sub>) 또는 이들의 조합을 포함할 수 있다. Si층(211) 형성시, PH<sub>3</sub> 도핑이 생략될 수 있다.

[0054] SiP층(212)의 형성은 인시튜 도핑을 포함할 수 있다. 언도프드 Si층(211)과 SiP층(212)은 인시튜로 형성될 수 있다.

[0055] 제1실시예의 제2SiP층(112)과 동일하게, SiP층(212)은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도를 가질 수 있다.

[0056] 위와 같이, 언도프드 Si층(211)을 형성하므로써, 게이트구조의 바텀코너(108)에 Si/SiO<sub>2</sub> 인터페이스(208I)가 형성된다. 즉, SiP/SiO<sub>2</sub> 인터페이스가 형성되지 않는다. 따라서, 결함 형성이 억제된다.

[0057] 도 4는 제3실시예에 따른 반도체장치를 도시한 도면이다. 제3실시예에 따른 반도체장치(300)의 일부는 제1실시예의 반도체장치(100)와 유사할 수 있다.

[0058] 도 4를 참조하면, 제3실시예에 따른 반도체장치(300)는 트랜지스터(330)를 포함할 수 있다. 트랜지스터(330)는 게이트구조(G) 및 소스/드레인영역(S/D)을 포함할 수 있다. 게이트구조(G) 아래의 채널영역(110)을 더 포함할 수 있다. 트랜지스터(330)는 NMOSFET일 수 있다.

[0059] 소스/드레인영역(S/D)은 리세스(109)를 채울 수 있다. 소스/드레인영역(S/D)은 SiP층(312) 및 언도프드 Si 캡층(313)을 포함할 수 있다. SiP층(312)은 리세스(109)를 완전히 채울 수 있다. SiP층(312)의 상부는 게이트구조의 바텀코너(108)와 비-오버랩될 수 있다. 언도프드 Si 캡층(313)은 게이트구조의 바텀코너(108)에 접촉할 수 있다. SiP층(312)과 언도프드 Si 캡층(313)은 에피택셜층일 수 있다. SiP층(312)과 언도프드 Si 캡층(313)은 선택적에피택시성장(SEG)에 의해 형성된 물질일 수 있다. SiP층(312)은 채널영역(110)에 스트레스를 인가할 수 있

다. 예컨대, SiP층(312)은 채널영역(110)에 인장스트레스를 인가할 수 있다. 이로써, 채널영역(310)의 캐리어 이동성을 증가시킬 수 있다.

- [0060] 언도프드 Si 캡층(313)은 언도프드릴 수 있다. 즉, 인이 도핑되어 있지 않을 수 있다. 언도프드 Si 캡층(313)은 카본-프리일 수 있다. 제1실시예의 제2SiP층(112)와 동일하게, SiP층(312)은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인 농도를 가질 수 있다.
- [0061] 위와 같이, 게이트구조의 바텀코너(108)에 접촉하지 않도록 SiP층(312)을 형성하므로써, SiP층(312)과 바텀코너(108) 사이에 SiP/SiO<sub>2</sub> 인터페이스가 형성되지 않는다. 이에 따라, 결함 형성이 억제된다. Si 캡층(313)과 바텀코너(108) 사이에 Si/SiO<sub>2</sub> 인터페이스(208I)가 형성될 수 있다.
- [0062] 도 5a 내지 도 5c는 제3실시예에 따른 반도체장치 제조 방법의 일예를 설명한다.
- [0063] 먼저, 도 2a 내지 도 2c에 도시된 방법에 의해, 게이트스택, 게이트스페이서 및 리세스(19)가 형성될 수 있다.
- [0064] 다음으로, 도 5a에 도시된 바와 같이, 리세스(19)에 SiP층(31)으로 채워질 수 있다. SiP층(31)의 상부는 게이트스페이서의 바텀부와 오버랩될 수 있다. SiP층(31)의 상부와 게이트구조의 바텀코너(18)는 SiP/SiO<sub>2</sub> 인터페이스(18I)를 형성할 수 있다. SiP층(31)은 CVD, LPCVD, ALD, UHVCVD, MBE 또는 다른 적절한 에피택셜프로세스에 의해 형성될 수 있다. SiP층(31)은 적어도 1회 이상의 에피택시에 의해 형성될 수 있다. SiP층(31)은 높은 인 농도를 가질 수 있다. SiP층(31)은 인(Phosphorus)이 도핑된 실리콘층일 수 있다. SiP층(31)은  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 인농도를 가질 수 있다. 이와 같이 SiP층(31)이 높은 인 농도를 가지므로, SiP/SiO<sub>2</sub> 인터페이스(18I)에 결함(31D)이 발생할 수 있다.
- [0065] SiP층(31)은 인함유물질과 실리콘함유물질을 이용하여 형성될 수 있다. SiP층(31)은 HCl을 더 포함하여 형성할 수 있다. 인함유물질과 실리콘함유물질은 각각 인함유프리커서 및 실리콘함유프리커서라고 지칭될 수 있다. 인함유프리커서는 포스핀(PH<sub>3</sub>)을 포함할 수 있다. 실리콘함유프리커서는 실레인(SiH<sub>4</sub>), 디실레인(Si<sub>2</sub>H<sub>6</sub>), 트리실레인(Si<sub>3</sub>H<sub>8</sub>), 디클로로실레인(SiH<sub>2</sub>Cl<sub>2</sub>) 또는 이들의 조합을 포함할 수 있다. 본 실시예는,  $1 \times 10^{21}$  atoms/cm<sup>3</sup> 이상의 높은 인농도 SiP층(31)을 형성하기 위해, 디클로로실레인과 실레인을 혼합하여 SiP층(31)을 형성할 수 있다.
- [0066] SiP층(31)의 형성은 인시튜 도핑을 포함할 수 있다. 예컨대, 실리콘층을 증착하는 동안에 포스핀(PH<sub>3</sub>)을 이용하여 인시튜 도핑이 수행될 수 있다.
- [0067] 위와 같이, 리세스(19)는 높은 인농도를 갖는 SiP층(31)으로 채워질 수 있다. SiP층(31)은 소스/드레인영역이 될 수 있다.
- [0068] 도 5b에 도시된 바와 같이, SiP층(31)의 결함(31D)을 제거할 수 있다. 결함(31D)을 제거하기 위해, SiP층(31)이 리세스될 수 있다. 이에 따라, SiP/SiO<sub>2</sub> 인터페이스(18I) 및 결함(31D)이 제거될 수 있다. SiP층(31)을 리세스시키기 위해, 에치백 공정이 수행될 수 있다. 리세스된 SiP층(31R)의 탐부는 게이트스페이서의 바텀부와 접촉하지 않을 수 있다. 결함(31D)을 제거하기 위해 포스트 식각을 수행할 수 있다. 포스트 식각은 클로린함유가스를 이용하여 수행될 수 있다. 포스트식각은 HCl 식각을 포함할 수 있다. 포스트 HCl 식각은 SiP층(31) 형성후에 인시튜로 진행할 수 있다.
- [0069] 도 5c에 도시된 바와 같이, SiP층(31R) 상에 언도프드 Si 캡층(32)이 형성될 수 있다. 언도프드 Si 캡층(32)은 게이트구조의 바텀코너(18)와 접촉할 수 있다. 언도프드 Si 캡층(32)과 게이트구조의 바텀코너(18)는 Si/SiO<sub>2</sub> 인터페이스(18I')를 형성할 수 있다.
- [0070] 언도프드 Si 캡층(32)은 인이 도핑되어 있지 않을 수 있다. 따라서, 언도프드 Si 층(32)과 바텀코너(18) 사이에 Si/SiO<sub>2</sub> 인터페이스(18I')가 형성되더라도, 결함이 발생하지 않는다.
- [0071] 제3실시예에 따르면, 고농도의 SiP층(31)을 형성한 후 에피택시챔버 내에서 인시튜로 HCl 식각을 진행하면 결함(31D)이 제거된다. 결함(31D)의 식각물이 결정질 대비 빠르기 때문에 SiP/SiO<sub>2</sub> 인터페이스(18I)에 발생한 결함(31D)이 제거된다. 결함(31D) 제거 후 언도프드 Si 캡층(32)을 에피택시성장시켜 캡핑하면, 후속 콘택 형성시에도 문제되지 않으며 결함도 제거되는 효과를 얻을 수 있다.

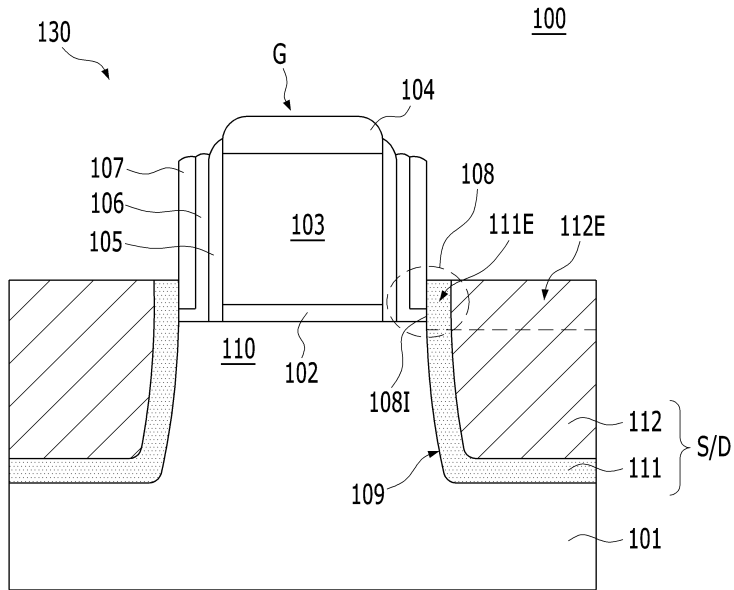
- [0072] 본 실시예들에 따른 트랜지스터(130, 230, 330)들은 플라나게이트형 트랜지스터일 수 있다.
- [0073] 본 실시예들의 변형예로서, 소스/드레인영역(S/D)은 FinFET에 적용될 수 있다. 또한, 트랜지스터(130, 230, 330)들의 게이트구조(G)는 게이트라스트(Gate last) 프로세스에 의해 형성될 수 있다.
- [0074] 본 실시예들에 따른 트랜지스터(130, 230, 330)들은 CMOSFET의 일부일 수 있다.
- [0075] 도 6은 본 실시예에 따른 CMOSFET를 도시한 도면이다.
- [0076] 도 6을 참조하면, CMOSFET(400)는 NMOSFET와 PMOSFET를 포함할 수 있다. NMOSFET와 PMOSFET는 소자분리층(401)에 의해 분리될 수 있다. 소자분리층(401)은 STI 영역일 수 있다.
- [0077] NMOSFET는 제1실시예에 따른 트랜지스터(130)일 수 있다. NMOSFET는 게이트구조 및 소스/드레인영역(S/D)을 포함할 수 있다. 게이트구조 아래의 채널영역(110)을 더 포함할 수 있다. 소스/드레인영역(S/D)은 낮은 인농도 제1SiP층(111)과 높은 인농도 제2SiP층(111)을 포함할 수 있다.
- [0078] PMOSFET는 게이트구조 및 소스/드레인영역(408)을 포함할 수 있다. 게이트구조 아래의 채널영역(410)을 더 포함할 수 있다. 소스/드레인영역(408)은 스트레스유도물질들을 포함할 수 있다. 스트레스유도물질은 실리콘저마늄(SiGe)을 포함할 수 있다. 소스/드레인영역(408)은 리세스(409) 내에 채워질 수 있다. 따라서, 소스/드레인영역(408)은 임베디드 SiGe라고 지칭될 수 있다. SiGe로 이루어진 소스/드레인영역(408)에 의해 채널영역(410)에 압축스트레스를 인가할 수 있다. 이로써, 채널영역(410)의 캐리어이동성을 증가시킬 수 있다. 게이트구조는 게이트절연층(402), 게이트전극(403) 및 게이트캡층(404)을 포함할 수 있다. 게이트구조는 제1스페이서(405), 제2스페이서(406) 및 제3스페이서(407)로 이루어진 게이트스페이서를 더 포함할 수 있다. PMOSFET의 게이트구조는 NMOSFET의 게이트구조와 동일할 수 있다.
- [0079] 전술한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어 나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**부호의 설명**

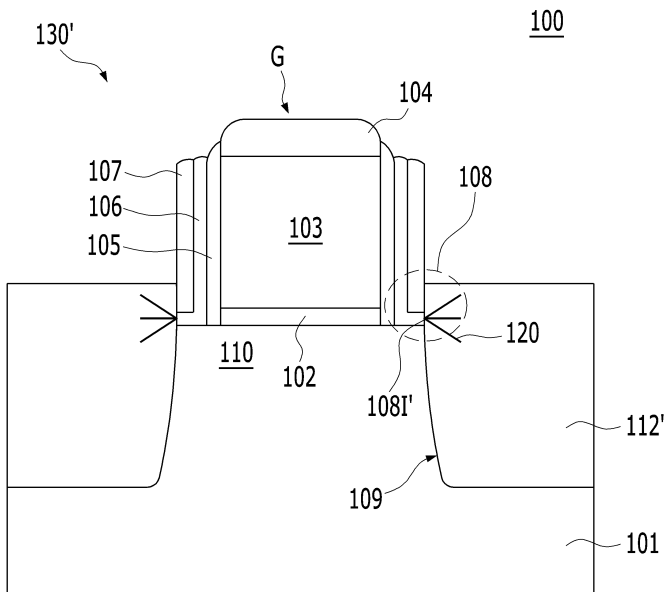
- [0080] 101 : 기판    102 : 게이트절연층
- 103 : 게이트전극    104 : 게이트캡층
- 105/106/107 : 게이트스페이서                            109 : 리세스
- 110 : 채널영역    111 : 제1SiP층
- 112 : 제2SiP층    S/D : 소스/드레인영역

도면

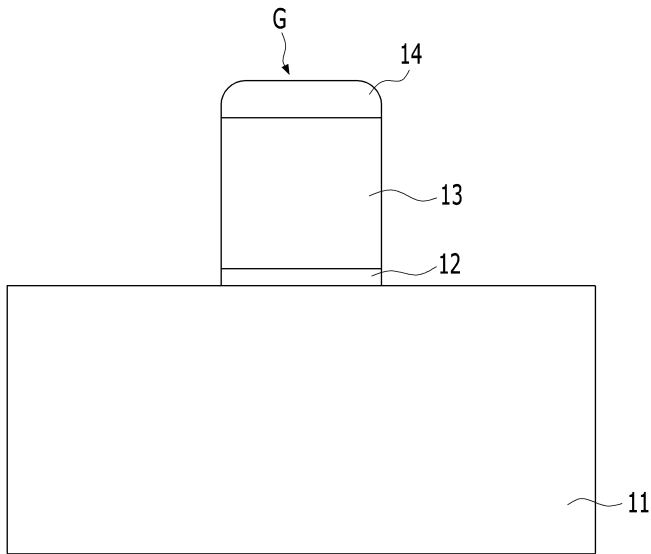
도면1a



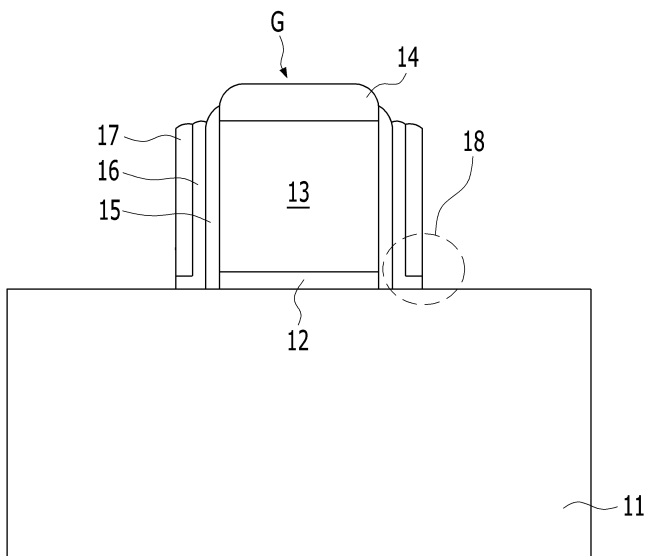
도면1b



도면2a

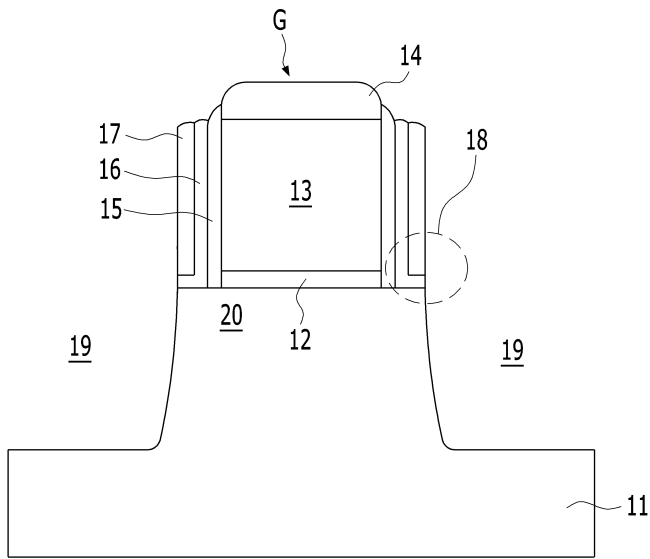


도면2b

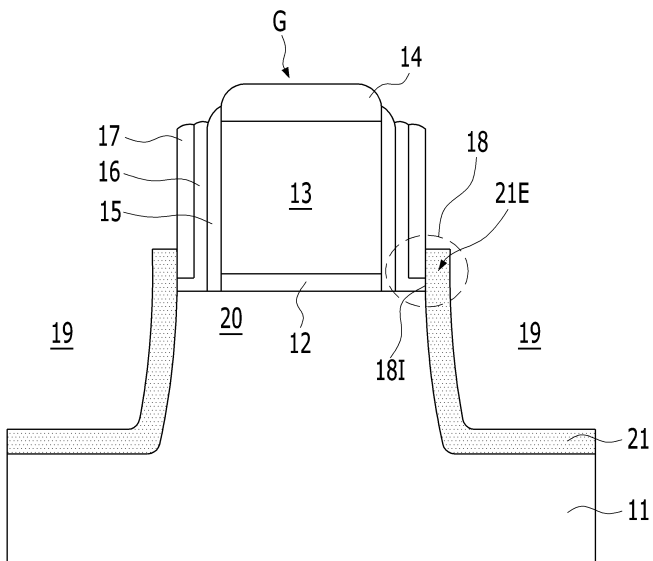




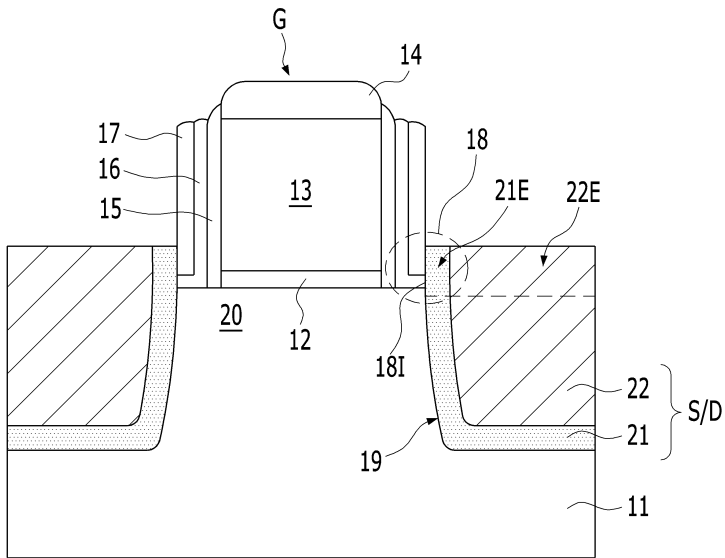
도면2c



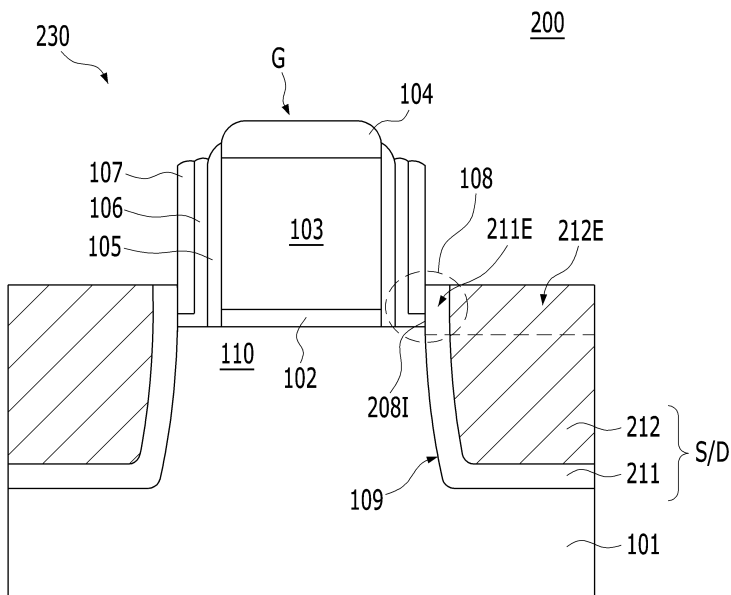
도면2d



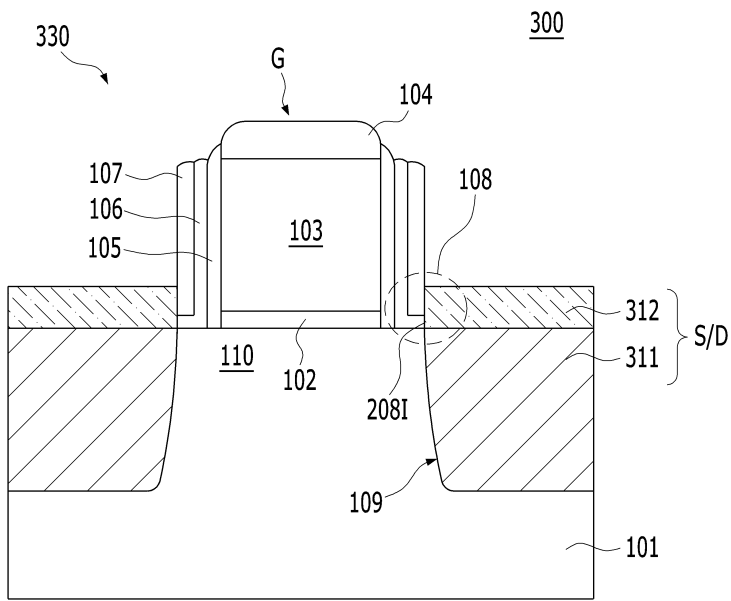
도면2e



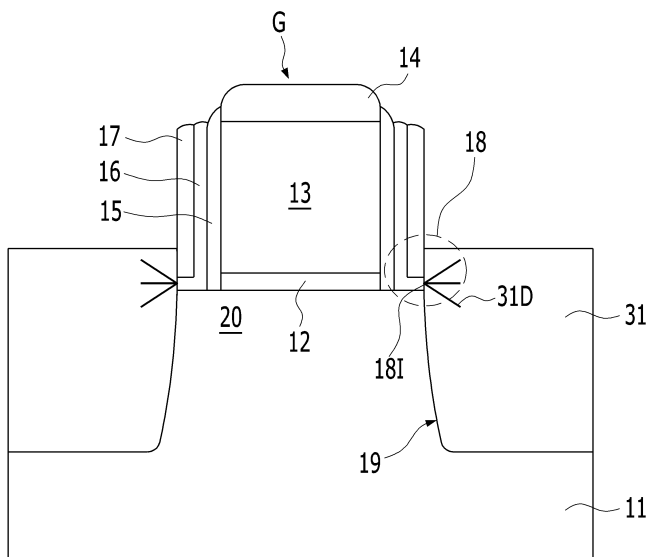
도면3



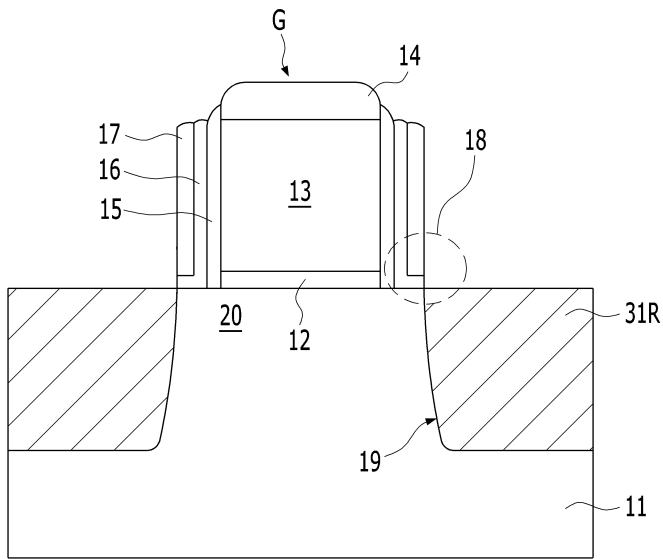
도면4



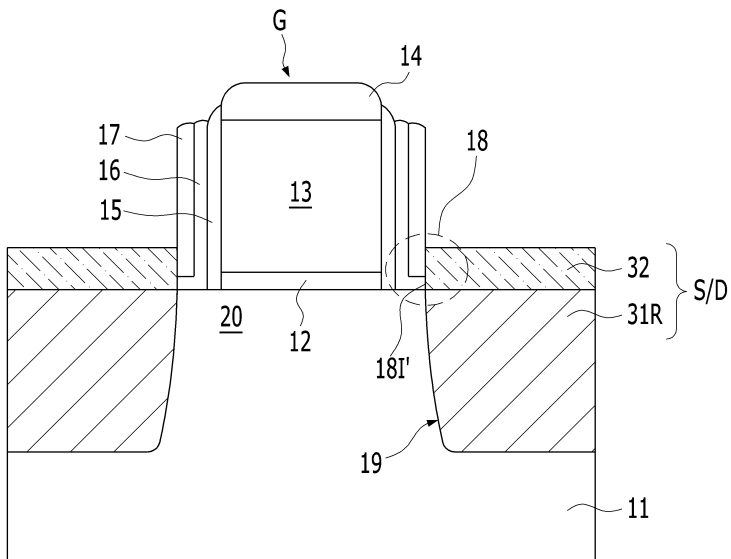
도면5a



도면5b



도면5c



도면6

