

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5057606号
(P5057606)

(45) 発行日 平成24年10月24日(2012.10.24)

(24) 登録日 平成24年8月10日(2012.8.10)

(51) Int.Cl. F I
H O 1 L 29/84 (2006.01) H O 1 L 29/84 B

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2000-112451 (P2000-112451)	(73) 特許権者	504199127
(22) 出願日	平成12年4月13日(2000.4.13)		フリースケール セミコンダクター イン
(65) 公開番号	特開2000-340805 (P2000-340805A)		コーポレイテッド
(43) 公開日	平成12年12月8日(2000.12.8)		アメリカ合衆国 テキサス州 78735
審査請求日	平成19年4月12日(2007.4.12)		オースティン ウィリアム キャノン
(31) 優先権主張番号	294075		ドライブ ウェスト 6501
(32) 優先日	平成11年4月19日(1999.4.19)	(74) 代理人	100089705
(33) 優先権主張国	米国 (US)		弁理士 社本 一夫
		(74) 代理人	100076691
			弁理士 増井 忠武
		(74) 代理人	100075270
			弁理士 小林 泰
		(74) 代理人	100080137
			弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】 電子部品および製造方法

(57) 【特許請求の範囲】

【請求項1】

電子部品を製造する方法であって：

表面を有する基板を設ける段階であって、前記基板が前記基板に形成されたダイアフラムを包含し、前記ダイアフラムが前記表面の一部を包含することを特徴とする段階；

前記基板によって支持される抵抗を設ける段階；

前記抵抗と前記基板の前記表面上にパッシベーション層を付着させる段階であって、前記ダイアフラムが包含する表面の一部の上にパッシベーション層を付着させることを含むことを特徴とする、付着させる段階；および

前記パッシベーション層の少なくとも一部を除去することにより、前記パッシベーション層をパターニングして、前記パッシベーション層内に少なくとも1つの孔を形成する段階であって、少なくとも1つの孔が、前記ダイアフラムを包含する基板の表面の一部を部分的に露出させることを特徴とする段階；

によって構成され、

前記ダイアフラムが、圧縮部分と引張部分と、前記圧縮部分と前記引張部分との間に変曲部分とを有し、前記抵抗が前記変曲部分に位置することを特徴とする方法。

【請求項2】

前記基板を設ける段階が、前記表面に対向する異なる表面を有する前記基板を設ける段階を包含し、

前記抵抗を設ける段階が、前記基板の前記表面内に前記抵抗を形成する段階によってさ

10

20

らに構成されることを特徴とし、

前記基板を設ける段階が、前記基板の前記異なる表面内に凹部をエッチングして前記基板内に前記ダイアフラムを形成することを特徴とし、このとき前記凹部が前記抵抗と前記パッシベーション層内の前記少なくとも1つの孔の下に位置し、前記抵抗が前記ダイアフラム内に位置することを特徴とする請求項1記載の方法。

【請求項3】

電子部品を製造する方法であって：

基板内と、基板の第1表面の第1の部分に抵抗を形成する段階；

基板の第1表面の第2の部分にボンディング・パッドを形成する段階；

前記抵抗および前記ボンディング・パッドの上に基板の第1表面にパッシベーション層を形成する段階；

前記ボンディング・パッドの上に第1の開口部と、前記ボンディング・パッドから間隔が隔てられた基板の第1表面の位置に第2の開口部とを形成するためにパッシベーション層の少なくとも一部を除去することによりパッシベーション層をパターンニングする段階；

第1表面に対向する基板の側に凹部を形成することにより、基板にダイアフラムを形成する段階；とを有し、

前記ダイアフラムが前記基板の第1表面の第1の部分を含むし、前記パッシベーション層の固有の応力が、圧縮部分、引張部分、並びに、圧縮部分と引張部分との間の変曲部分を形成するように基板に形成されたダイアフラムの変曲を生成し、前記抵抗が前記変曲部分に位置し、前記変曲部分が、前記第1および第2の開口部から間隔を隔てられていることを特徴とする方法。

【請求項4】

電子部品を製造する方法であって：

互いに対向する第1表面と第2表面とを有する半導体基板を設ける段階；

前記半導体基板をドーピングして、圧抵抗網と第1群の相互接続線とを前記半導体基板の前記第1表面内に形成する段階であって、前記第1群の相互接続線が前記圧抵抗網に電気的に結合される段階；

前記半導体基板の前記第1表面上に第2群の相互接続線を付着し、前記第2群の相互接続線が前記第1群の相互接続線と電気的に結合され、金属によって構成される段階；

前記半導体基板の前記第1表面、前記圧抵抗網および前記第1群および第2群の相互接続線上に誘電層を付着する段階；

前記誘電層の一部を除去して、前記誘電層内に少なくとも1つの孔からなるパターンを形成する段階；および

前記半導体基板の前記第2表面内にキャビティをエッチングして、前記誘電層の一部の除去後に前記半導体基板の第1の部分に圧力センサ・ダイアフラムを形成する段階であって、前記圧力センサ・ダイアフラムが、誘電層の固有の応力に起因して表面の部分がゼロになる圧縮応力及び引張応力を有する圧縮部分と引張部分との間の変曲部分と、引張部分と、圧縮部分とを有し、前記圧抵抗網が、前記変曲部分に配置され、前記第1群の相互接続線が前記圧力センサ・ダイアフラムとして半導体基板の同じ部分に位置し、前記第1群の相互接続線が前記圧力センサ・ダイアフラムを包含する半導体基板の第1の部分を超えて半導体基板の第2の部分に延在し、前記誘電層内の少なくとも1つの孔の1つ以上が前記圧力センサ・ダイアフラムおよび半導体基板の第1の部分上に位置し、前記第2群の相互接続線が前記圧力センサ・ダイアフラムを包含する半導体基板の第1の部分の上にはない段階；

によって構成されることを特徴とする方法。

【請求項5】

表面を備えた基板であって、前記基板は、基板に形成されたダイアフラムを包含し、前記ダイアフラムが表面の一部を包含することを特徴とする基板；

前記基板によって支持される抵抗であって、前記ダイアフラムが包含する表面の一部を包含することを特徴とする抵抗；および

10

20

30

40

50

前記基板の前記抵抗および前記表面上のパッシベーション層であって、前記パッシベーション層が、前記パッシベーション層の少なくとも1つの孔からなるパターンを有し、少なくとも1つの孔の1つ以上が、ダイアフラムを包含する基板の表面の一部を部分的に露出することを特徴とするパッシベーション層；
 によって構成され、

前記ダイアフラムが、圧縮部分、引張部分、前記圧縮部分と前記引張部分との間に変曲部分とを有し、前記抵抗が前記変曲部分に位置することを特徴とする電子部品。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、一般に電子工学に関し、さらに詳しくは、電子部品と製造方法とに関する。

【0002】

【従来の技術および発明が解決しようとする課題】

圧抵抗圧力センサ (piezoresistive pressure sensor) などの電子部品は、薄い感圧ダイアフラム上に重ねられるパッシベーション膜を有するのが普通である。このような圧抵抗圧力センサは広範囲の用途に用いられるが、センサの精度を低下させる多くのエラー源を依然として有する。たとえば、圧抵抗圧力センサには温度ヒステリシス・エラーがあるが、これはパッシベーション膜内の応力の温度ヒステリシスにより起こることがある。温度ヒステリシス・エラーは、追加の回路構成を用いて修正することができないので特に厄介である。さらに、別の例としては、圧抵抗圧力センサには、オフセット・エラーの温度係数の問題が起こるが、これもパッシベーション膜内の温度に対する膜応力の変化により起こることがある。膜応力の悪影響を削減するための一方法として、パッシベーション膜の品質を改善して、膜応力の量と温度による変動とをなくする方法がある。しかし、この改善は、温度ヒステリシスの発生源の多くが未知であるために実行が困難でしかも高価である。

【0003】

従って、膜応力による温度ヒステリシス・エラーとオフセット・エラーの温度係数とに反応しない、あるいは少なくとも反応がより少ない、製造可能で費用効果の良い圧抵抗圧力センサが必要とされる。また、製造可能で費用効果の良い圧抵抗圧力センサの製造方法が必要とされる。

【0004】

【実施例】

図1は、電子部品を製造する方法100を概説する。方法100は、以下の順序にいくつかの段階を含む。方法100は、互いに対向する第1および第2表面を有する半導体基板を設ける段階101を含む。方法100は段階102に進み、半導体基板の第1表面をドーピングして圧抵抗または圧抵抗網と第1群の相互接続線とを形成する。次に、方法100は段階103に進み、半導体基板の第1表面上に第2群の相互接続線を付着あるいは配置する。次に、方法100は半導体基板の第1表面上に少なくとも1つのパッシベーション層を付着または配置する段階104と、パッシベーション層をパターンニングする段階105とを含む。その後、方法100の段階106が実行されて、半導体基板の第2表面内にキャビティをエッチングあるいは形成する。このキャビティ形成により、半導体基板内に感圧ダイアフラムが作られる。圧抵抗および第1群の相互接続線は、好ましくはこのダイアフラム内に位置する。キャビティ、ダイアフラム、パッシベーション層内のパターン、圧抵抗および第1群と第2群の相互接続線の相対的位置、場所または構造については、より詳細に以下に説明する。

【0005】

図面を簡素に明確にするために、図面内の要素は必ずしも同尺に描かれるわけではなく、異なる図面内の同一の参照番号は同一の要素を示す。さらに、周知の特徴および処理技術の説明および詳細は、本発明を不必要に不明瞭にしないために省略する。

【0006】

10

20

30

40

50

図2は、製造の中間段階後の電子部品200の上面図である。詳しくは、図2は、図1の方法100の段階103と段階104との間の部品200を図示する。部品200は、表面202を有する基板201を備える。好適な実施例においては、基板201は、たとえばシリコンなどの半導体によって構成される。半導体基板は、表面202を形成するエピタキシャル層を備えることもあり、あるいは、半導体基板は絶縁体上半導体(SOI: semiconductor-on-insulator)基板によって構成されることもある。代替の実施例においては、基板201は、たとえばガラスなどの非半導体材料で構成されることもある。

【0007】

部品200は、基板201によって支持される抵抗構造210も備える。圧力センサにおいては、抵抗は圧抵抗(piezoresistor)と呼ばれ、圧抵抗は個々の応力感知抵抗のネットワークによって構成することができる。抵抗構造210は、好ましくは基板201の表面202をドーピングすることによって形成される。ドーパントを活性化および拡散させて、抵抗構造210の所望の構造を形成することができる。図2に示される実施例においては、抵抗構造210は、局在型ホイートストーン・ブリッジ構造(localized Wheatstone Bridge configuration)内に配列される4つの個別の抵抗を有する。特に基板201が半導体材料で構成されない場合の代替例としては、抵抗構造210を基板201の表面202上に形成することができる。

10

【0008】

複数の相互接続線220は、基板201に支持され、抵抗構造210に電気的に結合される。相互接続線220は、好ましくは基板201の表面202をドーピングすることにより形成される。また、好適な実施例においては、相互接続線220は抵抗構造210よりも高濃度にドーピングされ、また抵抗構造210の先に先立って形成される。

20

【0009】

複数の相互接続線230が、基板201の表面202上に形成される。好ましくは、相互接続線230はアルミニウムまたは銅などの金属によって構成され、相互接続線220に電気的に結合される。相互接続線230も、ボンディング・パッド240の少なくとも下側支持部分を形成するために用いられる。パッド240は、ワイヤ・ボンディング、フリップチップ・ボンディング、テープ自動化ボンディング(tape-automated-bonding)またはその他の同様の相互接続技術のために利用することができる。

【0010】

図2の破線は、基板201の中央部に基板201の下側から後になって形成されるダイアフラムまたはメンブレンの端部、周辺または周縁205を表す。破線は、ダイアフラムおよび抵抗構造210と相互接続線220、230との間の相対的位置または配置を示すために図2内に図示される。これについては、以下に、より詳細に説明する。

30

【0011】

図3は、後の製造段階後の電子部品200の上面図である。詳しくは、図3は、図1の方法100の段階106の後の部品200を示す。パッシベーション層300が基板201の表面202上に形成され、抵抗構造210(図2)および相互接続線220、230(図2)を覆う。層300は、下層構造を保護する。層300は、好ましくは、基板201の表面202と物理的に接触して、部品200の圧力感度を最大にする複合圧力センサ・ダイアフラムの総合的な厚みを最小限に抑える。また、パッシベーション層300は、好ましくは、たとえば、化学蒸着プロセス、熱成長プロセスなどにより付着される窒化シリコンまたは酸化シリコンなどの単独の誘電層あるいは複数の誘電層または膜で構成される。しかし、層300は、たとえば、スパタリング、蒸着、化学蒸着などにより付着される金属または半導体などの他の材料で構成することもできる。

40

【0012】

層300がパターンニングされて、層300内に少なくとも1つの孔が形成される。部品200においては、層300内のパターン310は2つの孔311、312からなる。好適な実施例においては、層300の部分除去プロセスによって、孔311、312を貫通して基板201の表面202の部分が露出される。層300内には他の孔320も形

50

成されて、ボンディング・パッド240を露出するが、孔320はパターン310の一部ではない。

【0013】

パターン310は、層300が抵抗構造210と相互接続線220, 230(図2)との上に残るように形成される。パターン310は、抵抗構造210または相互接続線220, 230の上には重ならず、これらの構造を保護する。また、パターン310は層300を別々の連続しない部分に分けることはない。そうではなくて、層300はパターン310が形成された後も基板201の表面202上の連続する1つの層として残る。

【0014】

凹部またはキャビティ401(図4)が基板201の対向面すなわち裏面内にエッチングされて、基板201内に感圧ダイアフラムまたはメンブレンを作り出す。キャビティ形成後にキャビティの脆性が增大することによる基板破断の可能性を小さくするために、キャビティは、パターンニング層300の後で基板201内に形成することが好ましい。キャビティは、後の図面に図示される。

10

【0015】

図4は、図3の切断線4-4に沿って切った電子部品200の断面図であり、図5は図3の切断線5-5に沿って切った電子部品200の断面図である。キャビティ401は基板201の表面203からエッチングされる。表面203は表面202の対向面である。キャビティ401は、基板201内で所望の結晶面を異方性エッチングする従来の湿式エッチャントを用いて形成することができる。

20

【0016】

キャビティ401の形成により、基板201内に感圧メンブレンまたはダイアフラム403が作られる。基板201内のエッチ・ストップ層を用いて、ダイアフラム403の厚みを制御することができる。たとえば、基板201がSOI基板である場合はエッチ・ストップ層を酸化層とすることができ、基板201が表面202を形成するエピタキシャル層を有し、このエピタキシャル層が基板201の下側部分と比べて異なるドーピング・レベルを有する場合はエッチ・ストップ層をドーピングされたエピタキシャル層とすることができる。

【0017】

本発明の説明を不明瞭にするのを避けるために、抵抗構造210および相互接続線220, 230は図5には図示しない。しかし、抵抗構造210および相互接続線220がダイアフラム403内あるいはその上に位置するように、またパターン310がダイアフラム403上に位置するがダイアフラム403の少なくとも1つの端部上には位置しないように、ダイアフラム403が形成される。同様に、キャビティ401は抵抗構造210, 相互接続線220およびパターン310の下に位置する。部品200の信頼性と電気的性能を高めるために、相互接続線220はダイアフラム403の周縁205を超えて延在することが好ましく、それによって相互接続線230とボンディング・パッド240とはダイアフラム403上に重ならない。あるいはその上にない。

30

【0018】

部品200の動作中は、層300を通り、ダイアフラム403の表面202に圧力がかけられ、ダイアフラム403はかけられた圧力に応じて湾曲する。ダイアフラム403が湾曲すると、抵抗構造210内の各抵抗の抵抗値は、個別の抵抗の整合によって異なる量だけ変わることがある。与えられる圧力に対する部品200の感度を最大にするために、ダイアフラム403の端部の中心部分は抵抗構造210に位置するか、あるいはそれに隣接することが好ましい。

40

【0019】

ダイアフラム403に圧力が与えられない状態で、トランスデューサ・オフセットが抵抗構造210内で測定される。以下に説明するように、部品200の製造プロセスと、それに由来する部品200の構造とが、抵抗構造210の平衡ホイートストーン・ブリッジ構造に関して好適なゼロのトランスデューサ・オフセットを提供する助けとなる。

50

【 0 0 2 0 】

層 3 0 0 内の固有の応力がダイアフラム 4 0 3 および層 3 0 0 の変形または湾曲を生む。しかし、層 3 0 0 内のパターン 3 1 0 は、変形構造を制御するよう設計される。図 4 および図 5 に示されるように、ダイアフラム 4 0 3 の表面 2 0 2 の部分は圧縮応力を有し、表面 2 0 2 の他の部分は引張応力を有する。表面 2 0 2 のさらに別の部分の応力はゼロになる。この応力ゼロの部分が圧縮部分と引張部分との間に位置して、変曲部分 (inflection portions) と呼ばれる。ダイアフラム 4 0 3 の図示されるような変形構造を得るためには、層 3 0 0 は圧抵抗に近い周縁部 2 0 5 上に維持される。層 3 0 0 内のパターン 3 1 0 は圧抵抗に近い周縁部 2 0 5 上にはない。また、パターン 3 1 0 は圧抵抗の近くにはあるが、その上には重ならない。

10

【 0 0 2 1 】

たとえば、図 5 において、ダイアフラムの表面 2 0 2 は、変曲部分 5 0 1 , 5 0 2 , 5 0 3 , 5 0 4 と、引張部分 5 0 5 , 5 0 6 , 5 0 7 と、圧縮部分 5 0 8 , 5 0 9 とを有する。温度ヒステリシス・エラーおよびオフセット・エラーの温度係数に対する部品 2 0 0 の感度をなくするか、あるいは少なくとも最小限に抑えるために、抵抗構造 2 1 0 (図 2) は、好ましくは、変曲部分 5 0 1 , 5 0 2 , 5 0 3 , 5 0 4 の 1 つの中心領域に位置する。抵抗構造 2 1 0 を表面 2 0 2 の圧縮部分と引張部分との間の応力変曲点に置くことにより、固有の応力や温度によるその変動により、部品 2 0 0 の電気特性が劣化することはない。図 2 ないし図 5 に示される実施例においては、抵抗構造 2 1 0 は変曲部分 5 0 4 に位置する。

20

【 0 0 2 2 】

図 2 ないし図 5 に示される実施例においては、ダイアフラム 4 0 3 は、厚みが約 1 0 ~ 3 0 マイクロメートル、幅が約 0 . 5 ~ 3 ミリメートルで長さが約 0 . 5 ~ 3 ミリメートルであり、層 3 0 0 は約 0 . 1 ~ 2 マイクロメートルの厚みを有する。また、孔 3 1 1 は孔幅 3 9 2 (図 3) と孔位置 3 9 1 (図 3) とを有し、これはダイアフラム 4 0 3 の中心から測定される。孔 3 1 1 , 3 1 2 (図 3 , 4) は対称である。従って、孔は 3 1 2 は孔 3 1 1 と等しい位置と幅とを有するが、孔 3 1 2 がダイアフラム 4 0 3 の対向面に位置することが異なる。さらにこの実施例においては、抵抗構造 2 1 0 が図 2 の周縁部 2 0 5 の右側端部の中央から約 5 0 ~ 7 5 0 マイクロメートルに位置する。コンピュータ・シミュレーションによって、孔 3 1 1 , 3 1 2 が以下の範囲内にある位置を有するとき、変曲点は抵抗構造 2 1 0 の場所に位置することが実証されている。すなわち、約 2 0 0 ~ 1 4 0 0 マイクロメートルの孔位置と約 2 0 ~ 7 5 0 マイクロメートルの孔幅である。

30

【 0 0 2 3 】

図 6 は、電子部品 6 0 0 の上面図である。部品 6 0 0 は、図 3 の部品 2 0 0 のパターン 3 1 0 とは異なるパターン 6 1 0 を有するパッシベーション層 3 0 0 を備える。パターン 6 1 0 は、各々が圧力センサ・ダイアフラムの異なる角に隣接して位置する 4 つの孔 6 1 1 , 6 1 2 , 6 1 3 , 6 1 4 を有する。部品 6 0 0 の圧抵抗は、図 2 の抵抗構造 2 1 0 の局在型ホイートストーン・ブリッジ構造を有することができ、あるいは、部品 6 0 0 の圧抵抗は分布型ホイートストーン・ブリッジ構造 (distributed Wheatstone Bridge configuration) を有することができる。これは下記の図 9 に示す。

40

【 0 0 2 4 】

図 7 は、電子部品 7 0 0 の上面図である。部品 7 0 0 は、図 3 の部品 2 0 0 のパターン 3 1 0 とは異なるパターン 7 1 0 を有するパッシベーション層 3 0 0 を備える。パターン 3 1 0 とは異なり、パターン 7 1 0 は 1 つの孔 7 1 1 を有し、この孔が、圧力センサ・ダイアフラム上で層 3 0 0 を少なくとも 2 つの連続しない部分に分割する。図 6 のパターン 6 1 0 と同様に、パターン 7 1 0 は図 2 に示される局在型ホイートストーン・ブリッジ構造または図 9 に後述される分布型ホイートストーン・ブリッジ構造と共に用いることができる。

【 0 0 2 5 】

図 8 は、電子部品 8 0 0 の上面図である。部品 8 0 0 は、複数の個別層からなるパッシベ

50

ーション層 805 を備える。図 8 に図示される実施例においては、パッシベーション層 805 は 2 つの層すなわち上層 806 と下層 807 とから構成される。本実施例においては、層 807 は基板の表面上に付着することができ、層 806 は層 807 の上に付着することができる。層 806 , 807 は、図 3 のパッシベーション層 300 に関して説明されたものと同様の材料で構築することができ、また、層 806 , 807 は、同一のあるいは互いに異なる材料で構築することができる。

【0026】

図 8 に示されるように、パターン 810 を上層 806 内に形成あるいはエッチングして、層 807 の部分を露出させることができる。パターン 810 は以前の例のように、圧力センサ・ダイアフラムの中心上で対称形ではないことに留意されたい。パターン 810 は、層 806 を別々の部分に分割しない 1 つの孔 811 で構成することができる。層 806 内にパターン 810 を形成するプロセスによって、層 806 , 807 が異なる材料で構成される場合に、層 807 がパターンに重ならないようにすることが容易にできる。層 806 , 807 が同様の材料で構成される場合、パターン 810 を両層 806 , 807 内に容易に形成することができる。パターン 810 は、図 2 に示される抵抗構造 210 と共に用いることが好ましい。

【0027】

図 9 は、分布型ホイートストーン・ブリッジ構造を示す電子部品 900 の上面図である。部品 900 は、図 2 の電子部品 200 の異なる実施例である。部品 900 は、非局在型すなわち分布型のホイートストーン・ブリッジ構造で基板 201 の表面 202 上に位置する抵抗構造 910 を有する。分布型構造においては、ホイートストーン・ブリッジ内の 4 つの抵抗は、局在型構造のように圧力センサ・ダイアフラムの同じ端部に隣接して位置しない。代わりに、分布型構造の 4 つの抵抗の各々は、圧力センサ・ダイアフラムの異なる端部に隣接して位置する。このような分布型構造においては、図 9 に示されるような追加のボンディング・パッドの必要性を当業者は認識されよう。部品 900 では、図 6 のパターン 610 または図 7 のパターン 710 と同様のパターンを有するパッシベーション層を用いることが好ましい。

【0028】

従って、従来技術の欠点を克服するために改良された電子部品が提供される。本明細書に開示される圧抵抗圧力センサは、温度ヒステリシス・エラーとオフセット・エラーの温度係数とに対する感度が低くなっている。この改善は、パッシベーション層を特定の構造にパターンニングして、圧力センサ・ダイアフラムの変形を制御し、圧抵抗を圧力センサ・ダイアフラムの比較的応力のない場所に配置することにより達成することができる。信頼性と電気的性能のこの改善は、部品のコストを著しく高くせず、部品を著しく複雑にすることなく実行することができる。

【0029】

本明細書に説明される本発明の開示される実施例はすべて、過度の実験を行わずに可能であり、実現および実用化をすることができる。発明者が意図する本発明を実行する最良の方法を上記に開示したが、本発明の実行はそれに限らない。さらに、本発明は好適な実施例を参照して具体的に図示および説明されたが、本発明の精神および範囲から逸脱することなく形態および詳細における変更を本明細書の開示に加えることが可能であることは当業者には理解頂けよう。例を挙げると、たとえば基板とパッシベーション層の材料組成、パッシベーション層パターンと圧力センサ・ダイアフラムの特定の幾何学形状およびパッシベーション層内のダイアフラムおよび孔の寸法など本明細書に明記される数多くの詳細事項は、本発明の理解を助けるために記述されたものであって、本発明の範囲を制限するために記述されたわけではない。

【0030】

さらに、本明細書に説明される圧力センサは、図 2 の抵抗構造 210 または図 9 の抵抗構造 910 に示されるもののよう、局在型または分布型のホイートストーン・ブリッジ構造を用いる必要はない。そうではなく、たとえば、図 2 および図 3 の抵抗構造 210 の代

10

20

30

40

50

わりに部分的に分布型のホイートストーン・ブリッジ構造を用いることもできる。この実施例では、4つの圧抵抗のうち2つを図3において抵抗構造210が現在位置するダイアフラムの右側に配置し、残りの2つをダイアフラムの左側で、孔311と312との間であって、最初の2つの圧抵抗に直接的に対向する位置に配置することもできる。さらに、本明細書に開示されるホイートストーン・ブリッジ構造の代わりに、任意の適切な2端子または4端子抵抗測定法を用いることもできる。

【0031】

別の例として、本明細書に説明される種々のパターンを、本明細書に説明される単層または多層パッシベーション層のうち任意のものと共に用いることができる。さらに、パターンをパッシベーション層の底部、中間または上部のみに形成したり、パターンを複数の多層パッシベーション層内に形成することもできる。しかし、一般的に、圧力センサ・ダイアフラムの所望の変形構造を得るためには、パッシベーション層開口部は、圧抵抗の位置に近いことが好ましい。また、一般的に、パッシベーション層は、圧力センサ・ダイアフラムの少なくとも約20ないし80パーセントを覆うことが好ましい。また、圧力センサ・ダイアフラムの所望の圧縮部分および引張部分は、圧力センサ・ダイアフラムの両面上にパッシベーション層を付着し、1つまたは両方の層をパターンニングすることによって得ることができる。

10

【0032】

さらに別の例として、パッシベーション層が単層で構成される場合でも、パッシベーション層内のパターンをパッシベーション層全体を貫通してエッチングする必要はない。さらに、パッシベーション層は、圧力センサ・ダイアフラムの全周縁部に重なる必要もない。しかし、本明細書に述べた利点を最大限に生かすためには、パッシベーション層は、圧抵抗に隣接する周縁部上に留まることが好ましい。

20

【0033】

従って、本発明の開示は制限を加えるためのものではない。そうではなく、本発明の開示は、特許請求の範囲に明記される本発明の範囲を説明するためのものである。本発明の範囲は、実施例および均等物に限定されるものと解釈すべきではない。

【図面の簡単な説明】

【図1】本発明による電子部品製造方法を概説する。

【図2】本発明による製造の中間段階後の電子部品の実施例の上面図である。

30

【図3】本発明による製造のその後の段階後の電子部品の実施例の上面図である。

【図4】本発明による図3の切断線4-4に沿った電子部品の断面図である。

【図5】本発明による図3の切断線5-5に沿った電子部品の断面図である。

【図6】本発明による電子部品の異なる実施例の上面図である。

【図7】本発明による電子部品のさらに別の実施例の上面図である。

【図8】本発明による電子部品のさらに別の実施例の上面図である。

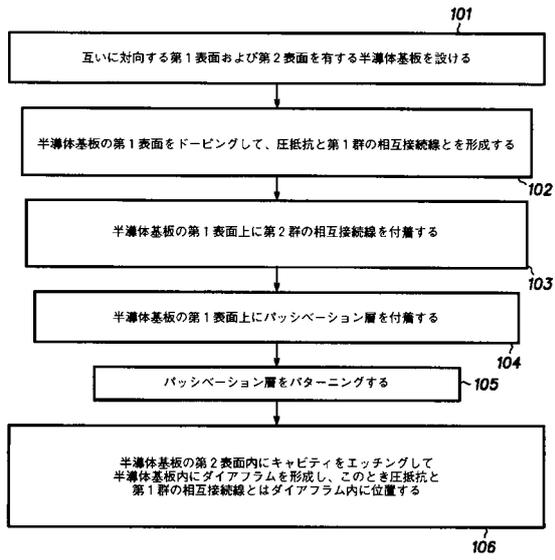
【図9】本発明による図2の電子部品の異なる実施例の上面図である。

【符号の説明】

- 100 方法
- 101 互いに対向する第1表面および第2表面を有する半導体基板を設ける
- 102 半導体基板の第1表面をドーピングして、圧抵抗と第1群の相互接続線とを形成する
- 103 半導体基板の第1表面上に第2群の相互接続線を付着する
- 104 半導体基板の第1表面上にパッシベーション層を付着する
- 105 パッシベーション層をパターンニングする
- 106 半導体基板の第2表面内にキャビティをエッチングして半導体基板内にダイアフラムを形成し、このとき圧抵抗と第1群の相互接続線とはダイアフラム内に位置する

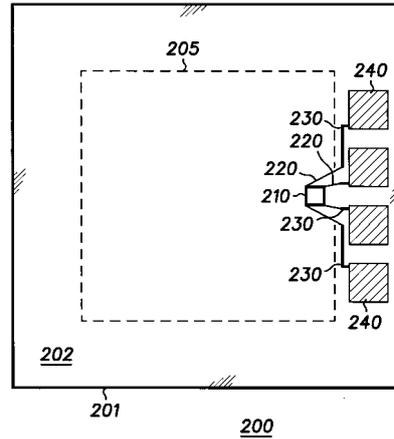
40

【図1】



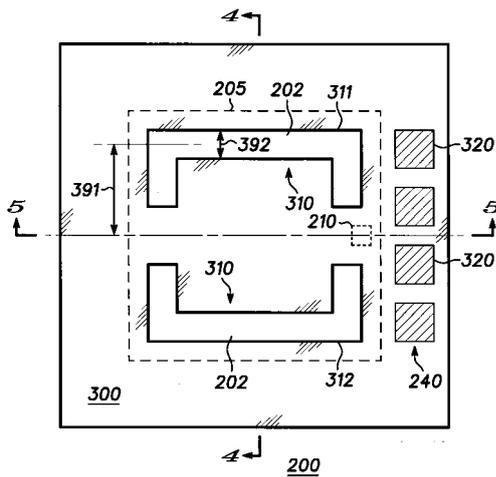
100

【図2】



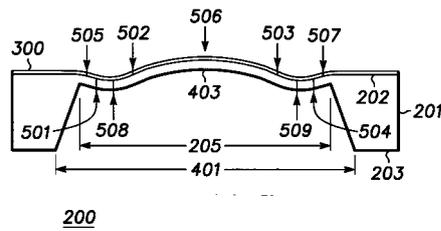
200

【図3】



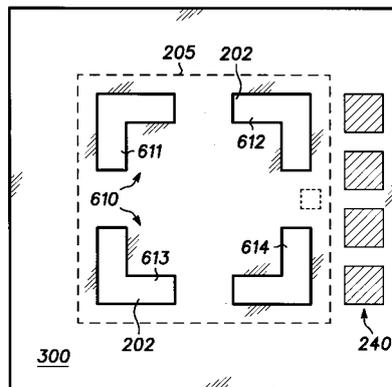
200

【図5】



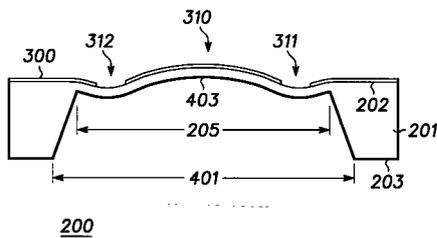
500

【図6】



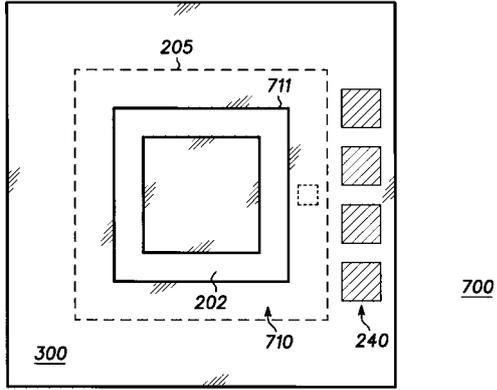
600

【図4】

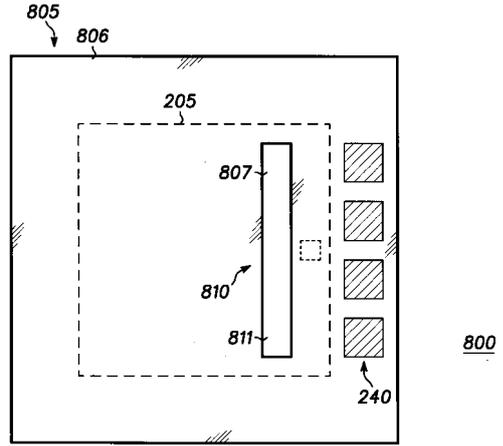


400

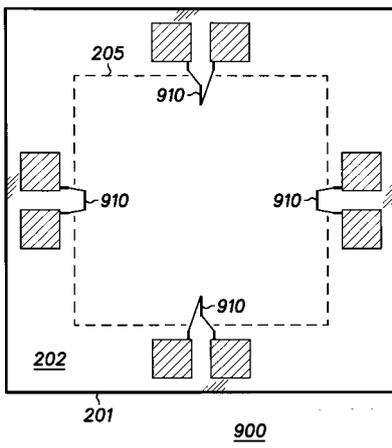
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(72)発明者 リチャード・ジェイ・オウガスト

アメリカ合衆国アリゾナ州スコッツデール、ノース・５６ス・ブレイス１２６１２

審査官 太田 一平

- (56)参考文献 特開昭５４－０４４８８３（ＪＰ，Ａ）
特開昭５４－１６２４９１（ＪＰ，Ａ）
特開平０２－１５２２７９（ＪＰ，Ａ）
特開昭６１－１７２３７８（ＪＰ，Ａ）
特開２０００－２１４０２２（ＪＰ，Ａ）
特開平１０－１１１２００（ＪＰ，Ａ）
特表２００１－５０７８０１（ＪＰ，Ａ）
特表平０７－５０４５０９（ＪＰ，Ａ）
特開昭６２－５０２６４５（ＪＰ，Ａ）
特開昭５２－０４５９８６（ＪＰ，Ａ）
特開昭６３－０２５９８２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)

H01L 29/84