

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6479698号
(P6479698)

(45) 発行日 平成31年3月6日(2019.3.6)

(24) 登録日 平成31年2月15日(2019.2.15)

(51) Int.Cl.	F I	
HO 1 L 21/3065 (2006.01)	HO 1 L 21/302	1 O 1 B
HO 5 H 1/46 (2006.01)	HO 1 L 21/302	1 O 1 C
HO 1 L 27/11556 (2017.01)	HO 5 H 1/46	R
HO 1 L 21/336 (2006.01)	HO 1 L 27/11556	
HO 1 L 29/788 (2006.01)	HO 1 L 29/78	3 7 1
請求項の数 3 (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2016-28964 (P2016-28964)
 (22) 出願日 平成28年2月18日(2016.2.18)
 (65) 公開番号 特開2017-147370 (P2017-147370A)
 (43) 公開日 平成29年8月24日(2017.8.24)
 審査請求日 平成30年2月5日(2018.2.5)

(73) 特許権者 318010018
 東芝メモリ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110002147
 特許業務法人酒井国際特許事務所
 (72) 発明者 松田 祐弥
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 審査官 長谷川 直也

最終頁に続く

(54) 【発明の名称】 半導体製造装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

ウェハを収容するチャンバと、
 前記チャンバ内で前記ウェハを保持する基台と、
 前記基台に第1周波数電圧をパルス状に印加するバイアス制御電源と、
 前記基台に基台電圧を印加する基台電源と、
 前記第1周波数電圧のパルス波形のタイミングを制御するタイミング制御部と、
 前記ウェハの電位を測定する電位測定部と、
 前記パルス波形のタイミングに同期させつつ、前記ウェハの電位に基づいて前記基台電
 圧の振幅を制御する電圧制御部とを備え、
 前記バイアス制御電源は、前記基台に前記第1周波数電圧をパルス状に印加する前に前
 記基台に前記第1周波数電圧を連続的に印加し、
 前記電位測定部は、前記基台に前記第1周波数電圧が連続的に印加されている時に前記
 ウェハの電位を測定し、
 前記電圧制御部は、前記基台に前記第1周波数電圧がパルス状に印加されている時に、
 前記ウェハの電位に基づいて前記基台電圧の振幅を制御する半導体製造装置。

【請求項2】

第1絶縁層と第2絶縁層とが交互に積層された積層体をウェハに形成し、
 第1開口部が形成されたマスクパターンを前記積層体上に形成し、
 前記マスクパターンを介して前記積層体をエッチングすることで前記積層体に第2開口

部を形成する半導体装置の製造方法であって、

前記第 2 開口部の形成時において、

前記ウェハが基台上に置かれている状態で前記基台に第 1 周波数電圧が印加されている時に前記ウェハの電位を測定し、

前記基台に前記第 1 周波数電圧をパルス状に印加するとともに、前記基台に基台電圧を印加し、

前記第 1 周波数電圧のパルス波形のタイミングに同期させつつ、前記ウェハの電位に基づいて前記基台電圧の振幅を制御し、

前記基台に前記第 1 周波数電圧をパルス状に印加する前に前記基台に前記第 1 周波数電圧を連続的に印加し、

10

前記基台に前記第 1 周波数電圧が連続的に印加されている時に前記ウェハの電位を測定し、

前記基台に前記第 1 周波数電圧がパルス状に印加されている時に、前記ウェハの電位に基づいて前記基台電圧の振幅を制御する半導体装置の製造方法。

【請求項 3】

メモリ膜を有する柱状体を前記第 2 開口部に埋め込み、

前記積層体にスリットを形成し、

前記スリットを介してエッチング剤を前記積層体に侵入させることで前記第 2 絶縁層を除去し、

前記第 2 絶縁層が除去された空隙に導電体を埋め込む工程をさらに備え、

20

前記スリットの形成時において、

前記ウェハが基台上に置かれている状態で前記基台に前記第 1 周波数電圧が印加されている時に前記ウェハの電位を測定し、

前記基台に前記第 1 周波数電圧をパルス状に印加するとともに、前記基台に基台電圧を印加し、

前記第 1 周波数電圧のパルス波形のタイミングに同期させつつ、前記ウェハの電位に基づいて前記基台電圧の振幅を制御する請求項 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体製造装置および半導体装置の製造方法に関する。

30

【背景技術】

【0002】

プラズマエッチング装置では、アスペクト比の増大などに伴って、バイアス制御用パワーを高パワー化させることがある。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2009 - 246091 号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0004】

本発明の一つの実施形態は、プラズマ処理時のウェハからの放電を低減することが可能な半導体製造装置および半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明の一つの実施形態によれば、半導体製造装置は、チャンバと、基台と、バイアス制御電源と、基台電源と、タイミング制御部と、電位測定部と、電圧制御部と、を備える。前記チャンバは、ウェハを収容する。前記基台は、前記チャンバ内で前記ウェハを保持する。前記バイアス制御電源は、前記基台に第 1 周波数電圧をパルス状に印加する。前記

50

基台電源は、前記基台に基台電圧を印加する。前記タイミング制御部は、前記第1周波数電圧のパルス波形のタイミングを制御する。前記電位測定部は、前記ウェハの電位を測定する。前記電圧制御部は、前記パルス波形のタイミングに同期させつつ、前記ウェハの電位に基づいて前記基台電圧の振幅を制御する。前記バイアス制御電源は、前記基台に前記第1周波数電圧をパルス状に印加する前に前記基台に前記第1周波数電圧を連続的に印加する。前記電位測定部は、前記基台に前記第1周波数電圧が連続的に印加されている時に前記ウェハの電位を測定する。前記電圧制御部は、前記基台に前記第1周波数電圧がパルス状に印加されている時に、前記ウェハの電位に基づいて前記基台電圧の振幅を制御する。

【図面の簡単な説明】

10

【0006】

【図1】図1は、第1実施形態に係る半導体製造装置の概略構成を示す断面図である。

【図2】図2(a)は、図1のソース電源の電圧波形を示す図、図2(b)は、図1のバイアス制御電源の電圧波形を示す図、図2(c)は、図1のウェハにかかる電圧波形を示す図、図2(d)は、図1の基台電源の電圧波形を示す図である。

【図3】図3は、第2実施形態に係る半導体製造装置の基台電圧の制御方法を示すフローチャートである。

【図4】図4は、第3実施形態に係る半導体製造装置の基台電圧の制御方法を示すフローチャートである。

【図5】図5(a)～図5(c)は、第4実施形態に係る半導体装置の製造方法を示す断面図である。

20

【図6】図6(a)～図6(c)は、第4実施形態に係る半導体装置の製造方法を示す断面図、図6(d)は、図6(c)のE1部分を拡大して示す断面図である。

【発明を実施するための形態】

【0007】

以下に添付図面を参照して、実施形態に係る半導体製造装置を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0008】

(第1実施形態)

図1は、第1実施形態に係る半導体製造装置の概略構成を示す断面図、図2(a)は、図1のソース電源の電圧波形を示す図、図2(b)は、図1のバイアス制御電源の電圧波形を示す図、図2(c)は、図1のウェハにかかる電圧波形を示す図、図2(d)は、図1の基台電源の電圧波形を示す図である。なお、図1では、容量結合型(平行平板型)プラズマエッチング装置を例にとった。

30

図1において、エッチング装置には、ウェハWを収容するチャンバ1が設けられている。チャンバ1内には、ウェハWを保持する基台2が設けられている。チャンバ1および基台2は、A1などの導電体で構成することができる。この時、チャンバ1は接地することができる。基台2は、支持体5でチャンバ1内に保持されている。基台2の周囲には絶縁リング3が設けられている。基台2と絶縁リング3との境界には、ウェハWの外周に沿ってフォーカスリング4が埋め込まれている。フォーカスリング4は、ウェハWの周縁部での電界の偏向を防止することができる。

40

【0009】

チャンバ1内の上方にはシャワーヘッド6が設置されている。シャワーヘッド6は、ウェハW上からウェハ面に向かってガスG1を鉛直方向に噴出することができる。この時、シャワーヘッド6には、ガスG1を噴出する噴出孔7を設けることができる。シャワーヘッド6上には、シャワーヘッド6にガスG1を供給する配管8が設けられている。ガスG1は、チャンバ1内でのプラズマエッチング処理を進行させることができる。なお、シャワーヘッド6は、プラズマ生成時の上部電極として用いることができる。基台2は、プラズマ生成時の下部電極として用いることができる。チャンバ1の下方には排気管9が設けられている。

50

【 0 0 1 0 】

基台 2 上には、ウェハ W を固定する静電チャック 1 3 が設けられている。静電チャック 1 3 には、チャック電極 1 5 が埋め込まれている。チャック電極 1 5 はチャック電源 1 6 に接続されている。チャック電極 1 5 は、ウェハ W を引き寄せせる静電気力を発生させることができる。静電チャック 1 3 の表面には、凹凸面 1 4 が設けられている。凹凸面 1 4 は、エンボス加工面であってもよい。

【 0 0 1 1 】

基台 2 および静電チャック 1 3 には、貫通孔 1 0、1 1 が設けられている。貫通孔 1 0 は、冷却剤 G 2 をウェハ W 裏面に送ることができる。冷却剤 G 2 は、例えば、He ガスを用いることができる。この時、ウェハ W 裏面に送られた冷却剤 G 2 は凹凸面 1 4 に侵入することができる。ウェハ W 裏面に送られた冷却剤 G 2 は凹凸面 1 4 を介してウェハ W 裏面全体に行き渡ることができる。貫通孔 1 1 内には、ピン 1 2 が設けられている。ピン 1 2 は上下に移動可能である。この時、ピン 1 2 が上下に移動することで、ウェハ W の搬送時にウェハ W を昇降させることができる。

10

【 0 0 1 2 】

また、このエッチング装置には、ソース電源 1 9、バイアス制御電源 2 2 および基台電源 2 3 が設けられている。バイアス制御電源 2 2 は、基台 2 に第 1 周波数電圧 V 1 をパルス状に印加することができる。ソース電源 1 9 は、基台 2 に第 2 周波数電圧 V 2 を連続的に印加することができる。第 2 周波数は第 1 周波数より高くすることができる。例えば、第 1 周波数は 1 3 . 5 6 M H z 以下、第 2 周波数は 4 0 M H z 以上に設定することができる。この時、第 2 周波数電圧 V 2 は、チャンバ 1 内でプラズマを発生させるために用いることができる。第 1 周波数電圧 V 1 は、チャンバ 1 内で発生したイオンをウェハ W に引き込むためのバイアス電圧として用いることができる。基台電源 2 3 は、基台 2 に基台電圧 V 4 を印加することができる。基台電圧 V 4 は、ウェハ W の電位 V 3 をキャンセルするために用いることができる。

20

【 0 0 1 3 】

バイアス制御電源 2 2 は、ブロッキングコンデンサ 2 0 および整合器 2 1 を順次介して基台 2 に接続されている。ソース電源 1 9 は、ブロッキングコンデンサ 1 7 および整合器 1 8 を順次介して基台 2 に接続されている。基台電源 2 3 は、基台 2 に接続されている。ブロッキングコンデンサ 1 7、2 0 は、エッチング時のイオン衝突による損傷を緩和することができる。整合器 1 8 は、ソース電源 1 9 の負荷とインピーダンス整合をとることができる。整合器 2 1 は、バイアス制御電源 2 2 の負荷とインピーダンス整合をとることができる。

30

【 0 0 1 4 】

また、このエッチング装置には、タイミング制御部 2 4、電位測定部 2 5 および電圧制御部 2 6 が設けられている。タイミング制御部 2 4 は、第 1 周波数電圧 V 1 のパルス波形のタイミングを制御することができる。第 1 周波数電圧 V 1 のパルス波形のタイミングを制御するために、第 1 周波数電圧 V 1 のオン / オフのタイミングを制御することができる。電位測定部 2 5 は、ウェハ W の電位 V 3 を測定することができる。電圧制御部 2 6 は、第 1 周波数電圧 V 1 のパルス波形のタイミングに同期させつつ、ウェハ W の電位 V 3 に基づいて基台電圧 V 4 の振幅を制御することができる。

40

【 0 0 1 5 】

そして、ウェハ W がチャンバ 1 内に搬送される場合、ピン 1 2 が静電チャック 1 3 上に突出される。そして、ウェハ W がピン 1 2 上に置かれた状態でピン 1 2 が降下し、ウェハ W が静電チャック 1 3 上に置かれる。そして、静電チャック 1 3 にウェハ W が引き寄せられることでウェハ W が静電チャック 1 3 上に固定される。

【 0 0 1 6 】

さらに、貫通孔 1 0 を介して冷却剤 G 2 がウェハ W 裏面に送られ、凹凸面 1 4 を介してウェハ W 裏面全体に行き渡ることによって、ウェハ W が冷却される。そして、排気管 9 を介してチャンバ 1 内が排気されながら、シャワーヘッド 6 からガス G 1 が噴出される。そして、

50

図2(a)に示すように、ソース電源19から基台2に第2周波数電圧V2が供給されると、ガスG1が電離され、ウェハW上でプラズマが発生する。この時、図2(b)に示すように、バイアス制御電源22から基台2に第1周波数電圧V1をパルス状に印加することで、チャンバ1内で発生したイオンをウェハWに引き込むことができる。ここで、タイミング制御部24は、第1周波数電圧V1のオン/オフのタイミングを制御することで、第1周波数電圧V1のパルス形状PS1を制御することができる。この時、基台電源23から基台2に基台電圧V4が印加される。そして、ウェハW上で発生したイオンがウェハWを攻撃したり、ウェハW上で反応することで、エッチング処理が行われる。

【0017】

ここで、電位測定部25において、ウェハWが基台2上に置かれている状態で基台2に第1周波数電圧V1が印加されている時にウェハWの電位V3が測定される。ここで、第1周波数電圧V1が基台2にパルス状に印加されると、図2(c)に示すように、ウェハWの電位V3もパルス状になり、パルス波形PS1と同様のパルス波形PS3を持つ。このため、ウェハWの電位V3は高電位VHと低電位VLとを交互に繰り返す。この時、電位測定部25は、ウェハWの電位V3として、ウェハWのDC電圧VAを測定するようにしてもよい。この時、パルス波形PS1のデューティに基づいてウェハWのDC電圧VAを補正するようにしてもよい。そして、電圧制御部26において、図2(d)に示すように、第1周波数電圧V1のパルス波形PS1のタイミングに同期させつつ、ウェハWの電位V3に基づいて基台電圧V4の振幅VBが制御される。この時、基台電圧V4は、パルス波形PS1と同様のパルス波形PS4を持つことができる。また、電圧制御部26は、基台2とウェハWとの電位差V5が0に近づくように基台電圧V4の振幅VBを制御することができる。

【0018】

これにより、第1周波数電圧V1が基台2にパルス状に印加され、ウェハWの電位V3が高電位VHと低電位VLとを交互に繰り返す場合においても、基台2とウェハWとの間に高電圧がかかるのを防止することができる。このため、貫通孔10、11上のウェハW裏面から放電が発生するのを防止することができる。

なお、電圧制御部26は、基台2とウェハWとの電位差V5が0に一致するように基台電圧V4の振幅VBを制御する必要は必ずしもなく、貫通孔10、11上のウェハW裏面から放電が発生しない範囲内に基台2とウェハWとの電位差V5が収まるように、基台電圧V4の振幅VBを制御するようにしてもよい。

【0019】

なお、実施形態では、半導体製造装置として容量結合型プラズマエッチング装置を例にとったが、誘導結合型プラズマエッチング装置であってもよいし、マイクロ波ECR(Electron Cyclotron Resonance)プラズマエッチング装置であってもよい。

【0020】

(第2実施形態)

図3は、第2実施形態に係る半導体製造装置の基台電圧の制御方法を示すフローチャートである。

図3において、基台2上にウェハWが搬送されると、バイアス制御電源22は、パルス状のバイアス電圧(第1周波数電圧V1)を基台2に印加するとともに、基台電源23は、パルス状の基台電圧V4を基台2に印加する(S1)。

【0021】

次に、電位測定部25は、ウェハWの電位V3を測定する(S2)。そして、ウェハWの電位V3が所定範囲内かどうかを判断する(S3)。ウェハWの電位V3が所定範囲内でない場合、電圧制御部26は基台電圧V4の振幅VBを調整する(S4)。ウェハWの電位V3が所定範囲内の場合、電圧制御部26は基台電圧V4の振幅VBの調整をスキップする。この所定範囲は、例えば、貫通孔10、11上のウェハW裏面から放電が発生しない範囲内に設定することができる。貫通孔10、11上のウェハW裏面から放電が発生

10

20

30

40

50

しない範囲にマージンを見込んでよい。

【 0 0 2 2 】

次に、エッチング処理が終了したかどうかを判断する (S 5)。エッチング処理が終了していない場合、 S 2 に戻り、エッチング処理が終了するまで、 S 2 ~ S 5 の処理を繰り返す。

これにより、エッチング処理の途中でウェハ W の電位 V 3 が変化した場合においても、ウェハ W の電位 V 3 の変化に基台電圧 V 4 の振幅 V B を追従させることができ、貫通孔 1 0、1 1 上のウェハ W 裏面から放電が発生するのを防止することができる。

【 0 0 2 3 】

(第 3 実施形態)

図 4 は、第 3 実施形態に係る半導体製造装置の基台電圧の制御方法を示すフローチャートである。

図 4 において、基台 2 上にウェハ W が搬送されると、バイアス制御電源 2 2 は、バイアス電圧 (第 1 周波数電圧 V 1) を連続的に基台 2 に印加する (S 1 1)。

【 0 0 2 4 】

次に、電位測定部 2 5 は、ウェハ W の電位 V 3 を測定する (S 1 2)。ここで、バイアス電圧を連続的に基台 2 に印加することで、図 2 (c) のウェハ W の電位 V 3 の測定値を DC 電圧 V A と等しくすることができる。次に、電圧制御部 2 6 は、ウェハ W の電位 V 3 に基づいて基台電圧 V 4 の振幅 V B を設定する (S 1 3)。

【 0 0 2 5 】

次に、バイアス制御電源 2 2 は、パルス状のバイアス電圧 (第 1 周波数電圧 V 1) を基台 2 に印加するとともに、基台電源 2 3 は、パルス状の基台電圧 V 4 を基台 2 に印加する (S 1 4)。

【 0 0 2 6 】

次に、エッチング処理が終了したかどうかを判断する (S 1 5)。エッチング処理が終了していない場合、 S 1 4 に戻り、エッチング処理が終了するまで、 S 1 4 ~ S 1 5 の処理を繰り返す。

ここで、バイアス電圧を連続的に基台 2 に印加しながら、ウェハ W の電位 V 3 を測定することにより、ウェハ W の電位 V 3 の測定値を DC 電圧 V A と等しくすることができる。このため、パルス状のバイアス電圧を基台 2 に印加しながら、ウェハ W の電位 V 3 を測定する方法に比べて、ウェハ W の電位 V 3 の測定精度を向上させることができる。

【 0 0 2 7 】

(第 4 実施形態)

図 5 (a) ~ 図 5 (c) および図 6 (a) ~ 図 6 (c) は、第 4 実施形態に係る半導体装置の製造方法を示す断面図、図 6 (d) は、図 6 (c) の E 1 部分を拡大して示す断面図である。

図 5 (a) において、ウェハ W にはベース層 3 1 が形成されている。なお、ベース層 3 1 は、ウェハ W 自体であってもよいし、絶縁層であってもよいし、半導体層であってもよい。ベース層 3 1 には、集積回路や配線などが形成されていてもよい。

ベース層 3 1 上には、積層体 S K が形成されている。積層体 S K は、互いに材料の異なる絶縁層 3 2、3 3 が C V D などの方法にて交互に積層されている。例えば、絶縁層 3 2 はシリコン酸化膜、絶縁層 3 3 はシリコン窒化膜を用いることができる。絶縁層 3 2、3 3 の膜厚は、例えば、数十 nm に設定することができる。絶縁層 3 2、3 3 の層数は、例えば、数十 ~ 数百程度に設定することができる。

【 0 0 2 8 】

そして、図 5 (b) に示すように、フォトリソグラフィ技術およびドライエッチング技術を用いることにより、積層体 S K にメモリホール 3 4 を形成する。メモリホール 3 4 の径は、例えば、数十 nm に設定することができる。このメモリホール 3 4 の形成には、図 1 のエッチング装置を用いることができる。ここで、図 1 のエッチング装置を用いることにより、メモリホール 3 4 のアスペクト比の増大に対応しつつ、メモリホール 3 4 の寸法

10

20

30

40

50

精度および面内均一性を向上させることができる。

【0029】

次に、図5(c)に示すように、CVDなどの方法にてメモリホール34内に柱状体35を埋め込む。柱状体35には、データを記憶するメモリ膜をメモリホール34の内周に沿って設けることができる。

【0030】

次に、図6(a)に示すように、フォトリソグラフィ技術およびドライエッチング技術を用いることにより、積層体SKにスリット36を形成する。このスリット36の形成には、図1のエッチング装置を用いることができる。ここで、図1のエッチング装置を用いることにより、スリット36のアスペクト比の増大に対応しつつ、スリット36の寸法精度および面内均一性を向上させることができる。

10

次に、図6(b)に示すように、ウェットエッチングなどの方法にて絶縁層33を選択的にエッチングすることにより、絶縁層32間に空隙37を形成する。

次に、図6(c)に示すように、CVDなどの方法にて空隙37に導電膜38を埋め込む。導電膜38の材料は、例えば、タングステンまたは多結晶シリコンを用いることができる。最上層および最下層の導電膜38は、NANDフラッシュメモリにおけるセレクトゲート線として用いることができる。中間層の導電膜38は、NANDフラッシュメモリにおけるワード線として用いることができる。

【0031】

ここで、図6(d)に示すように、柱状体35の中心には柱状半導体41が形成されている。メモリホール34の内面と柱状半導体41の間にはトンネル絶縁膜42が形成され、メモリホール34の内面とトンネル絶縁膜42の間にはチャージトラップ層43が形成され、メモリホール34の内面とチャージトラップ層43の間にはブロック絶縁膜44が形成されている。チャージトラップ層43は、データを記憶するメモリ膜として用いることができる。柱状半導体41は、例えば、Siなどの半導体を用いることができる。トンネル絶縁膜42およびブロック絶縁膜44は、例えば、シリコン酸化膜を用いることができる。チャージトラップ層43は、例えば、シリコン窒化膜またはONO膜(シリコン酸化膜/シリコン窒化膜/シリコン酸化膜の3層構造)を用いることができる。図6(d)の構成は、NANDフラッシュメモリにおけるメモリセルとして用いることができる。

20

30

【0032】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

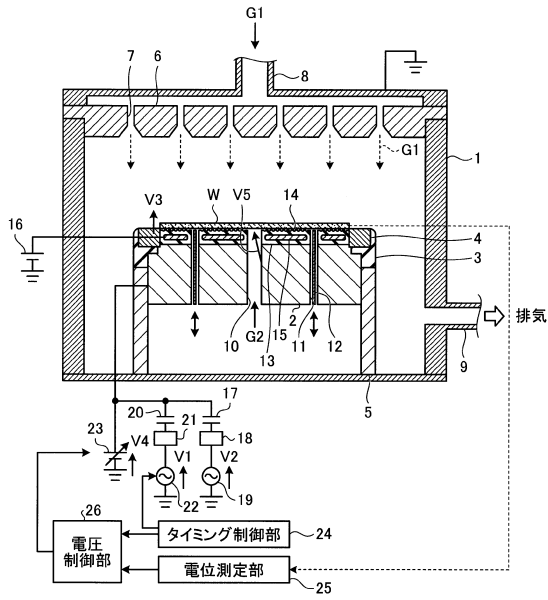
【符号の説明】

【0033】

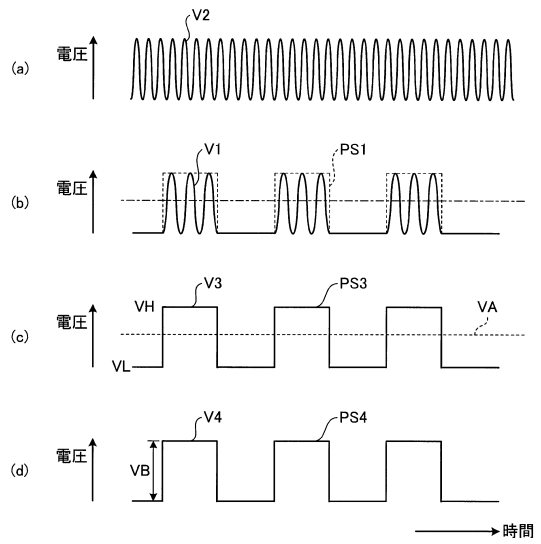
1 チャンバ、2 基台、19 ソース電源、22 バイアス制御電源、23 基台電源、24 タイミング制御部、25 電位測定部、26 電圧制御部

40

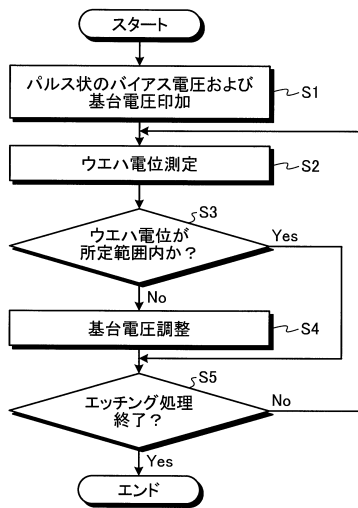
【図1】



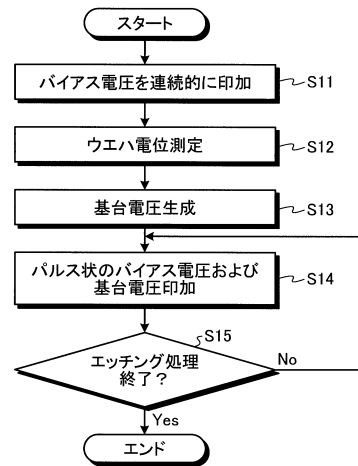
【図2】



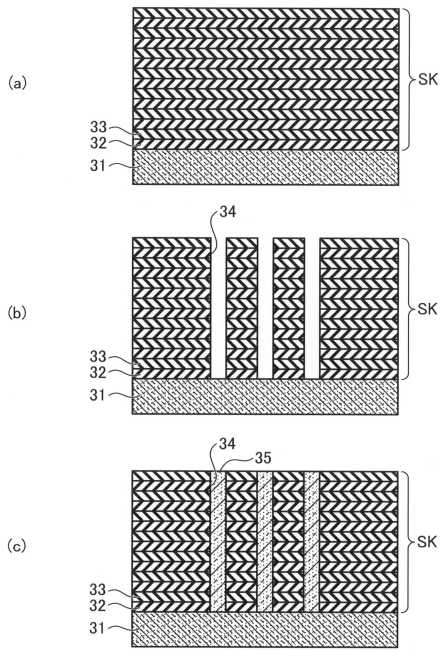
【図3】



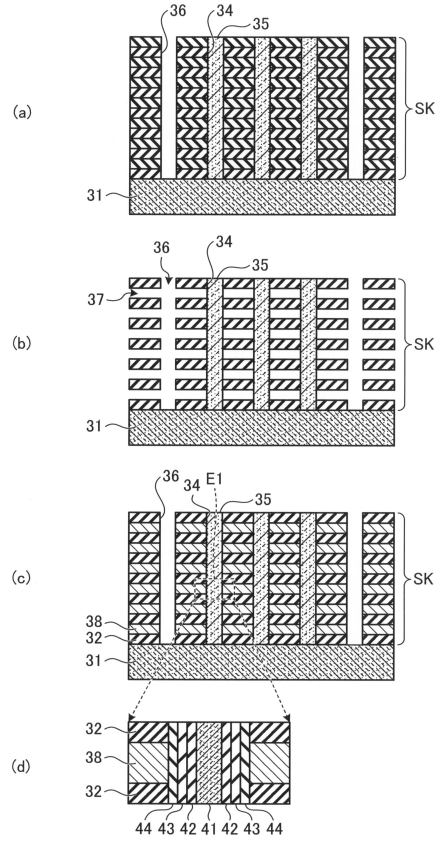
【図4】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/792 (2006.01)

(56)参考文献 特開2014-186994(JP,A)
国際公開第2013/118660(WO,A1)
特表2010-504614(JP,A)
特開2012-151187(JP,A)
特開2016-152252(JP,A)
国際公開第03/009363(WO,A1)
特開2015-046564(JP,A)
特表2014-500608(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/302、21/3065、21/336、21/461、
21/8229、21/8239-21/8247、
27/10-27/11597、27/28、
29/788-29/792、51/05、
H 0 1 J 37/30-37/36、
H 0 5 H 1/00-1/54