



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년03월09일
(11) 등록번호 10-0946815
(24) 등록일자 2010년03월03일

(51) Int. Cl.
H03F 3/45 (2006.01) *H03F 1/26* (2006.01)
(21) 출원번호 10-2007-7002139
(22) 출원일자 2005년07월13일
심사청구일자 2007년08월08일
(85) 번역문제출일자 2007년01월26일
(65) 공개번호 10-2007-0038126
(43) 공개일자 2007년04월09일
(86) 국제출원번호 PCT/US2005/024800
(87) 국제공개번호 WO 2006/019785
국제공개일자 2006년02월23일
(30) 우선권주장
10/899,497 2004년07월26일 미국(US)
(56) 선행기술조사문헌
KR1019990007460 A*
US6049252 A
US6888406 A
US6621343 B2
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
텍사스 인스트루먼트 인코퍼레이티드
미국 75251 텍사스주 달라스 메일 스테이션 3999
처칠 웨이 7839
(72) 발명자
코엔, 마이론, 제이.
미국 85750 아리조나주 특슨 노스 보니타 리지 애
비뉴 4949
넵카타라만, 하리쉬
미국 85641 아리조나주 바일 사우스 스위트 리지
드라이브 448
(74) 대리인
장수길, 주성민

전체 청구항 수 : 총 12 항

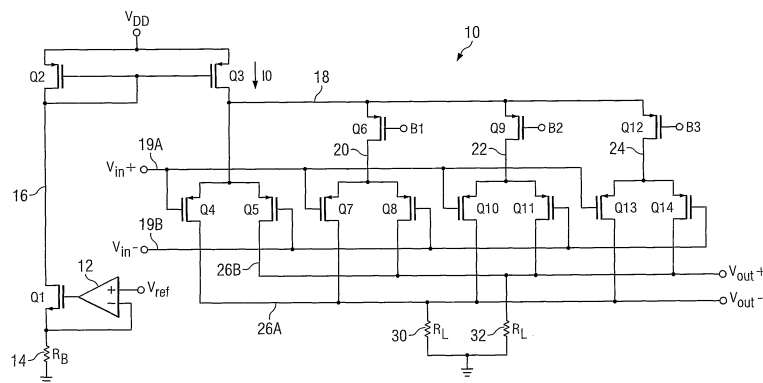
심사관 : 정병홍

(54) 프로그램 가능한 저잡음 증폭기 및 방법

(57) 요약

프로그램 가능한 이득의 저잡음 증폭기는 제1 기준 전압(VDD)에 결합되어 있는 소스 및 꼬리 전류 도체(18)에 결합되어 있는 드레인을 가진 꼬리 전류 트랜지스터(Q3)를 포함한다. 차동 입력 실시에는 차동 결합되어 있는 입력 트랜지스터들의 복수의 쌍들(Q4, Q5; Q7, Q8; Q10, Q11; Q13, Q14)을 가진다. 각 쌍은 제1 입력 도체(19A)에 결합되어 있는 게이트 및 제1 출력 도체(26A)에 결합되어 있는 드레인을 가진 제1 입력 트랜지스터(Q4, Q7, Q10, Q13)를 포함한다. 또한, 각 쌍은 제2 입력 도체(19B)에 결합되어 있는 게이트, 제1 트랜지스터의 소스에 결합되어 있는 소스, 및 제2 출력 트랜지스터(26B)에 결합되어 있는 드레인을 가진 제2 입력 트랜지스터(Q5, Q8, Q11, Q14)도 포함한다. 쌍들 중 일부 또는 쌍들 모두의 제1 및 제2 입력 트랜지스터들의 소스들은 스위칭 트랜지스터들(Q6, Q9, Q12)의 게이트들에 인가되는 제어 신호들(B1, B2, B3)에 의해 꼬리 전류 도체(18)에 선택적으로 결합된다.

대표도 - 도2



특허청구의 범위

청구항 1

프로그램 가능한 이득의 저잡음 증폭기로서,

- (a) 제1 기준 전압에 결합되어 있는 소스 및 드레인을 가진 꼬리 전류 트랜지스터(tail current transistor);
- (b) 공통 입력에 결합되어 있는 게이트, 공통 출력에 결합되어 있는 드레인, 및 상기 꼬리 전류 트랜지스터의 상기 드레인에 결합되어 있는 소스를 각각 가진 복수의 입력 트랜지스터;
- (c) 복수의 이득 선택 신호에 응답하여, 상기 꼬리 전류 트랜지스터의 상기 드레인으로부터 상기 입력 트랜지스터들 중 적어도 일부의 상기 소스들로의 전류 흐름을 각각 인에이블 또는 디스에이블하는 복수의 스위치 트랜지스터; 및
- (d) 상기 출력과 제2 기준 전압 사이에 결합되어 있는 부하 저항기

를 포함하며,

상기 각각의 입력 트랜지스터들의 채널-길이-대-채널-폭 비들은 점진적으로 증가하는 프로그램 가능한 이득의 저잡음 증폭기.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 꼬리 전류 트랜지스터에 전류 미러 관계로 결합되어 있는 전류 미러 트랜지스터를 포함하는 바이어스 전류 제어 회로;

상기 전류 미러 트랜지스터의 전류 경로에 결합되어 있는 제어 트랜지스터;

제3 기준 전압에 결합되어 있는 제1 입력, 상기 제어 트랜지스터의 소스에 결합되어 있는 제2 입력, 및 상기 제어 트랜지스터의 게이트에 결합되어 있는 출력을 가진 연산 증폭기; 및

상기 연산 증폭기의 상기 제2 입력과 상기 제2 기준 전압 사이에서 상기 제어 트랜지스터의 상기 전류 경로에 결합되어 있는 제어 저항기를 더 포함하는 프로그램 가능한 이득의 저잡음 증폭기.

청구항 4

제3항에 있어서,

상기 제어 저항기는 상기 부하 저항기와 동일한 저항 재료로 구성되고 상기 부하 저항기와 동일한 가공 프로세스로 형성되는 프로그램 가능한 이득의 저잡음 증폭기.

청구항 5

제1항에 있어서,

이득 선택 입력에 응답하여, 상기 복수의 스위치 트랜지스터의 상기 게이트들에 대한 이득 선택 신호들을 각각 발생시키도록 동작하는 스위치 선택 회로를 더 포함하는 프로그램 가능한 이득의 저잡음 증폭기.

청구항 6

제1항, 제3항, 제4항 또는 제5항 중 어느 한 항에 있어서,

상기 복수의 입력 트랜지스터는, 제1 공통 입력에 결합되어 있는 게이트 및 제1 공통 출력에 결합되어 있는 드레인을 각각 가진 복수의 제1 입력 트랜지스터를 포함하고,

상기 부하 저항기는 상기 제1 공통 출력과 상기 제2 기준 전압 사이에 결합되어 있는 제1 부하 저항기이며,

상기 프로그램 가능한 이득의 저잡음 증폭기는,

제2 공통 입력에 결합되어 있는 게이트, 제2 공통 출력에 결합되어 있는 드레인, 및 상기 꼬리 전류 저항기의 상기 드레인에 결합되어 있는 소스를 각각 가진 복수의 제2 입력 트랜지스터로서, 상기 복수의 제1 및 제2 입력 트랜지스터들의 각각의 입력 트랜지스터들은, 차동 결합되어 있는 입력 트랜지스터들의 복수의 쌍들을 형성하도록, 그들의 소스들이 공통적으로 접속되어 있는, 복수의 제2 입력 트랜지스터; 및

상기 제2 공통 출력과 상기 제2 기준 전압 사이에 결합되어 있는 제2 부하 저항기를 더 포함하고,

상기 복수의 스위치 트랜지스터는, 상기 복수의 이득 선택 신호에 응답하여, 상기 꼬리 전류 트랜지스터의 상기 드레인으로부터 상기 쌍들 중 적어도 일부의 상기 제1 및 제2 입력 트랜지스터의 상기 소스들로의 전류 흐름을 각각 인에이블 또는 디스에이블하는 프로그램 가능한 이득의 저잡음 증폭기.

청구항 7

프로그램 가능한 이득의 저잡음 증폭기로서,

(a) 제1 기준 전압에 결합되어 있는 소스 및 꼬리 전류 컨덕터에 결합되어 있는 드레인을 가진 꼬리 전류 트랜지스터(tail current transistor);

(b) 차동 결합되어 있는 트랜지스터들의 복수의 쌍들 - 각각의 쌍은 제1 입력 컨덕터에 결합되어 있는 게이트 및 제1 출력 컨덕터에 결합되어 있는 드레인을 가지는 제1 트랜지스터와, 제2 입력 컨덕터에 결합되어 있는 게이트와 상기 제1 트랜지스터의 소스에 결합되어 있는 소스와 제2 출력 컨덕터에 결합되어 있는 드레인을 가지는 제2 트랜지스터를 포함하며, 각 쌍의 상기 제1 및 제2 트랜지스터들의 소스들은 상기 꼬리 전류 컨덕터에 결합되어 있음 -;

(c) 복수의 이득 선택 신호에 응답하여, 상기 쌍들의 적어도 일부의 제1 및 제2 트랜지스터들의 소스들을 상기 꼬리 전류 컨덕터에 각각 결합하는 복수의 스위치 트랜지스터 및;

(d) 상기 제1 출력 컨덕터와 제2 기준 전압 사이에서 결합되어 있는 제1 부하 저항기와, 제2 출력 컨덕터와 상기 제2 기준 전압 사이에서 결합되어 있는 제2 부하 저항기;

를 포함하며,

각 쌍의 제1 트랜지스터의 채널-길이-대-채널-폭 비는 해당 쌍의 제2 트랜지스터의 채널-길이-대-채널-폭 비와 동일하며, 각종 쌍들의 상기 제1 및 제2 트랜지스터들의 상기 채널-길이-대-채널-폭 비들은 점진적으로 증가하는, 프로그램 가능한 이득의 저잡음 증폭기.

청구항 8

제6항에 있어서,

상기 스위치 트랜지스터들은 상기 쌍들 중 제1 쌍을 제외한 모든 쌍들의 상기 제1 및 제2 입력 트랜지스터들의 상기 소스들을 상기 꼬리 전류 트랜지스터의 상기 드레인에 각각 결합하고, 상기 쌍들 중 상기 제1 쌍의 상기 제1 및 제2 입력 트랜지스터들의 상기 소스들은, 중간 스위치 트랜지스터 없이, 상기 꼬리 전류 트랜지스터의 상기 드레인에 결합되는 프로그램 가능한 이득의 저잡음 증폭기.

청구항 9

제1항, 제3항, 제4항 및 제5항 중 어느 한 항에 있어서,

상기 입력 트랜지스터들은 P-채널 트랜지스터들인 프로그램 가능한 이득의 저잡음 증폭기.

청구항 10

제1항, 제3항, 제4항 및 제5항 중 어느 한 항에 있어서,

상기 스위치 트랜지스터들은 P-채널 트랜지스터들인 프로그램 가능한 이득의 저잡음 증폭기.

청구항 11

제1항, 제3항, 제4항 및 제5항 중 어느 한 항에 있어서,

상기 꼬리 전류 트랜지스터는 상기 제1 기준 전압에 결합되어 있는 소스를 가진 P-채널 전류 미러 제어 트랜지스터의 게이트 및 드레인에 결합되어 있는 게이트를 가진 P-채널 트랜지스터인 프로그램 가능한 이득의 저잡음 증폭기.

청구항 12

프로그램가능한 이득의 저잡음 증폭기로서,

(a) 제1 기준 전압에 결합되어 있는 소스 및 꼬리 전류 컨덕터에 결합되어 있는 드레인을 가진 꼬리 전류 트랜지스터(tail current transistor);

(b) 차동 결합되어 있는 트랜지스터들의 복수의 쌍들 - 각각의 쌍은 제1 입력 컨덕터에 결합되어 있는 게이트 및 제1 출력 컨덕터에 결합되어 있는 드레인을 가지는 제1 트랜지스터와, 제2 입력 컨덕터에 결합되어 있는 게이트와 상기 제1 트랜지스터의 소스에 결합되어 있는 소스와 제2 출력 컨덕터에 결합되어 있는 드레인을 가지는 제2 트랜지스터를 포함하며, 각 쌍의 상기 제1 및 제2 트랜지스터들의 소스들은 상기 꼬리 전류 컨덕터에 결합되어 있음 -;

(c) 복수의 이득 선택 신호에 응답하여, 상기 쌍들의 적어도 일부의 제1 및 제2 트랜지스터들의 소스들을 상기 꼬리 전류 컨덕터에 각각 결합하는 복수의 스위치 트랜지스터 및;

(d) 상기 제1 출력 컨덕터와 제2 기준 전압 사이에서 결합되어 있는 제1 부하 저항기와, 제2 출력 컨덕터와 상기 제2 기준 전압 사이에서 결합되어 있는 제2 부하 저항기;

를 포함하며,

제3 기준 전압에 결합되어 있는 제1 입력과, 제어 트랜지스터의 게이트에 결합되어 있는 출력을 가지는 연산 증폭기를 포함하는 바이어스 전류 제어 회로 - 상기 제어 트랜지스터는 전류 미러 제어 트랜지스터의 게이트 및 드레인에 결합되어 있는 드레인과, 상기 연산 증폭기의 제2 입력 및 제2 제어 전압에 결합되어 있는 제2 단자를 가지는 제어 저항기의 제1 단자에 결합되어 있는 소스를 가짐 -;

를 포함하는 프로그램가능한 이득의 저잡음 증폭기.

청구항 13

저잡음 증폭기에서 프로그램 가능한 이득을 제공하는 방법으로서는,

(a) 제1 기준 전압에 결합되어 있는 소스 및 꼬리 전류 컨덕터에 결합되어 있는 드레인을 가진 꼬리 전류 트랜지스터에서 꼬리 전류를 발생시키는 단계;

(b) 복수의 입력 트랜지스터 쌍 - 상기 입력 트랜지스터 쌍 각각은 입력 컨덕터에 결합되어 있는 게이트 및 제1 출력 컨덕터에 결합되어 있는 드레인을 갖는 제1 트랜지스터와 제2 트랜지스터를 포함함- 을 제공하는 단계; 및

(c) 복수의 이득 선택 신호에 응답하여, 상기 입력 트랜지스터들 중 적어도 일부의 상기 소스들을 상기 꼬리 전류 컨덕터에 각각 결합하는 단계

를 포함하며,

상기 단계 (b)는 각 쌍의 상기 제1 트랜지스터의 채널-길이-대-채널-폭 비를 해당 쌍의 상기 제2 트랜지스터의 채널-길이-대-채널-폭 비와 동일하도록 제공하는 단계, 및 각종 쌍들의 상기 제1 및 제2 입력 트랜지스터들의 점진적으로 증가하는 채널-길이-대-채널-폭 비들을 제공하는 단계를 포함하는, 저잡음 증폭기에서 프로그램 가능한 이득을 제공하는 방법.

청구항 14

삭제

청구항 15

삭제

명세서

기술 분야

[0001] 본 발명은 일반적으로 저잡음 증폭기들에 관한 것으로서, 보다 구체적으로는, 프로그램 가능한 이득을 가진 저잡음 증폭기들에 관한 것이다.

배경 기술

[0002] 배경으로써, 한쌍의 차동 결합되어 있는 MOSFET들(metal-oxide semiconductor field effect transistors)의 소스 전극들 사이의 직렬 저항이 차동 증폭기에서의 잡음의 주된 원인이다. 도 1에 도시되어 있는 종래 기술 회로는, 드레인이, 노드 2에서, 한 쌍의 P-채널 입력 트랜지스터들(Q2, Q3)의 소스들에 직접적으로 접속되어 있는 P-채널 전류 소스 트랜지스터(Q1)를 포함하는 초저잡음(very low noise) 차동 증폭기(1)를 예시한다. 입력 트랜지스터들(Q2, Q3)의 드레인들은, 출력 노드들(3, 4)에서, 저항(RL)을 가진 부하 저항기들(5, 6)에 접속되어 있다. 입력 전압들(Vin+, Vin-)이, 각각, 입력 트랜지스터들(Q2, Q3)의 게이트들에 인가되고, 출력 전압들(Vout-, Vout+)이, 각각, 출력 도체들(3, 4)의 드레인들에서의 노드들(3, 4)에서 발생된다. 증폭기(1)의 잡음이 초저잡음인 이유는, 트랜지스터들(Q2, Q3)의 공통적으로 결합되어 있는 소스 전극들 사이에 저항기가 접속되어 있지 않기 때문이다.

[0003] 증폭기(1)의 이득은 다음의 수학적 식 1로써 주어지는데,

수학적 식 1

$$Gain = Gm \times RL$$

[0004]

[0005] 여기에서, Gm은, 다음의 수학적 식 2로써 주어지는, 차동 접속되어 있는 한 쌍의 입력 트랜지스터들(Q2, Q3)의 상호 컨덕턴스(transconductance)인데,

수학적 식 2

$$Gm = SQR\{\mu \cdot Cox \cdot (W/L) \cdot I\}$$

[0006]

[0007] 여기에서, SQR은 괄호로 묶인 표현의 제곱근을 의미하고, μ 는 입력 트랜지스터들(Q2, Q3)의 채널 영역들에서의 다수 캐리어들의 이동도이고, Cox는 입력 트랜지스터들(Q2, Q3) 각각의 게이트 및 채널 영역에 의해 형성되는 용량이며, W/L은 입력 트랜지스터들(Q2, Q3) 각각의 채널-폭-대-채널-길이 비이고, I는 입력 트랜지스터들(Q2, Q3) 각각을 통해 흐르는 전류이다.

[0008] 종래 기술의 저잡음 증폭기(1)는 다소 비선형적이어서 왜곡(distortion)을 도입하지만, 일부 애플리케이션들에서는 이것이 허용 가능하다. 왜곡이 허용 불가능하다면, 그것은, 예를 들어, "Low Noise Differential Input, Differential Output Amplifier And Method"라는 명칭의, Koen의 미국특허 제 6,118,340호에서 설명된 바와 같이, 다양한 방법들로 감소될 수 있다.

[0009] 일반적으로, 증폭기(1)가 특정한 출력 전압 스윙을 실현할 수 있도록 하기 위해, 전류 소스 트랜지스터(Q1)의 꼬리 전류(I0; tail current)는 일정하다. 따라서, 종래 기술 저잡음 증폭기(1)의 이득은, 비(W/L)가 고정되어 있기 때문에, 비가가변이거나 프로그램 가능하지 않다. 그러나, 증폭기의 프로그램 가능한 이득이 극히 바람직스러운 다수 애플리케이션들이 존재한다.

[0010] 초음파와 같은, 극히 광범위한 동적 범위를 가진 신호들을 낮은 왜곡으로써 처리해야 하는 시스템들의 경우, 대개는 저잡음 증폭기로의 입력에 대한 이득을 낮추어야 한다. 이득을 조정하는데 사용될 수도 있는 전극들이 반도체 패키지의 예지 밖으로 끌어내어질 때, 흔히 기생 임피던스들이 발생되므로, 증폭기 이득을 전자적 수단(electronic means)에 의해 낮출 수 있다는 것 또한 아주 바람직스럽다. 이러한 기생 임피던스들로 인해 대체로 이득이 부정확해지고, 회로 발전이 초래될 수 있다. 증폭기 이득을 낮출 수 있다는 것에 의해, 증폭기가 높은 이득만을 갖도록 구성되는 경우에 비해, 더 큰 진폭 입력 신호가 처리될 수 있다. 높은 이득 설정이 최저 잡음을 실현하기에는 바람직하지만, 강한 입력 신호들로부터 "과부하"를 초래할 것이다. 이득이 감소될 수 있게 하는 것에 의해 더 높은 잡음이 초래되지만, 증폭기는 더 큰 진폭 입력 신호를 처리할 수 있다.

[0011] 프로그램 가능한 이득 증폭기들을 제공하기 위한 다양한 공지 기술들이 존재하는데, 그들 중 일부는 Q2, Q3와

같은 입력 트랜지스터들의 소스들 사이를 접속하도록 그리고/또는 접속 차단하도록 다양한 값들의 이득 저항기들을 전환하는 단계를 수반한다. 다른 종래의 프로그램 가능한 이득 증폭기들은 다양한 기술들을 이용해 Q2, Q3와 같은 입력 트랜지스터들의 소스들 사이에 결합되어 있는 이득 저항기들의 저항을 제어 가능하게 조정 또는 변경한다. 불행히도, 입력 트랜지스터들(Q2, Q3)의 소스들 사이에 접속되어 있는 어떤 저항도 잡음을 도입하고, 그에 따라, 이런 종류의 프로그램 가능한 기존의 이득 증폭기들은 본질적으로, 도 1의 기본적인 종래 기술 저잡음 증폭기(1)에 비해, 비교적 높은 잡음을 가진다. (Q2, Q3와 같은 차동 결합되어 있는 입력 트랜지스터들의 소스들 사이에 결합되어 있는 저항(R)에 의해 도입되는 잡음은 대략적으로 $4 \cdot k \cdot T \cdot B \cdot R$ 의 제곱근과 동일한다, 여기에서, k는 볼츠만 상수이고, T는 K도(degrees Kelvin)의 절대 온도이며, B는 대역폭이다.)

- [0012] 외부 스위치들을 사용해 외부 저항기들을 선택적으로 전환함으로써 증폭기의 이득을 제어하는 종래 기술들은 고 비용이고, 물리적 사이즈로 인해 불편하며, 외부 저항기 및 스위치와 연관된 기생 용량들로 인해 회로 성능도 감소된다.
- [0013] 이와 같이, 저잡음이며 프로그램 가능한 이득의 MOS 증폭기에 대한 충족되지 않은 수요가 존재한다.
- [0014] 낮은 왜곡으로써 증폭될 수 있는 신호들의 동적 범위를 연장할 수 있는, 저잡음이며 프로그램 가능한 이득의 MOS 또는 CMOS 증폭기에 대한 충족되지 않은 수요도 존재한다.
- [0015] 낮은 왜곡으로써 증폭될 수 있는 입력 신호들의 동적 범위를 연장할 수 있는, 저잡음이며 프로그램 가능한 이득의 MOS 또는 CMOS 증폭기에 대한 충족되지 않은 수요도 존재한다.
- [0016] 외부 이득 제어 저항기들을 사용해야 하는 필요성 또는 그들의 사용과 연관된 비용들 및 PCB(printed circuit board)상의 외부 이득 제어 저항기들을 위해 요구되는 큰 면적량을 피하는, 저잡음이며 프로그램 가능한 이득의 CMOS 또는 MOS 증폭기에 대한 충족되지 않은 수요도 존재한다.
- [0017] 프로그램 가능한 이득 증폭기의 이득을 최소 갯수의 이득 제어 신호 도체들에 의해 제어하는 방법에 대한 충족되지 않은 수요도 존재한다.

발명의 상세한 설명

- [0018] 본 발명의 목적은, MOS 또는 CMOS 반도체 가공 프로세스들을 사용하는 가공에 적합한 저잡음의 프로그램 가능한 이득 증폭기를 제공하는 것이다.
- [0019] 본 발명의 다른 목적은, 낮은 왜곡으로써 증폭될 수 있는 입력 신호들의 동적 범위를 연장할 수 있는, 저잡음이며 프로그램 가능한 이득의 MOS 또는 CMOS 증폭기를 제공하는 것이다.
- [0020] 본 발명의 또 다른 목적은, 단일 제어 신호에 의해 전기적으로 프로그램 가능하고, 그에 의해, 증폭기 이득에 영향을 미치는 기생 임피던스들을 제거하는, 저잡음이며 프로그램 가능한 이득의 MOS 또는 CMOS 증폭기를 제공하는 것이다.
- [0021] 본 발명의 또 다른 목적은, 외부 이득 제어 저항기를 사용해야 하는 필요성 또는 그것의 사용과 연관된 비용들 및 PCB상의 요구되는 연관 면적량을 피하는, 저잡음이며 프로그램 가능한 이득의 MOS 또는 CMOS 증폭기를 제공하는 것이다.
- [0022] 본 발명의 또 다른 목적은, 저전류 잡음과 저전압 잡음 모두를 실현하는, 저잡음, 저비용의 프로그램 가능한 이득 증폭기를 제공하는 것이다.
- [0023] 프로그램 가능한 이득 증폭기의 이득을 최소 갯수의 이득 제어 신호 도체들을 사용해 제어하는 방법에 대한 충족되지 않은 수요도 존재한다.
- [0024] 간략하게 설명하자면, 그리고 일 실시예에 따르면, 본 발명은 제1 기준 전압에 결합되어 있는 소스 및 드레인을 가진 꼬리 전류 트랜지스터 및, 각각이 공통 입력(common input)에 결합되어 있는 게이트 및 공통 출력에 결합되어 있는 드레인을 가진, 복수의 입력 트랜지스터들을 포함하는 프로그램 가능한 이득의 저잡음 증폭기를 제공한다. 복수개의 스위치 트랜지스터들이, 각각, 복수의 이득 선택 신호들에 응답하여, 입력 트랜지스터들 중 적어도 일부의 소스들을 선택적으로 결합하여 꼬리 전류 트랜지스터의 드레인으로부터의 꼬리 전류 흐름을 인에이블 또는 디스에이블한다. 부하 저항기가 공통 출력과 제2 기준 전압 사이에 결합되어 있다.
- [0025] 다른 실시예에서, 본 발명은 제1 기준 전압에 결합되어 있는 소스 및 드레인을 가진 꼬리 전류 트랜지스터와 차동 결합된 입력 트랜지스터들의 복수의 쌍을 포함하고, 각 쌍은 제1 공통 입력에 결합되어 있는 게이트 및 제1

공통 출력에 결합되어 있는 드레인을 가진 제1 입력 트랜지스터 및 제2 공통 입력에 결합되어 있는 게이트, 제1 입력 트랜지스터의 소스와 공통 접속되어 있는 소스, 및 제2 공통 출력에 결합되어 있는 드레인을 가진 제2 입력 트랜지스터를 포함하는, 프로그램 가능한 이득의 저잡음 증폭기를 제공한다. 쌍들 중 일부 또는 쌍들 모두의 제1 및 제2 입력 트랜지스터들의 공통 접속되어 있는 소스들은 꼬리 전류 트랜지스터의 드레인에 결합되어 있다. 설명된 일 실시예에서는, 복수의 선택 신호들에 응답하여, 각각, 쌍들 중 하나를 제외한 모두의 제1 및 제2 입력 트랜지스터들의 소스들을 결합하여 꼬리 전류 트랜지스터의 드레인으로부터의 꼬리 전류 흐름을 인에이블 또는 디스에이블하기 위한 복수의 스위치 트랜지스터들이 제공된다. 제1 부하 저항기가 제1 공통 출력과 제2 기준 전압 사이에 결합되어 있고, 제2 부하 저항기가 제2 공통 출력과 제2 기준 전압 사이에 결합되어 있다.

[0026] 상술된 상기 실시예에서, 각 쌍의 제1 입력 트랜지스터에 대한 채널-길이-대-채널-폭 비는 그 쌍의 제2 입력 트랜지스터에 대한 채널-길이-대-채널-폭 비와 동일한데, 이 경우, 제1 및 제2 입력 트랜지스터들의 채널-길이-대-채널-폭 비들은, 각각, 쌍에서 쌍으로 점차 증가한다. 다양한 스위치 트랜지스터들이, 각각, 쌍들 중 제1 쌍을 제외한 모든 쌍들의 제1 및 제2 입력 트랜지스터들의 소스들을 꼬리 전류 트랜지스터의 드레인에 결합하고, 제1 쌍의 제1 및 제2 입력 트랜지스터들의 소스들은, 중간 스위치 트랜지스터 없이, 꼬리 전류 트랜지스터의 드레인에 결합된다.

[0027] 일 실시예에서는, 다양한 스위치 트랜지스터들이, 각각, 쌍들 모두의 제1 및 제2 입력 트랜지스터들의 소스들을 꼬리 전류 트랜지스터의 드레인에 결합한다.

[0028] 설명된 일부 실시예들에서, 제1 및 제2 입력 트랜지스터들은 P-채널 트랜지스터들이고, 스위치 트랜지스터들 또한 P-채널 트랜지스터들이다. 꼬리 전류 트랜지스터는 제1 기준 전압에 결합되어 있는 소스를 가진 전류 미러 제어 트랜지스터(current mirror control transistor)의 게이트 및 드레인에 결합되어 있는 게이트를 가진 P-채널 트랜지스터이다. 바이어스 제어 회로는 전류 미러 관계로 꼬리 전류 트랜지스터의 게이트에 결합되어 있는 게이트 및 드레인을 가진 전류 미러 트랜지스터; 전류 미러 트랜지스터의 전류 경로에 결합되어 있는 제어 트랜지스터; 제3 기준 전압에 결합되어 있는 제1 입력, 제어 트랜지스터의 소스에 결합되어 있는 제2 입력, 및 제어 트랜지스터의 게이트에 결합되어 있는 출력을 가진 연산 증폭기(operational amplifier); 및 연산 증폭기의 제2 입력과 제2 제어 전압 사이에서 제어 트랜지스터의 전류 경로에 결합되어 있는 제어 저항기를 포함한다. 제어 저항기는, 온도 및 프로세스 변경들에 대한 꼬리 전류의 정확한 추적이 실현될 수 있도록 하기 위해, 제1 및 제2 부하 저항기들과 동일한 저항 재료로 구성되고 동일한 가공 프로세스로 형성되는 것이 바람직스럽다. 이득 선택 회로는 이득 선택 신호에 응답하여 동작함으로써, 각각, 복수의 스위치 트랜지스터들의 게이트들에 대한 소정의 이득 선택 신호들을 발생시킨다.

실시예

[0033] 도 2를 참조하면, 저잡음의 프로그램 가능한 차동 증폭기(10)는, 그것의 "+" 입력은 기준 전압(Vref)에 결합되어 있고, 그것의 출력은 N-채널 제어 트랜지스터(Q1)의 게이트에 접속되어 있으며, 그것의 "-" 입력은 트랜지스터(Q1)의 소스에 접속되어 있는 연산 증폭기(12)를 가진 바이어스 회로를 포함한다. 저항(RB)을 가진 저항기(14)가 접지와 트랜지스터(Q1)의 소스 사이에 접속되어 있다. 트랜지스터(Q1)의 드레인은 P-채널 전류 미러 트랜지스터(Q2)의 드레인에 그리고 트랜지스터(Q2) 및, 여기에서 꼬리 전류 트랜지스터(Q3)라고 하는, P-채널 전류 미러 출력 트랜지스터(Q3)의 게이트들에 접속되어 있다. 꼬리 전류(IO)는, 상술된 바이어스 회로 및 트랜지스터(Q2)의 동작시에, 꼬리 전류 트랜지스터(Q3)를 통해 흘러, 후술되는, 제어 저항기(14) 및 부하 저항기들(30, 32)과 연관된 온도 및 프로세싱 파라미터들에 대한 꼬리 전류(IO)의 추적을 실현한다. 트랜지스터들(Q2, Q3)의 소스들은 제1 기준 전압(VDD)에 접속되어 있다. 트랜지스터(Q3)의 드레인은 (노드 또는 도체(18)에서) P-채널 입력 트랜지스터들(Q4, Q5)의 소스들 및 스위치 트랜지스터들(Q6, Q9, Q12)의 소스들에 접속되어 있다.

[0034] 트랜지스터들(Q4, Q5)은 입력 트랜지스터들의 "차동 결합되어 있는 쌍"을 구성한다. 입력 트랜지스터(Q4)의 게이트는 입력 전압(Vin+)을 수신하도록 입력(19A)에 접속되어 있고, 입력 트랜지스터(Q5)의 게이트는 입력 전압(Vin-)을 수신하도록 입력(19B)에 접속되어 있다. 입력 트랜지스터(Q4)의 드레인은 출력 전압(Vout-)을 발생시키도록 출력(26A)에 접속되어 있고, 입력 트랜지스터(Q5)의 드레인은 출력 신호(Vout+)를 발생시키도록 출력(26B)에 접속되어 있다. (여기에서 사용되는 "차동 결합되어 있는 트랜지스터들"이라는 용어는, 도 1 및 도 2의 입력 트랜지스터들을 위해 도시된 바와 같이, 소스들이 공통 접속되어 있거나 결합되어 있고 그들의 게이트들 사이에 인가되는 차동 신호에 응답하는 한 쌍의 트랜지스터들을 포함하는 것이다. 그러나, "차동 결합되어 있는 트랜지스터들"이라는 용어는 그들의 게이트들이 함께 접속되어 있고 그들의 소스들 사이에 인가되는 차동

신호에 응답하는 한 쌍의 트랜지스터들도 포함하는 것이다.)

[0035] 스위치 트랜지스터들(Q6, Q9, Q12)은, 게이트들이, 각각, 이득 선택 신호들(B1, B2, B3)에 접속되어 있는 스위치 트랜지스터들로서 기능한다. 스위치 트랜지스터(Q6)의 드레인, 20에서, 드레인들이 출력들(26A 및 26B)에 각각 접속되어 있는 차동 접속되어 있는 한 쌍의 입력 트랜지스터들(Q7, Q8)의 소스들에 접속되어 있다. 입력 트랜지스터들(Q7, Q8)의 게이트들은, 각각, Vin+, Vin-에 접속되어 있다. 마찬가지로, 스위치 트랜지스터(Q9)의 드레인, 22에서, 드레인들이 출력들(26A, 26B)에 각각 접속되어 있는, 차동 접속되어 있는 한 쌍의 입력 트랜지스터들(Q10, Q11)의 소스들에 접속되어 있다. 입력 트랜지스터들(Q10, Q11)의 게이트들은, 각각, Vin+, Vin-에 접속되어 있다. 마찬가지로, 스위치 트랜지스터(Q12)의 드레인, 24에서, 드레인들이 출력들(26A, 26B)에 각각 접속되어 있는, 차동 접속되어 있는, 한 쌍의 입력 트랜지스터들(Q13, Q14)의 소스들에 접속되어 있다. 입력 트랜지스터들(Q13, Q14)의 게이트들은, 각각, Vin+, Vin-에 접속되어 있다.

[0036] 차동 입력 트랜지스터 쌍들(Q4/Q5, Q7/Q8, Q10/Q11, Q13/Q14)의 입력 트랜지스터들에 대한 W/L 비들(채널-폭-대-채널-길이 비들)은 그 순서로 점진적으로 증가한다. 예를 들어, 차동 입력 트랜지스터 쌍들(Q4/Q5, Q7/Q8, Q10/Q11, Q13/Q14)의 입력 트랜지스터들에 대한 W/L 비들의 예시적인 값들은 차동 입력 트랜지스터 쌍들(Q4/Q5, Q7/Q8, Q10/Q11, Q13/Q14)의 트랜지스터들에 대해, 각각, 180/.5, 800/.5, 4200/.5 및 16,000/.5일 수 있다. (상기 비들에서 지시되는 W 및 L 값들은 마이크로이다.) 스위치 트랜지스터들(Q6, Q9, Q12) 모두가 오프일 때, 전류 소스 트랜지스터(Q3)로부터의 꼬리 전류(I0) 모두는 입력 트랜지스터들(Q4, Q5)의 소스들 쪽으로 흐른다. 프로그램 가능한 저잡음 증폭기의 결과적인 이득은 수학식 1 및 수학식 2로부터 정확하게 판정될 수 있다.

[0037] 그 다음, 스위치 트랜지스터(Q6)가 턴온되면, 대부분의 꼬리 전류(I0)는 스위치 트랜지스터(Q6)를 통해 트랜지스터들(Q7, Q8)의 소스들 쪽으로 흐르는데, 그들의 입력 저항들이 입력 트랜지스터들(Q4, Q5)의 소스 저항들보다 훨씬 낮기 때문이다. 그 다음, 스위치 트랜지스터(Q6)가 턴오프되고 스위치 트랜지스터(Q9)가 턴온되면, 훨씬 더 많은 꼬리 전류(I0)가 스위치 트랜지스터(Q9) 및 입력 트랜지스터들(Q10, Q11)을 통해 흐른다. 이번에도, 이것은 그들의 소스 저항들이 입력 트랜지스터들(Q4, Q5)의 소스 저항들보다 훨씬 낮기 때문이다. 마지막으로, 스위치 트랜지스터(Q9)가 턴오프되고 스위치 트랜지스터(Q12)가 턴온되면, 훨씬 더 많은 꼬리 전류(I0)가 스위치 트랜지스터(Q12) 및 입력 트랜지스터들(Q13, Q14)을 통해 흐르고, 이번에도, 그들의 저항들이 입력 트랜지스터들(Q4, Q5)의 저항들보다 훨씬 낮기 때문이다.

[0038] 차동 입력 트랜지스터들(Q7/Q8, Q10/Q11 및 Q13/Q14) 모두의 W/L 비들 모두가 사실상 입력 트랜지스터들(Q4/Q5)의 W/L 비들보다 크다면, 스위치 트랜지스터들(Q6, Q9, Q12) 모두가 턴오프된 다음 스위치 트랜지스터들(Q6, Q9, Q12) 각각이 한번에 하나씩 턴온됨으로써, 프로그램 가능한 저잡음 증폭기(10)에 대한 이득의 4개 값들이 상기 수학식 1 및 수학식 2에 의해 상당히 정확하게 판정된다. W/L의 앞서 언급된 예시적 값들의 경우, 특정한 집적 회로 제조 프로세스를 위해 수학식 1 및 수학식 2에 의해 판정되는 값들은 다음의 표 1과 같다.

표 1

[0039]

W/L	이득(dB)
180/.5	6
800/.5	14
4200/.5	20
16,000/.5	23

[0040] 도 1에는 입력 트랜지스터들의 4개의 상이한 차동 쌍들이 도시되어 있지만, 입력 트랜지스터들의 적당한 임의 갯수의 차동 쌍들이 제공될 수 있고, 차동 쌍들의 수는 주로, 증폭기 대역폭을 낮추는 경향이 있는 부하 효과들 (loading effects)에 의해서만 제한된다. ("부하 효과들"이라는 용어는, 입력 트랜지스터들의 더 많은 차동 쌍들이 병렬로 접속됨에 따라, 더 많은 기생 용량이 출력들(26A 및 26B)의 도체들 상에 누적될 것이고, 그것이 증폭기 대역폭을 감소시킨다는 것을 의미한다.)

[0041] 출력 도체(26A)는 저항(RL)을 가진 부하 저항기(30)의 제1 단자에 접속되어 있고, 출력 도체(26B)는 이 또한 저항(RL)을 가진 다른 부하 저항기(32)의 제1 단자에 접속되어 있다. 부하 저항기들(30 및 32)의 제2 단자들은 접지에 접속되어 있다. 상술된 바이어스 회로의 제어 저항기(14)는, 바이어스 회로에 의해 꼬리 전류(I0)가 부하 저항기들(30 및 32)에서의 임의의 온도 변화들을 적절하게 추적하고 저항기 재료와 연관된 프로세스 파라미터들 또한 추적할 수 있도록, 부하 저항기들(30 및 32)과 동일한 재료로 구성되는 것이 바람직스럽다.

[0042] 동작시에, 트랜지스터들(Q6, Q9, Q12)은 꼬리 전류 트랜지스터(Q3)의 드레인을 차동 입력 트랜지스터 쌍들(Q7/Q8, Q10/Q11, Q13/Q14) 중 선택된 하나에 선택적으로 접속시키는 스위치들로서 동작된다. 예를 들어, 이득 선택 신호(B1)가 접지에 있을 경우, 이득 선택 신호들(B2 및 B3)은 VDD에 접속되고, 스위치 트랜지스터(Q6)만이 턴온된다.

[0043] 많은 CMOS 제조 프로세스들의 경우, 이용 가능한 저항기 재료들은, 보통의 제조 프로세스 변경들 및 회로 동작 온도 변경들에 대해 적당히 정확한 정도의 저항기 값들만을 발생시킨다는 것을 알 수 있어야 한다. 연산 증폭기(12), 트랜지스터(Q1) 및 저항기(14)를 포함하는 바이어스 회로가, 언급된 온도 변경들을 감소시키는데, 그 이유는, 연산 증폭기(12)는 부하 저항기들(30, 32)과 동일한 재료로 이루어지고 동일한 가공 프로세스로 형성된 저항기(14)에 걸쳐 기준 전압(Vref)을 인가하도록 동작하기 때문이다. 결과적인 전류가 제어 트랜지스터(Q1) 및 전류 미러 제어 트랜지스터(Q2)를 통해 흐르고, 전류 미러 출력 트랜지스터(Q3)가 부하 저항기들(30 및 32)의 온도 및 시트 저항을 가깝게 추적하는 꼬리 전류(IO) 값을 발생하도록 하기 위해 미러링된다(그리고, 원한다면, 크기도 조정된다).

[0044] 전류(I)가 독립적으로 설정된다면, Gain은 단지 수학식 2를 수학식 1에 대입하여 다음의 수학식 3을 획득하는 것에 의해 획득된다.

수학식 3

$$Gain = \text{SQR}\{\mu \cdot Cox \cdot (W/L) \cdot I\} \cdot RL$$

[0045]

[0046] 이것은, Gain이 부하 저항들(RL)의 값에 직접적으로 비례한다는 것을 의미한다. 부하 저항(RL)이 변하면, Gain의 값은 동일한 비율로 변할 것이다.

[0047] 그러나, 꼬리 전류(IO) 및 그에 따른 I가 도 2에 도시되어 있는 바이어스 회로에 의해 판정된다면, 예를 들어, 다음의 수학식 4라면,

수학식 4

$$I = Vref/RB$$

[0048]

[0049] gm은 단지 수학식 4를 수학식 2에 대입하여 다음의 수학식 5를 획득하는 것에 의해 획득된다.

수학식 5

$$gm = \text{SQR}\{\mu \cdot Cox \cdot (W/L) \cdot (Vref/RB)\}$$

[0050]

[0051] 수학식 5를 수학식 1에 대입하는 것에 의해 다음의 수학식 6을 얻는다.

수학식 6

$$Gain = \text{SQR}\{\mu \cdot Cox \cdot (W/L) \cdot (Vref/RB)\} \cdot RL$$

[0052]

[0053] (저항 RB의) 제어 저항기(14) 및 (저항 RL의) 부하 저항기들(30, 32)이 동일한 재료로 구성된다고 가정하면, 수학식 6의 RB는 K*RL로 교체될 수 있는데, 여기에서, K는 RB 2 RL의 상수비이고, 그 결과 수학식 7이 된다.

수학식 7

$$Gain = \text{SQR}\{\mu \cdot Cox \cdot (W/L) \cdot (Vref/K \cdot RL)\} \cdot RL$$

[0054]

[0055] 수학식 7은 다음의 수학식 8로 간략화될 수 있다.

수학식 8

$$\text{Gain} = \text{SQR}\{\mu \cdot \text{Cox} \cdot (W/L) \cdot (V_{\text{ref}}/K)\} \cdot \text{SQR}\{RL\}$$

- [0056]
- [0057] 이것은, RL에 대한 Gain의 의존도가 감소되었다는 것을 의미한다. Gain이 RL의 값에 직접적으로 의존하는 대신, Gain은, 의존도의 레벨이 좀더 낮은, 부하 저항(RL)의 제곱근에 의존한다. 따라서, 예를 들어, RL이 10% 만큼 변하면, Gain은 4.88%만큼 변할 것이다.
- [0058] 도 3은, 트랜지스터 쌍(Q4/Q5)을 포함하는, 차동 입력 트랜지스터 쌍들 모두가 스위치 트랜지스터들의 꼬리 전류 도체(18) 수단에 결합되어 있는 본 발명의 다른 실시예를 도시한다. 도 3의 회로는, 추가적인 스위치 트랜지스터(Q15)가, 꼬리 전류 도체(18)에 접속되어 있는 소스, 이득 선택 신호(B0)를 수신하도록 결합되어 있는 게이트, 및 21에서 입력 트랜지스터들(Q4, Q5)의 소스들에 접속되어 있는 드레인을 갖는다는 것을 제외하면, 도 2의 회로와 유사하다. 스위치 선택 회로(35)는, 이득 제어 입력(36)에 인가되는 GAIN SELECT 신호에 응답하여, 각각, 스위치 트랜지스터들(Q15, Q6, Q9, Q12)의 게이트들에서 원하는 스위치 선택 신호들(B0, B1, B2, B3)을 발생시키도록 동작한다. GAIN SELECT 신호는, 스위치 선택 회로(35)에 의해 디코딩되어, 소정 이득을 실현하는데 필요한 스위치 트랜지스터(또는 스위치 트랜지스터들의 조합)를 턴온하는데 필요한 원하는 스위치 선택 신호(또는 스위치 선택 신호들의 조합)를 발생시키는 디지털 코드의 형태일 수 있다. 다른 방법으로, GAIN SELECT 신호는, 스위치 선택 회로(35)가 디지털 코드로 변환한 다음 디코딩하여 소정의 스위치 선택 신호 또는 신호들을 발생시키는 아날로그 전압 신호일 수도 있다. 어떤 경우이든, 원하는 증폭기 이득을 획득하기 위한 GAIN SELECT 이득 제어 신호에 응답하여 원하는 스위치 선택 신호들을 제공하기 위한 스위치 선택 회로(35)의 작동 가능한 구현은 당업자들에 의해 쉽게 제공될 수 있다. 일부 경우들에서, 이것은, 다수 도체들 상의 다수 디지털 제어 신호들 대신, 단일 도체상의 단일 아날로그 제어 신호만을 전송하는 것에 의해, 프로그램 가능한 이득 증폭기(10)의 제어를 허용하는 이점을 제공한다.
- [0059] 통상적으로, 스위치 선택 회로(35)는, 4개의 차동 입력 트랜지스터 쌍들 중 하나 및 그에 따른 프로그램 가능한 이득의 저잡음 증폭기(10A)에 대한 이득의 앞서 언급된 4개 값들(즉, 6, 14, 20, 23) 중 하나를 선택하기 위해, 한번에 스위치 트랜지스터들(Q15, Q6, Q9, Q12) 중 하나만을 턴온할 것이다. 그러나, 일부 경우들에서는, 스위치 트랜지스터들 중 하나 이상을 동시에 턴온하여 소정 이득을 실현하는 것이 바람직할 수도 있다.
- [0060] 도 4는, 단일-종단형(single-ended) 입력 신호(Vin)가 제공된다는 점을 제외하면, 도 2에 도시된 것과 유사한, 다른 저잡음의 프로그램 가능한 이득 증폭기(10B)를 도시한다. Vin이 입력 도체(19A)에 인가되고, 단일-종단형 출력 신호(Vout)만이 발생된다. Vout은 단일 부하 저항기(30)에 걸쳐 발생되고 출력 도체(26A)에서 발생된다. 도 2의 입력 트랜지스터들(Q5, Q8, Q11, Q14)이 도 4에서는 생략됨에 따라, 차동 입력 트랜지스터 쌍들이 제공되지 않는다. 도시된 바와 같이, 바이패스 커패시터들(C)이 접지와 입력 트랜지스터들 각각의 소스들 사이에 접속되어 있다. (바이패스 커패시터들은 트랜지스터들(Q1, Q7, Q10, Q13)의 소스들에 접지로의 낮은 임피던스 경로를 제공해야 한다. 이는, 이득을 실현하기 위해 다양한 트랜지스터들의 소스들이 AC 접지와 관련되어야 하기 때문에 필요하다.) 단일-종단형의 프로그램 가능한 이득의 저잡음 증폭기의 이러한 유형은 다양한 RF 애플리케이션들에서 유용할 수 있다.
- [0061] 상술된 발명은, 앞서 언급된 시장의 수요를 충족시킬 수 있는 실용적인 저비용, 저잡음의 프로그램 가능한 이득 전압 증폭기를 제공한다.
- [0062] 설명된 저잡음의 프로그램 가능한 이득 MOS(또는 CMOS) 증폭기는, 증폭기 이득을 용이하게 제어할 수 있는 것의 결과로서, 낮은 왜곡으로써 증폭될 수 있는 입력 신호들의 연장된 동적 범위를 가질 수 있다. ADC(analog-to-digital converter)에 인가되는 하나의 아날로그 제어 신호에 의해 전기적으로 프로그램 가능한, 설명된 저잡음의 프로그램 가능한 이득 MOS 또는 CMOS 증폭기의 디지털 출력들은 다양한 스위치 트랜지스터들을 선택한다. 외부 이득 저항기들 및 스위치 트랜지스터들을 사용해 이득을 제어하는 것이 방지되고, 종래 기술의 프로그램 가능한 이득 증폭기들의 외부 저항기 및 스위치들과 연관될 기생 용량들을 방지하는 것에 의해, 향상된 증폭기 성능이 실현된다. 설명된 저잡음의 프로그램 가능한 이득 증폭기의 이득은, 스위치 트랜지스터들의 게이트들에 인가되는 대응되는 디지털 제어 신호들을 발생시키는 ADC로 단지 하나의 아날로그 제어 신호를 전송하는 것에 의해 편리하게 제어될 수 있다.
- [0063] 본 발명의 몇가지 특정 실시예들을 참조하여 본 발명이 설명되었지만, 당업자들이라면, 본 발명의 범위를 벗어나지 않으면서, 본 발명의 설명된 실시예들을 다양하게 변경할 수 있을 것이다. 언급된 것들과 크게 다르지 않

으면서, 청구된 것과 동일한 결과를 실현하기 위해 사실상 동일한 방법으로 사실상 동일한 기능들을 수행하는 모든 요소들 또는 단계들은, 각각, 본 발명의 범위내에 해당된다. 예를 들어, 스위치 트랜지스터들 및 입력 트랜지스터들은 N-채널 트랜지스터들일 수 있다.

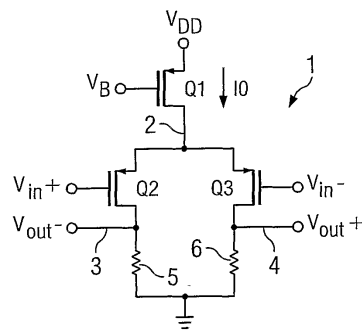
도면의 간단한 설명

- [0029] 도 1(종래 기술)은 기본적인 종래 기술 저잡음 MOS 증폭기의 개략도이다.
- [0030] 도 2는 본 발명의 프로그램 가능한 이득의 저잡음 증폭기에 대한 개략도이다.
- [0031] 도 3은 본 발명의 프로그램 가능한 이득의 저잡음 증폭기에 대한 다른 실시예의 개략도이다.
- [0032] 도 4는 본 발명의 다른 프로그램 가능한 이득의 저잡음 증폭기에 대한 개략도이다.

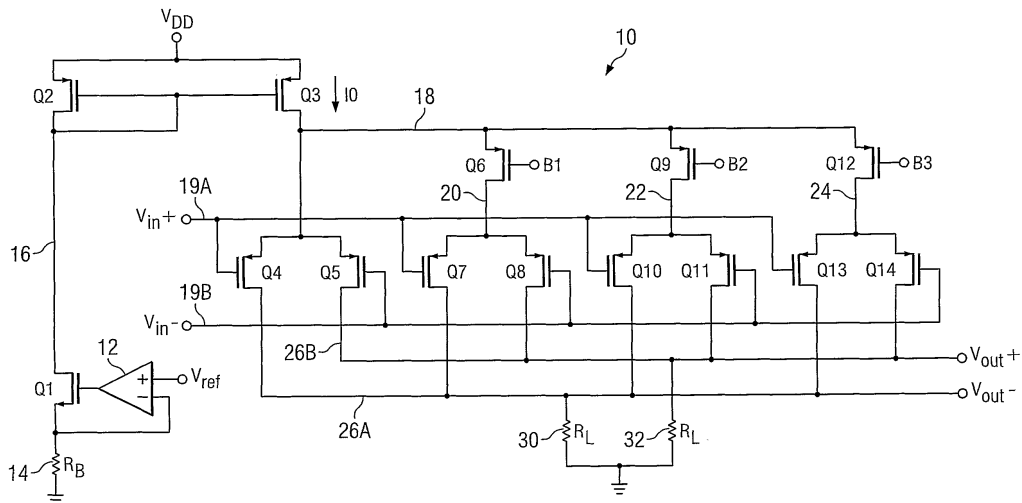
도면

도면1

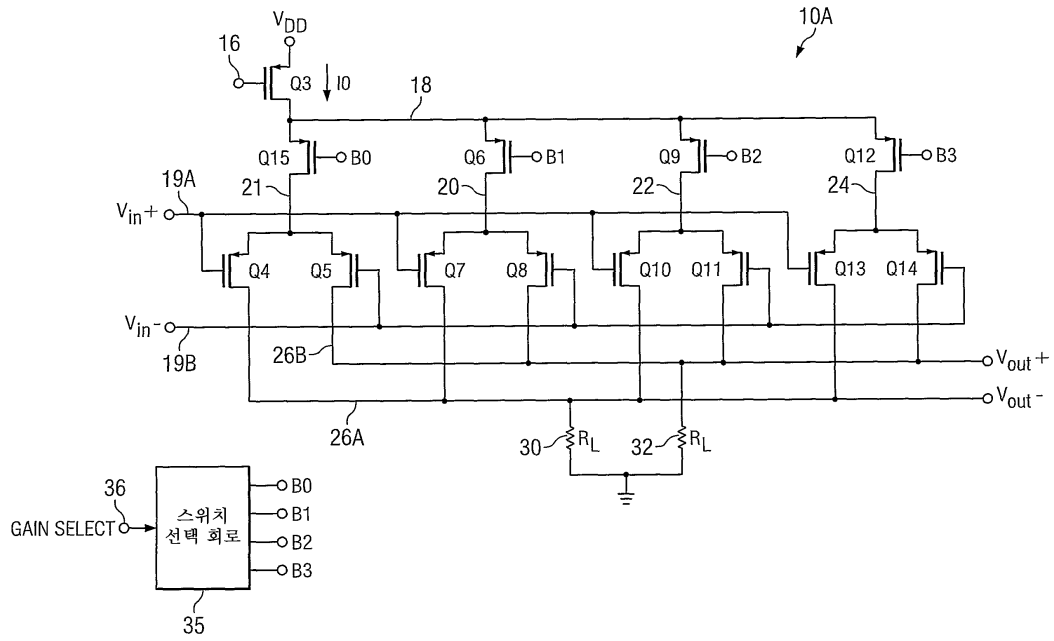
(종래 기술)



도면2



도면3



도면4

