

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6062340号
(P6062340)

(45) 発行日 平成29年1月18日(2017.1.18)

(24) 登録日 平成28年12月22日(2016.12.22)

(51) Int.Cl.	F I				
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 2 N		
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 5 2 C		
HO 1 L 29/06 (2006.01)	HO 1 L	29/78	6 5 2 H		
HO 1 L 21/329 (2006.01)	HO 1 L	29/78	6 5 2 Q		
HO 1 L 29/868 (2006.01)	HO 1 L	29/78	6 5 3 A		
請求項の数 14 (全 19 頁) 最終頁に続く					

(21) 出願番号	特願2013-214758 (P2013-214758)	(73) 特許権者	000004260 株式会社デンソー
(22) 出願日	平成25年10月15日(2013.10.15)		愛知県刈谷市昭和町1丁目1番地
(65) 公開番号	特開2014-132636 (P2014-132636A)	(74) 代理人	110001128 特許業務法人ゆうあい特許事務所
(43) 公開日	平成26年7月17日(2014.7.17)		
審査請求日	平成26年5月28日(2014.5.28)	(72) 発明者	利田 祐麻 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
審判番号	不服2015-9551 (P2015-9551/J1)		
審判請求日	平成27年5月22日(2015.5.22)	(72) 発明者	赤木 望 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(31) 優先権主張番号	特願2012-265310 (P2012-265310)		
(32) 優先日	平成24年12月4日(2012.12.4)	(72) 発明者	林 敬太 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(33) 優先権主張国	日本国(JP)		
最終頁に続く			

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

表面および裏面を有する第1導電型の半導体基板(3)と、
前記半導体基板の表面側に、不純物濃度が $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ に設定された第1導電型カラム(4b)および第2導電型カラム(4a)とが前記半導体基板の表面と平行に繰り返された繰り返し構造からなるスーパージャンクション構造(4)と、
前記半導体基板の外周側を外周領域(2)、該外周領域の内側を縦型半導体素子が形成されるセル領域(1)として、前記セル領域および前記外周領域において前記スーパージャンクション構造の上に形成された第2導電型の半導体層(5)と、
前記セル領域において前記スーパージャンクション構造の上の前記半導体層に形成され、前記半導体層よりも高不純物濃度とされた第2導電型の高不純物層(10)と、
前記セル領域から前記外周領域に入り込んで形成され、前記高不純物層に接して形成された表面電極(12)と、
前記半導体基板の裏面側に電氣的に接続された裏面電極(13)と、
空乏化しない $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $6 \times 10^{17} \text{ cm}^{-3}$ 以下のピーク不純物濃度で構成されるとともに、前記半導体層の表面から所定深さの位置から形成され、前記高不純物層と接すると共に前記スーパージャンクション構造と接し、基板法線方向から見て、前記表面電極における前記高不純物層と接している部分のうち最も外周側となる第1端部(P1)と前記高不純物層における外周側の端部との間とオーバーラップして形成された第2導電型のディープ層(18)と、を有していることを特徴とする半導体装置。

10

20

【請求項 2】

前記半導体層は、前記外周領域ではリソース層を構成している第 2 導電型層 (5) であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ディープ層は、前記表面電極の外縁部を 1 周囲んで形成されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記ディープ層は、前記高不純物層よりも低不純物濃度であることを特徴とする請求項 1 ないし 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記ディープ層における前記半導体層の表面からの中心深さが 2 μm 以上であることを特徴とする請求項 1 ないし 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】

前記縦型半導体素子は、前記表面電極をソース電極、前記裏面電極をドレイン電極とする MOSFET であり、

第 1 導電型カラムおよび第 2 導電型カラムとが前記半導体基板の表面と平行な一方向に繰り返された繰り返し構造からなるスーパージャンクション構造と、

前記セル領域には、前記半導体基板の表面と平行な一方向を長手方向として延設されたゲート電極 (9) が備えられていると共に、前記表面電極に接する第 1 導電型のソース領域 (6) が前記ゲート電極と同方向を長手方向として形成され、

前記外周領域には、前記第 1 端部よりも外周側において、前記高不純物層および前記スーパージャンクション構造の上に前記ゲート電極に接続されるゲート配線層 (15) が備えられていることを特徴とする請求項 1 ないし 5 のいずれか 1 つに記載の半導体装置。

【請求項 7】

前記ディープ層における外周側の端部は、前記表面電極のうち最も外周側の端部と前記ゲート配線層に接続されるゲートパッド (17) のうち最も外周側の端部とのうち、いずれか最も外周側に位置している方の端部よりも内側に配置されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】

前記表面電極と前記ゲートパッドとは所定間隔離間して配置されており、

前記ディープ層は、前記基板法線方向から見て、前記表面電極と前記ゲートパッドの境界に沿って形成されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記ディープ層は、前記基板法線方向から見て、前記ゲートパッドの外縁部も囲んで形成されていることを特徴とする請求項 7 または 8 に記載の半導体装置。

【請求項 10】

前記縦型半導体素子は、前記表面電極をアノード電極、前記裏面電極をカソード電極とするダイオードであり、

前記セル領域には、前記高不純物層がアノードコンタクトとして形成されていることを特徴とする請求項 1 ないし 5 のいずれか 1 つに記載の半導体装置。

【請求項 11】

前記ディープ層における内周側の端部は、前記第 1 端部より 4 μm ~ 13 μm 内周側であることを特徴とする請求項 1 ないし 10 のいずれか 1 つに記載の半導体装置。

【請求項 12】

前記高不純物層が前記半導体基板の平面方向において分断されており、この分断された箇所にも前記ディープ層が形成されていることを特徴とする請求項 1 ないし 11 のいずれか 1 つに記載の半導体装置。

【請求項 13】

請求項 1 ないし 11 のいずれか 1 つに記載の半導体装置の製造方法であって、

前記半導体基板を用意する工程と、

10

20

30

40

50

前記半導体基板の表面側に前記第1導電型カラムおよび前記第2導電型カラムとを有するスーパージャンクション構造を形成する工程と、

前記ディープ層の形成予定領域が開口するマスクを用いて第2導電型不純物をイオン注入することにより、前記スーパージャンクション構造の表層部に不純物注入層(23)を形成する工程と、

前記不純物注入層を形成した前記スーパージャンクション構造の表面に前記第2導電型層をエピタキシャル成長させると共に、熱処理により前記不純物注入層内の不純物を熱拡散させて前記ディープ層を形成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項14】

10

請求項1ないし11のいずれか1つに記載の半導体装置の製造方法であって、

前記半導体基板を用意する工程と、

前記半導体基板の表面側に前記第1導電型カラムおよび前記第2導電型カラムとを有するスーパージャンクション構造を形成する工程と、

前記スーパージャンクション構造の表面に前記第2導電型の半導体層を形成する工程と、

前記ディープ層の形成予定領域が開口するマスクを用いて前記第2導電型の半導体層の上から第2導電型不純物を高加速イオン注入することにより前記ディープ層を形成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、スーパージャンクション(以下、S Jという)構造を有する半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

従来より、縦型構造のDMOS(Double-Diffused MOSFET)がセル領域に形成された半導体装置では、セル領域の外周を囲む外周領域の耐圧層が低不純物濃度のn⁻型エピタキシャル層のみで形成されている。このため、DMOSのリカバリ動作時に、注入電荷(注入キャリア)は、n⁻型エピタキシャル層からp型ボディ層におけるソース電極とのコンタクト部に向かって直線的に排出される。

30

【0003】

一方、S J構造のMOSFETがセル領域に形成された半導体装置では、MOSFETが形成されたセル領域と同様、外周領域の耐圧層もp型カラムとn型カラムが交互に繰り返されたPNカラムで形成されている(例えば、特許文献1参照)。このため、S J構造のMOSFETのリカバリ動作時には、注入電荷は、PNカラムを通じてp型ボディ層におけるソース電極とのコンタクト部に向かって排出される。

【先行技術文献】

【特許文献】

【0004】

40

【特許文献1】特開2006-278826号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記したように、DMOSでは、リカバリ動作時に、注入電荷は、n⁻型エピタキシャル層からp型ボディ層におけるソース電極とのコンタクト部に向かって直線的に排出される。このため、注入電荷は比較的集中することなく排出されることになる。

【0006】

しかしながら、S J構造のMOSFETでは、リカバリ動作時に、注入電荷は、PNカラムを通じてp型ボディ層におけるソース電極とのコンタクト部に向かって排出されるこ

50

とになるが、p型半導体を好んでドリフトする。このため、図16の矢印で記載したように、n型カラムJ1を跨ぐことなくp型カラムJ2から基板表面側に注入電荷が抜け、外周領域のp型リサーフ層J3を介してp型ボディ層J4におけるソース電極J5とのコンタクト部から排出される。したがって、SJ構造のMOSFETは、DMOSよりも注入電荷が集中しやすく、p型ボディ層J4とソース電極J5との境界位置もしくはゲート配線J6の下方のゲート絶縁膜J7などが破壊されるという問題がある。特に、ソース電極J5のうちのp型ボディ層J4との接触部位における最も外周側の端部において発熱が大きくなり、破壊され易い。

【0007】

なお、ここではSJ構造のMOSFETを例に挙げて説明したが、縦型のSJ構造のダイオードについても同様の問題がある。

10

【0008】

本発明は上記点に鑑みて、注入電荷の集中を緩和して、素子の破壊を抑制することができるSJ構造の縦型半導体素子を有する半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため、請求項1に記載の発明では、半導体基板(3)の表面側に、不純物濃度が $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ に設定された第1導電型カラム(4b)および第2導電型カラム(4a)とが半導体基板の表面と平行に繰り返された繰り返し構造からなるSJ構造(4)を有する縦型半導体素子を備えた半導体装置において、空乏化しない $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $6 \times 10^{17} \text{ cm}^{-3}$ 以下のピーク不純物濃度で構成されるとともに、半導体層の表面から所定深さの位置から形成され、高不純物層と接すると共にSJ構造と接し、基板法線方向から見て、表面電極における高不純物層(10)と接している部分のうち最も外周側となる第1端部(P1)と高不純物層における外周側の端部との間とオーバーラップして形成された第2導電型のディープ層(18)を備えていることを特徴としている。

20

【0010】

このように、高不純物層およびSJ構造に接触し、基板法線方向から見て第1端部から高不純物層の端部の間とオーバーラップさせられ、かつ、第2導電型不純物濃度がSJ構造よりも高いディープ層を備えている。このようなディープ層を備えることにより、リカバリ動作時における注入電荷の集中を緩和して素子の破壊を抑制することが可能となる。

30

【0011】

請求項13に記載の発明では、半導体基板の表面側に第1導電型カラムおよび第2導電型カラムとを有するSJ構造を形成する工程と、ディープ層の形成予定領域が開口するマスクを用いて第2導電型不純物をイオン注入することにより、SJ構造の表層部に不純物注入層(23)を形成する工程と、不純物注入層を形成したSJ構造の表面に第2導電型層をエピタキシャル成長させると共に、熱処理により不純物注入層内の不純物を熱拡散させてディープ層を形成する工程と、を含んでいることを特徴としている。

【0012】

40

このように、SJ構造の表層部に不純物注入層を形成するようになれば、高加速イオン注入を行わなくても良いため、スループットを向上でき、製造工程の簡略化を図ることができる。

【0013】

請求項14に記載の発明では、半導体基板を用意する工程と、半導体基板の表面側に第1導電型カラムおよび第2導電型カラムとを有するSJ構造を形成する工程と、SJ構造の表面に第2導電型の半導体層を形成する工程と、ディープ層の形成予定領域が開口するマスクを用いて第2導電型の半導体層の上から第2導電型不純物を高加速イオン注入することによりディープ層を形成する工程と、を含んでいることを特徴としている。

【0014】

50

このように、第2導電型層の上から第2導電型不純物を高加速イオン注入することもできる。この場合、請求項14のようにイオン注入によって結晶欠陥が生じた表面にエピタキシャル成長することがないため、より結晶性の良い半導体素子を得ることができる。

【0015】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係の一例を示すものである。

【図面の簡単な説明】

【0016】

【図1】本発明の第1実施形態にかかるS J構造のM O S F E Tを備えた半導体装置の上面レイアウト図である。

10

【図2】図1に示す半導体装置のII - II'断面図である。

【図3】図1に示す半導体装置のIII - III'断面図である。

【図4】図1に示す半導体装置のIV - IV'断面図である。

【図5】p型ディープ層18の加速電圧、中心深さ、ドーズ量およびピーク濃度とリカバリ耐量との関係を示した図である。

【図6】図2に示す断面において端部P1からの突き出し長L1を示した図である。

【図7】突き出し長L1に対する端部P1での発熱温度をシミュレーションにより解析した結果を示すグラフである。

【図8】図2に示す断面において端部P1からのオーバーラップ長L2を示した図である。

20

【図9】オーバーラップ長L2に対するリカバリ耐量[A / μ s]を実験により調べた結果を示すグラフである。

【図10】第1実施形態にかかる半導体装置の製造工程を示した断面図である。

【図11】本発明の第2実施形態にかかる半導体装置の製造工程を示した断面図である。

【図12】本発明の第3実施形態にかかる半導体装置の上面レイアウト図である。

【図13】本発明の第4実施形態にかかるS J構造のダイオードを備えた半導体装置の断面図である。

【図14】本発明の第5実施形態にかかるS J構造のM O S F E Tを備えた半導体装置の上面レイアウト図である。

【図15】図14に示す半導体装置のXV - XV'断面図である。

30

【図16】リカバリ動作時に注入電荷が移動する様子を示した半導体装置の断面図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0018】

(第1実施形態)

本発明の第1実施形態にかかる半導体装置について、図1～図4を参照して説明する。図1～図4に示す半導体装置は、四角形状のセル領域1に縦型半導体素子としてS J構造の多数のM O S F E Tが形成されると共に、セル領域1を囲むように外周領域2が配置された構造とされている。

40

【0019】

図2～図4に示すように、半導体装置は、例えばシリコンからなるn⁺型基板3の表面にp型カラム4aおよびn型カラム4bを有するS J構造4を備え、S J構造4の上にM O S F E Tなどを構成する各部が形成されることで構成されている。p型カラム4aおよびn型カラム4bはn⁺型基板3の表面と平行な一方向に所定ピッチおよび所定幅で繰り返された繰り返し構造とされており、n⁺型基板3の表面全面、つまりセル領域1に加えて外周領域2にも形成されている。これらp型カラム4aおよびn型カラム4bについては、チャージバランスを考慮して不純物濃度や幅およびピッチを設定してあるが、同じ不

50

純物濃度とされる場合には同幅および等ピッチで形成される。これら p 型カラム 4 a および n 型カラム 4 b の不純物濃度は、例えば $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-3}$ に設定されている。

【 0 0 2 0 】

また、S J 構造 4 の上にエピタキシャル成長により形成された p 型層 5 が設けられている。この p 型層 5 は、セル領域 1 から外周領域 2 にわたって形成されており、外周領域 2 においてリサーフ層として機能する。例えば、p 型層 5 の不純物濃度は、 $1 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-3}$ に設定され、本実施形態では $3 \times 10^{15} \text{ cm}^{-3}$ に設定している。

【 0 0 2 1 】

セル領域 1 においては、S J 構造 4 を有する MOSFET の一例として、トレンチゲート型の MOSFET を形成している。このトレンチゲート型の MOSFET の各部分は次のように構成されている。すなわち、図 3 に示すように、セル領域 1 における p 型層 5 の表層部に、n⁺型ソース領域 6 が形成されている。この n⁺型ソース領域 6 は、基板表面と平行な一方向を長手方向として延設されている。また、n⁺型ソース領域 6 および後述する p 型高不純物層 10 を貫通して S J 構造 4 に達するように、n⁺型ソース領域 6 と同方向を長手方向とするトレンチ 7 が形成されている。このトレンチ 7 の内壁面には、酸化膜や ONO 膜などによってゲート絶縁膜 8 が形成されており、このゲート絶縁膜 8 の表面においてトレンチ 7 を埋め込むようにゲート電極 9 が形成されている。このような構造によってトレンチゲートが構成される。そして、ゲート電極 9 にゲート電圧が印加されたときには、p 型高不純物層 10 のうちトレンチゲートを構成するトレンチ 7 の側面に接する部分であって、n⁺型ソース領域 6 と n 型カラム 4 b との間に挟まれた部分にチャンネルを形成するようになっている。

【 0 0 2 2 】

図 1 に示すようにトレンチ 7 は一方向を長手方向として複数本が等ピッチで平行に並べられた構成とされている。そして、図 2 ~ 図 4 から分かるように、本実施形態では、トレンチ 7 を S J 構造 4 における p 型カラム 4 a および n 型カラム 4 b の長手方向と垂直に並べたレイアウトとしている。

【 0 0 2 3 】

また、セル領域 1 においては、p 型層 5 の表面から所定深さの位置まで、p 型層 5 に対して p 型不純物がイオン注入されることで、p 型層 5 が高濃度化とされた p 型高不純物層 10 が形成されている。p 型高不純物層 10 は、S J 構造 4 を構成する各カラムよりも高不純物濃度とされている。例えば、p 型高不純物層 10 の不純物濃度は、 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ に設定され、本実施形態では $4 \times 10^{17} \text{ cm}^{-3}$ に設定している。

【 0 0 2 4 】

p 型高不純物層 10 は、p 型ボディ層として機能すると共に MOSFET のチャンネルを形成する p 型チャンネル層としても機能している。p 型ボディ層と p 型チャンネル層とは同じイオン注入工程によって形成されていても良いが、別々のイオン注入工程によって形成されていても良い。つまり、閾値調整のために、p 型高不純物層 10 のうちチャンネルが形成される p 型チャンネル層となる部分を p 型ボディ層の部分と別のイオン注入工程で形成し、これら p 型チャンネル層と p 型ボディ層の p 型不純物濃度が異なる値とされていても良い。

【 0 0 2 5 】

この p 型高不純物層 10 は、各トレンチ 7 の間においてセル領域 1 から外周領域 2 に向けて設けられている。具体的には、p 型高不純物層 10 は、トレンチ 7 や n⁺型ソース領域 6 の長手方向と同方向を長手方向として延設されていると共に n⁺型ソース領域 6 に沿って形成され、外周領域 2 で終端させられている。そして、本実施形態では、トレンチ 7 および p 型高不純物層 10 については、長手方向の両先端位置が外周領域まで張り出すように形成し (図 2 参照)、n⁺型ソース領域 6 についてはセル領域 1 内でのみ形成されるようにしてある (図 3 および図 4 参照)。このため、セル領域 1 内でのみ MOSFET が構成されるようにしてある。

【 0 0 2 6 】

10

20

30

40

50

また、ゲート電極 9 上には、当該ゲート電極 9 を覆うと共に n⁺型ソース領域 6 および p 型高不純物層 10 の表面を露出させるコンタクトホールが設けられた層間絶縁膜 11 が形成されている。そして、ソース電極に相当する表面電極 12 がこの層間絶縁膜 11 を覆うと共に、層間絶縁膜 11 のコンタクトホールを介して n⁺型ソース領域 6 や p 型高不純物層 10 と接するように形成されている。表面電極 12 は、セル領域 1 から外周領域 2 に入り込むように形成されており、図 1 に示すように略四角形状でレイアウトされ、四角形の一辺において部分的に凹まされた形状とされている。この表面電極 12 の外縁部は、後述する保護膜 19 によって覆われているが、外縁部よりも内側の領域は保護膜 19 から露出させられており、その露出させられた領域が外部接続用のソースパッドとされる。

【0027】

さらに、n⁺型基板 3 の裏面側、つまり S J 構造 4 とは反対側の面には、ドレイン電極に相当する裏面電極 13 が形成されている。このような構造により、セル領域 1 における MOSFET が構成されている。このような構造の MOSFET は、ゲート電極 9 に対して所定の電圧を印加すると、トレンチ 7 の側面に位置する p 型層 5 にチャネルを形成し、ソース - ドレイン間に電流を流すという動作を行う。そして、p 型層 5 の下部を S J 構造 4 としているため、オン抵抗を低減しつつ、耐圧を得ることができる。

【0028】

一方、外周領域 2 では、外周領域 2 のうちのセル領域 1 側の位置において絶縁膜 14 を介してゲート配線層 15 が形成されており、このゲート配線層 15 がセル領域 1 に形成された各 MOSFET のゲート電極 9 と電氣的に接続されている。また、外周領域 2 における表面電極 12 よりも外周側において、p 型層 5 の上には LOCOS 酸化膜などで構成された絶縁膜 16 が形成されており、絶縁膜 14 およびゲート配線層 15 は、外周側では絶縁膜 16 の上まで延設されている。

【0029】

また、ゲート配線層 15 は層間絶縁膜 11 で覆われており、図 2 とは別断面において、層間絶縁膜 11 に形成されたコンタクトホールを介して層間絶縁膜 11 の上に形成されたゲートパッド 17 (図 1 参照) に接続されている。このゲートパッド 17 は、略四角形状で構成された表面電極 12 の部分的に凹まされた部分に配置され、表面電極 12 との間が所定距離離間するように配置されている。

【0030】

そして、ゲートパッド 17 の外縁部や層間絶縁膜 11 を覆うように保護膜 19 が形成されることで、半導体装置の表面保護が成されている。

【0031】

このような構造により、外周領域 2 の基本構造が構成されている。そして、本実施形態では、このような基本構造に加えて、さらに電荷集中を緩和するための p 型ディープ層 18 を備えている。p 型ディープ層 18 は、図 1 に示すように、半導体装置の上方 (基板法線方向) から見て、表面電極 12 の外縁部を 1 周囲むように形成されている。より詳しくは、図 2 に示すように、p 型ディープ層 18 は、p 型高不純物層 10 と S J 構造 4 との間において、これらに接するように形成されている。p 型ディープ層 18 のピーク濃度の深さが p 型高不純物層 10 のピーク濃度の深さよりも深いところが特徴である。また、p 型ディープ層 18 は、p 型高不純物層 10 とオーバーラップさせられている (図 2 参照)。

【0032】

p 型ディープ層 18 は、p 型不純物濃度が少なくとも p 型層 5 (より詳しくは、p 型層 5 のうちの外周領域 2 に位置するリサーフ層として機能する部分) よりも濃く設定されている。このため、p 型ディープ層 18 は、p 型層 5 よりも内部抵抗が小さくなり、MOSFET のリカバリ動作時に、外周領域 2 における p 型層 5 を通じて移動する注入電荷が p 型高不純物層 10 に移動して表面電極 12 に排出される際の通過経路となる。また、従来では p 型層 5 の表面側に集中していた電荷を p 型ディープ層 18 の深さ方向の広範囲において取り込めるため、p 型層 5 の表面側への電荷の集中を抑制できる。p 型ディープ層 18 が p 型高不純物層 10 を介さずに表面電極 12 に接続している場合や、p 型ディープ層

10

20

30

40

50

18が表面から形成された場合は電荷を分散する効果は低減する。またp型ディープ層18は空乏化しないことが望ましい。空乏化しないことにより、電荷を分散する効果が高まるだけでなく、ゲート絶縁膜8の電界が抑制される。したがって、p型層5の表面側、特に表面電極12におけるp型高不純物層10との接触部位のうちの最も外周側の端部P1において発熱を抑制でき、ゲート絶縁膜8や表面電極12とp型高不純物層10との境界位置などの破壊を抑制できる。

【0033】

また、p型ディープ層18は、p型不純物濃度が少なくともp型カラム4aおよびn型カラム4bで構成されるSJ構造4よりも高不純物濃度とされている。p型ディープ層18を低不純物濃度にする、p型ディープ層18の不純物濃度よりも注入電荷密度が上回るようになり、注入電荷を分散する効果が低減され、リカバリ耐量を低減させることになる。このため、p型ディープ層18のp型不純物濃度をSJ構造4よりも高不純物濃度

10

【0034】

さらに、p型ディープ層18を所定深さの位置から形成しているが、注入電荷を分散する効果は、p型ディープ層18の深さについても依存性を有している。すなわち、p型ディープ層18の深さが浅いと、注入電荷を深さ方向に分散する効果が低下し、リカバリ耐量を低下させる要因になる。このため、p型ディープ層18を所定深さ以上としている。

【0035】

具体的に、加速電圧[k e V]およびドーズ量[cm^{-2}]を変化させて、p型ディープ層18の中心深さおよびピーク濃度を調整してリカバリ耐量を調べたところ、図5に示す結果が得られた。

20

【0036】

この図に示すように、p型ディープ層18の不純物濃度および中心深さに依存してリカバリ耐量が増加している。p型ディープ層18がない場合には、 $30\text{ A}/\mu\text{s}$ であるのに比べて、p型ディープ層18を形成することで、少なくとも $200\text{ A}/\mu\text{s}$ までリカバリ耐量を増加させられている。そして、例えばリカバリ耐量 $300\text{ A}/\mu\text{s}$ 以上を定格とする場合、p型ディープ層18の不純物濃度を $1 \times 10^{17}\text{ cm}^{-3}$ 以上に設定すれば、定格となるリカバリ耐量以上の耐量を得ることが可能となる。さらに、p型ディープ層18の不純物濃度を $1 \times 10^{17}\text{ cm}^{-3}$ 以上に設定しつつ、中心深さを $2.0\text{ }\mu\text{m}$ 以上にすると $1000\text{ A}/\mu\text{s}$ 以上のリカバリ耐量を見込むことができた。

30

【0037】

したがって、本実施形態では、p型ディープ層18の不純物濃度を $1 \times 10^{17}\text{ cm}^{-3}$ 以上に設定しつつ、p型ディープ層18の中心深さを $2.0\text{ }\mu\text{m}$ 以上に設定し、 $1000\text{ A}/\mu\text{s}$ 以上のリカバリ耐量が得られるようにしている。

【0038】

また、p型ディープ層18は、p型不純物濃度がp型高不純物層10よりも薄く設定されていることが望ましい。このため、p型ディープ層18に取り込まれた電荷は、p型層5よりも低抵抗かつp型高不純物層10よりも高抵抗となるp型ディープ層18内を高速ではなく比較的緩やかに移動してp型高不純物層10に辿り着くようにできる。したがって、p型高不純物層10に高速で移動する場合と比較して、よりp型ディープ層18とp型高不純物層10との接続部位で電荷が集中することを緩和でき、当該部位での破壊を抑制できるようにしている。

40

【0039】

このように、p型ディープ層18を備えることにより、リカバリ動作時における注入電荷の集中を緩和して素子の破壊を抑制することが可能となる。この効果は、p型ディープ層18を、p型高不純物層10およびSJ構造4に接触させつつ半導体装置の上方から見てp型高不純物層10とオーバーラップさせ、p型不純物濃度がp型層5よりも高く、p型高不純物層10よりも低くすれば得られる。ただし、p型ディープ層18の内外周それぞれの端部の位置に応じて上記効果の高さが変わってくる。このため、後述する実験結果

50

に基づいてp型ディープ層18の内外周それぞれの端部の位置を設定するのが好ましい。

【0040】

まず、図6および図7を参照して、p型ディープ層18の外周側の端部の位置と発熱との関係について説明する。

【0041】

リカバリ動作時に最も発熱が生じると考えられる場所は、注入電荷が最も集中すると考えられる端部P1である。このため、図6に示すように、端部P1からp型ディープ層18の外周側の端部までの距離を突き出し長L1[μm]と定義し、p型ディープ層18のドーズ量(つまり不純物濃度)を変えて突き出し長L1と端部P1での発熱温度との関係をシミュレーションにて求めた。図7は、その結果を示したグラフである。この図に示すように、突き出し長L1に応じて端部P1での発熱温度が変化しており、突き出し長L1が大きくなるほど端部P1での発熱温度が低下している。p型ディープ層18のドーズ量を $1 \times 10^{13} \text{ cm}^{-2}$ と $1 \times 10^{14} \text{ cm}^{-2}$ に変更した場合、p型ディープ層18のドーズ量が多い方が発熱温度が低くなったが、いずれのでも同様に、突き出し長L1が大きくなるほど発熱温度が低下するという傾向を示していた。

10

【0042】

したがって、p型ディープ層18の外周側の端部については、端部P1からの突き出し長L1が長くなるほど発熱温度を低くでき、より端部P1およびその近傍での破壊を抑制することが可能になる。

【0043】

ただし、半導体装置の上方から見て、p型ディープ層18の外周側の端部を表面電極12やゲートパッド17、ゲート配線層15における外周側の端部、要はドレイン・ソース間降伏電圧(耐圧)を測定する際に接地電位となる最外部よりも外側にすると、逆に耐圧を低下させることになる。このため、表面電極12やゲートパッド17、ゲート配線層15のうち最も外周側に位置している方における外周側の端部よりもp型ディープ層18の外周側の端部が内側に配置されるようにすることが望ましい。

20

【0044】

また、半導体装置の上方から見て、p型ディープ層18の外周側の端部がp型高不純物層10の端部よりも内側に配置されると、p型ディープ層18ではなくp型高不純物層10に注入電荷が引き込まれる。このため、p型ディープ層18の外周側の端部が少なくともp型高不純物層10の端部よりも外側に配置されるようにしている。

30

【0045】

次に、図8および図9を参照して、p型ディープ層18の内周側の端部の位置とリカバリ耐量との関係について説明する。

【0046】

上記したように、p型ディープ層18は、電荷を深さ方向の広範囲で取り込んだのち、比較的緩やかにp型高不純物層10に辿り着くようにしている。このため、所望の内部抵抗となるように、ある程度の濃度および幅であることが必要である。p型ディープ層18の濃度については、p型層5よりも高く、かつ、p型高不純物層10よりも低く設定してあるが、p型ディープ層18の幅についても、リカバリ耐量を考慮して設定するのが好ましい。

40

【0047】

そこで、p型ディープ層18の幅とリカバリ耐量との関係について調べた。具体的には、リカバリ耐量を得るためには、半導体装置の上方から見て、p型ディープ層18の内周側の端部が端部P1よりも内側にあることが必要である。このため、図8に示すように、p型ディープ層18の内周側の端部から端部P1までのp型ディープ層18とp型高不純物層10とのオーバーラップ量をオーバーラップ長L2と定義し、リカバリ耐量[A/ μs]との関係について実験により求めた。図9は、その結果を示したグラフである。

【0048】

この図に示すように、オーバーラップ長L2に応じてリカバリ耐量に変化している。オ

50

オーバーラップ長 L_2 が小さいときにはリカバリ耐量が小さい。これはp型ディープ層18がp型高不純物層10との接続が小さくなり、表面電極12の電位から浮いたフローティング状態となって電荷の拡散効果が弱まったためと考えられる。つまり、オーバーラップ長 L_2 が小さく、表面電極12の電位から浮いたフローティング状態になると、注入電荷がp型ディープ層18に入らずに直接p型高不純物層10から排出され、リカバリ耐量が低下する。一方、オーバーラップ長 L_2 が7~13 μm のときに最もリカバリ耐量が大きくなり、オーバーラップ長 L_2 が更に増加すると抵抗成分が減少するため再びリカバリ耐量が低下していた。このようにオーバーラップ長 L_2 には最適条件がある。この実験は、p型ディープ層18のドーズ量を $1 \times 10^{14} \text{ cm}^{-2}$ として行ったが、他の濃度についてもオーバーラップ長 L_2 とリカバリ耐量の変化の関係は上記と同様になる。そして、オーバーラップ長 L_2 が所定範囲となるとときに高いリカバリ耐量を得られることが分かる。例えば、リカバリ耐量が600 A/ μs 以上を得るのであれば、オーバーラップ長 L_2 を4~13 μm の範囲に設定すればよい。

10

【0049】

このように、オーバーラップ長 L_2 を所定範囲、例えば6~12 μm に設定することで、高いリカバリ耐量を得ることが可能となる。なお、図9に示した結果は、p型ディープ層18が表面電極12に直接接触する構造であるとリカバリ耐量を低下させてしまうことを示唆している。このため、p型ディープ層18についてはp型高不純物層10を介して表面電極12に接続されるようにしてあり、これによりリカバリ耐量の低下を抑制している。

20

【0050】

続いて、上記のように構成される本実施形態の半導体装置の製造方法について、図10を参照して説明する。なお、本実施形態の半導体装置では、p型カラム4aやn型カラム4bの長手方向とトレンチゲートの長手方向とが垂直とされているが、ここでは製造方法を分かり易くするために、これらを平行にして図示してある。

【0051】

まず、図10(a)に示すように、表面および裏面を有する n^+ 型基板3を用意したのち、 n^+ 型基板3の表面にn型エピタキシャル層20を形成する。続いて、図示しないp型カラム4aの形成予定位置が開口するマスクを用いてn型エピタキシャル層20をエッチングする。これにより、図10(b)に示すようにn型エピタキシャル層20のうちのn型カラム4bの形成位置のみが残され、p型カラム4aの形成予定位置にトレンチ21が形成される。このとき、トレンチ21の深さがn型エピタキシャル層20の厚み分となるようにエッチングしても良いが、n型エピタキシャル層20が所望厚さ残るようにトレンチ21の深さを設定しても良い。

30

【0052】

次に、図10(c)に示すように、トレンチ21内を埋め込むようにn型エピタキシャル層20の上にp型エピタキシャル層22を形成する。そして、図10(d)に示すように、平坦化研磨を行うことで、n型エピタキシャル層20およびp型エピタキシャル層22を所定量除去する。これにより、n型エピタキシャル層20によってn型カラム4bが構成され、p型エピタキシャル層22によってp型カラム4aが構成されて、SJ構造4が完成する。

40

【0053】

さらに、フォトリソ工程によってp型ディープ層18の形成予定位置が開口する図示しないマスクを配置したのち、そのマスクを用いてp型不純物をイオン注入する。これにより、図10(e)に示すように、p型カラム4aおよびn型カラム4bの表面にp型ディープ層18を形成する為の不純物注入層23が形成される。そして、図10(f)に示すように、p型層5をエピタキシャル成長させたのち、熱処理を行うことで不純物注入層23内のp型不純物を熱拡散させ、p型カラム4aおよびn型カラム4bの表層部からp型層5内に至るp型ディープ層18を形成する。

【0054】

50

その後は、従来と同様のMOSFETの製造工程を経て、図10(g)に示すようにSJ構造のトレンチゲート型のMOSFETを備えた半導体装置が完成する。

【0055】

以上説明したように、p型高不純物層10およびSJ構造4に接触し、半導体装置の上方から見て端部P1からp型高不純物層10の端部の間とオーバーラップさせるようにp型ディープ層18を設けている。また、p型ディープ層18のp型不純物濃度をp型層5よりも高く、かつ、p型高不純物層10よりも低くしている。このようなp型ディープ層18を備えることにより、リカバリ動作時における注入電荷(注入キャリア)の集中を緩和して素子の破壊を抑制することが可能となる。

【0056】

(第2実施形態)

本発明の第2実施形態について説明する。本実施形態は、第1実施形態に対して半導体装置の製造方法を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0057】

本実施形態にかかる半導体装置の製造方法について、図11を参照して説明する。まず、図11(a)~(d)に示す工程において、第1実施形態で説明した図10(a)~(d)と同様の工程を行う。そして、図11(e)に示す工程では、p型ディープ層18を形成するためのp型不純物のイオン注入の前に、SJ構造4の上にp型層5をエピタキシャル成長させる。その後、フォトリソ工程によってp型ディープ層18の形成予定位置が開口する図示しないマスクを配置したのち、そのマスクを用いてp型層5の上からp型不純物を高加速イオン注入によって注入する。これにより、図11(f)に示すようにp型ディープ層18が形成される。この後は、従来と同様のMOSFETの製造工程を経て、図11(g)に示すようにSJ構造のトレンチゲート型のMOSFETを備えた半導体装置が完成する。

【0058】

以上説明したように、p型ディープ層18を形成するためのp型不純物のイオン注入の前に、p型層5をエピタキシャル成長させ、その後、p型ディープ層18を高加速イオン注入によって形成することもできる。このような製造方法の場合、第1実施形態と比較して、高加速イオン注入が行える装置が必要になるため、第1実施形態のような高加速イオン注入が無いことによる製造工程の簡略化を図ることはできない。しかし、第1実施形態のようにインプラによって結晶欠陥が生じた表面にエピタキシャル成長することがないため、より結晶性の良いリソ層を得ることができる。

【0059】

なお、この製造方法の場合、p型ディープ層18をp型層5の表面から形成することもできる。しかしながら、p型ディープ層18をp型層5の表面から形成すると、p型層5の表面まで欠陥が形成されることから、欠陥修復のための熱処理が必要になる。このため、本実施形態の方法によれば、p型ディープ層18を形成する為の熱処理が必要なくなり、熱処理を行うとしてもその処理時間を短くすることが可能となる。

【0060】

(第3実施形態)

本発明の第3実施形態について説明する。本実施形態は、第1実施形態に対してp型ディープ層18の上面レイアウトを変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0061】

本実施形態にかかる半導体装置の構成について、図12を参照して説明する。この図に示すように、本実施形態では、p型ディープ層18を表面電極12の外縁部を1周囲むように形成しているのに加えて、ゲートパッド17のうち表面電極12と対向していない辺の外縁部にも形成している。つまり、半導体装置の上方から見て、ゲートパッド17の外縁部も囲うようにp型ディープ層18を形成している。

10

20

30

40

50

【 0 0 6 2 】

ゲート絶縁膜 8 や表面電極 1 2 と p 型高不純物層 1 0 との境界位置などの破壊を抑制するには、p 型ディープ層 1 8 が表面電極 1 2 の外縁部を 1 周囲むように形成されていれば良い。しかしながら、ゲートパッド 1 7 の下方にも S J 構造 4 が構成されており、リカバリ動作時にはそのゲートパッド 1 7 の下方に位置する p 型カラム 4 a から注入電荷が移動してくる。したがって、ゲートパッド 1 7 のうち表面電極 1 2 と対向していない辺の外縁部にも p 型ディープ層 1 8 を形成することで、ゲートパッド 1 7 の下方に存在する注入電荷を分散することで集中を抑制できリカバリ耐量を向上させることができる。

【 0 0 6 3 】

(第 4 実施形態)

本発明の第 4 実施形態について説明する。本実施形態は、セル領域 1 に M O S F E T ではなくダイオードを形成する場合について説明する。なお、ダイオードを形成する場合であっても、半導体装置の基本構造は似ているため、第 1 実施形態に対して変更される部分についてのみ説明する。

【 0 0 6 4 】

本実施形態にかかる半導体装置の構成について、図 1 3 を参照して説明する。図 1 3 に示すように、本実施形態では、セル領域 1 における p 型層 5 をアノード領域、p 型高不純物層 1 0 をアノードコンタクトとし、n 型カラム 4 b および n⁺型基板 3 をカソード領域とする P N ダイオードが構成されている。表面電極 1 2 は、p 型高不純物層 1 0 に接触させられたアノード電極として機能し、保護膜 1 9 にて外縁部が覆われているが、それよりも内側は露出させられて外部接続用のアノードパッドとして機能する。また、裏面電極 1 3 がカソード電極として機能する。その他、M O S F E T に備えられていたゲート電極構造やゲート配線層、n⁺型ソース領域などが無くなっている点が異なっているが、残りの部分は第 1 実施形態に示す半導体装置と同様である。このようにして、S J 構造 4 のダイオードを備えた半導体装置が構成されている。

【 0 0 6 5 】

このような構成の半導体装置にも、p 型ディープ層 1 8 を備えてある。このため、第 1 実施形態と同様、リカバリ動作時における注入電荷の集中を緩和して素子の破壊を抑制できるという効果が得られる。

【 0 0 6 6 】

なお、本実施形態の場合、p 型ディープ層 1 8 を端部 P 1 と p 型高不純物層 1 0 の端部との間とオーバーラップさせるようにすれば、上記効果を得られる。また、p 型ディープ層 1 8 の突き出し長 L 1 については、第 1 実施形態と同様、端部 P 1 から p 型ディープ層 1 8 の外周側の端部までの距離で定義でき、突き出し長 L 1 が長くなるほど端部 P 1 での発熱温度を低下させられ、破壊抑制の効果を高められる。一方、オーバーラップ長 L 2 については、p 型ディープ層 1 8 の内周側の端部から p 型高不純物層 1 0 の外周側の端部までの p 型ディープ層 1 8 と p 型高不純物層 1 0 のオーバーラップ量で定義できる。そして、オーバーラップ長 L 2 を所望範囲、例えば 6 ~ 1 2 μ m に設定することで、高いリカバリ耐量を得ることができる。

【 0 0 6 7 】

(第 5 実施形態)

本発明の第 5 実施形態について説明する。本実施形態は、セル領域 1 の中央部にゲートパッド 1 7 を配置したものであり、その他については第 1 実施形態と同様であるため、第 1 実施形態と異なる部分についてのみ説明する。

【 0 0 6 8 】

本実施形態にかかる半導体装置の構成について、図 1 4 および図 1 5 を参照して説明する。図 1 4 に示すように、本実施形態では、セル領域 1 における中央位置にゲートパッド 1 7 を配置している。このような構造では、ゲートパッド 1 7 が形成された位置や、ゲートパッド 1 7 に繋がる引出配線部 1 7 a において、図 1 4 に示すように基板法線方向から見て p 型高不純物層 1 0 が分断された構造となる。つまり、セル領域 1 内において、部分

10

20

30

40

50

的に p 型高不純物層 10 が切り欠かれた構造となる。このため、図 14 および図 15 に示すように、p 型高不純物層 10 が分断された箇所にも、p 型ディープ層 18 を形成するようにしている。

【0069】

このように、p 型高不純物層 10 が分断された構造となる場合に、その分断された箇所にも p 型ディープ層 18 を形成することで、リカバリ耐量の低下を抑制することが可能となる。

【0070】

(他の実施形態)

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【0071】

例えば、第 1 ~ 第 3 実施形態では、MOSFET として、トレンチゲート型のものを例に挙げて説明したが、プレーナ型のものであっても良い。その場合、エピタキシャル成長で p 型層 5 を全面に形成するのではなく、n 型層をエピタキシャル成長させ、必要な部位に p 型不純物をイオン注入することで p 型層 5 を形成すれば良い。具体的には、セル領域 1 ではチャンネルが形成されるボディ領域、外周領域 2 ではリサーフ層となる領域に p 型不純物をイオン注入して p 型層 5 を形成すれば良い。

【0072】

また、上記第 1 実施形態において、ソース電極となる表面電極 12 やゲートパッド 17 のレイアウトの一例を示したが、他のレイアウトであっても良い。例えば、ゲートパッド 17 を表面電極 12 の中央位置に配置し、表面電極 12 の外周側からゲートパッド 17 に向けて延設された引出配線が設けられる構造とされる場合がある。この場合、ゲートパッド 17 からの引出配線の配置スペースを空けて表面電極 12 がレイアウトされることになるが、このような場合でも、ゲートパッド 17 や引出配線と表面電極 12 との境界に沿って p 型ディープ層 18 を形成すれば良い。

【0073】

また、上記第 1 ~ 第 3 実施形態では、トレンチ 7 の長手方向と p 型カラム 4a や n 型カラム 4b の長手方向を垂直にしたが、これらを平行にしても良い。つまり、ゲート電極 9 と p 型カラム 4a や n 型カラム 4b の長手方向を同じにしても良い。この場合、n 型カラム 4b 内にトレンチ 7 が形成されるようにすれば良い。勿論、プレーナ型の MOSFET とする場合にも、ゲート電極 9 と p 型カラム 4a や n 型カラム 4b の長手方向を同じにしても良い。

【0074】

また、上記第 1 ~ 第 3 実施形態では、SJ 構造 4 をトレンチエピ方式で形成しているが、積層エピ方式で形成しても構わない。例えば、n 型エピタキシャル層 22 の一部を形成したのち、p 型不純物をイオン注入して p 型カラム 4a の一部を形成するという工程を繰り返すことで、PN カラムを形成しても良い。

【0075】

また、リサーフ層を構成する p 型層 5 をエピタキシャル成長で形成しているが、イオン注入と拡散により形成してもよい。さらに、リサーフ層を構成するために、SJ 構造 4 の上に半導体層として p 型層 5 を形成したが、リサーフ層は必須ではないため、p 型層 5 ではなく、半導体層として n 型層を形成することもできる。

【0076】

また、上記各実施形態において、PN カラムは半導体基板 3 の表面と平行に p 型カラム 4a と n 型カラム 4b とが繰り返された繰り返し構造であれば良く、p 型カラム 4a を n 型カラム 4b 中にドット状に形成してた構造としても良い。

【0077】

また、上記実施形態では、p 型ディープ層 18 を表面電極 12 の外縁部を 1 周囲んで形成された構造としたが、必ずしも 1 周囲んでいる必要はない。

10

20

30

40

50

【0078】

また、上記第1～第3実施形態では、第1導電型をn型、第2導電型をp型としたnチャネルタイプのMOSFETを備える半導体装置を例に挙げて説明した。しかしながら、各構成要素の導電型を反転させたpチャネルタイプのMOSFETを備える半導体装置に対しても本発明を適用することができる。

【0079】

さらに、上記第5実施形態では、p型高不純物層10が分断された構造の一例としてゲートパッド17をセル領域1の中央位置に配置する場合を例に挙げたが、他のp型高不純物層10が分断された構造であっても良い。すなわち、基板法線方向から見てp型高不純物層10が分断された構造において、分断された箇所にp型ディープ層18を備えた構造とすることで、他の構造であつてもリカバリ耐量の低下を抑制できる。例えば、単にLOCOS酸化膜などによってp型高不純物層10が分断された構造などについて、p型高不純物層10が分断された箇所にp型ディープ層18を備えた構造を適用できる。

10

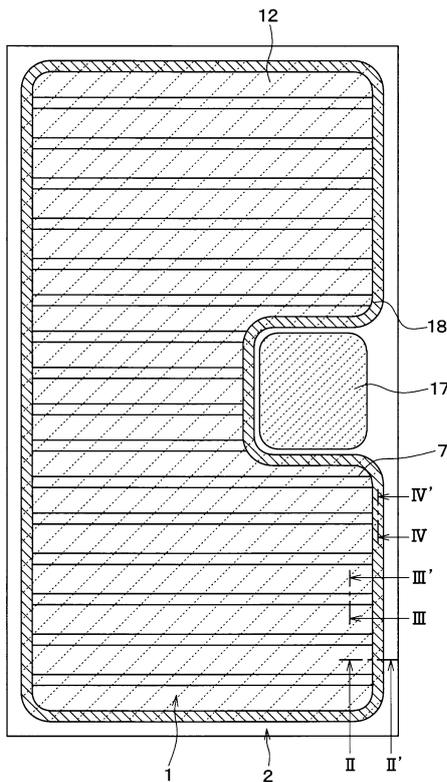
【符号の説明】

【0080】

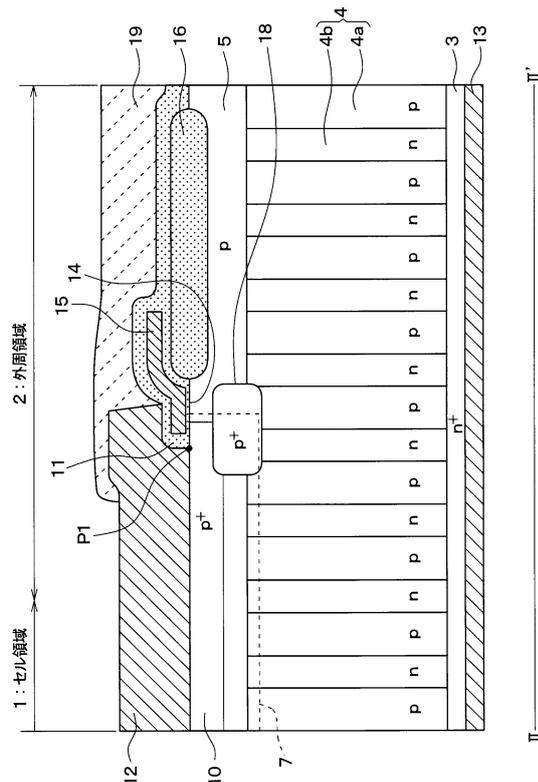
- 1 セル領域
- 2 外周領域
- 3 n⁺型基板(半導体基板)
- 4 SJ構造
- 5 p型層
- 10 p型高不純物層
- 12 表面電極
- 13 裏面電極
- 15 ゲート配線層
- 18 p型ディープ層

20

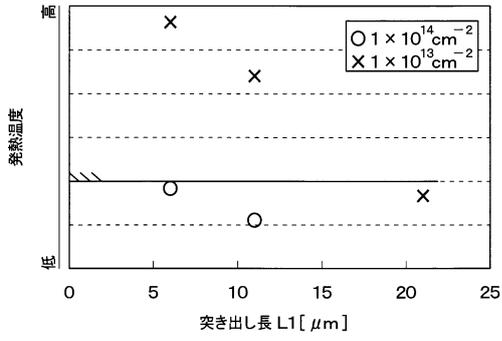
【図1】



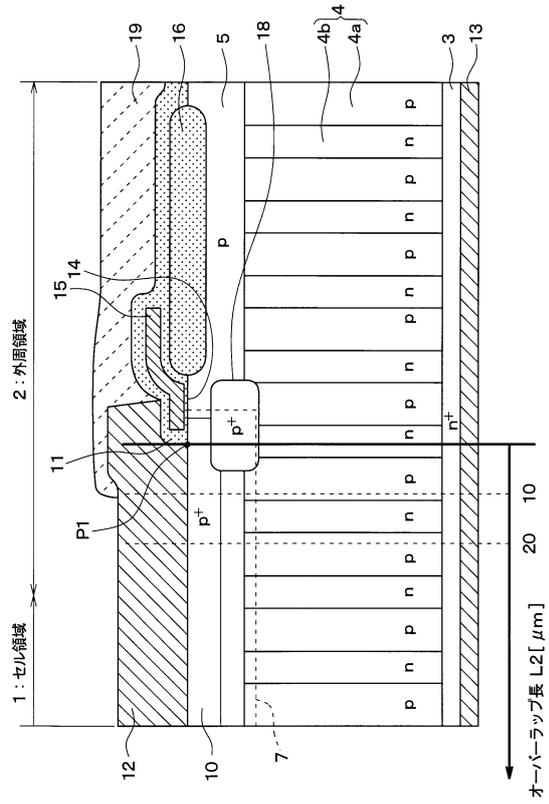
【図2】



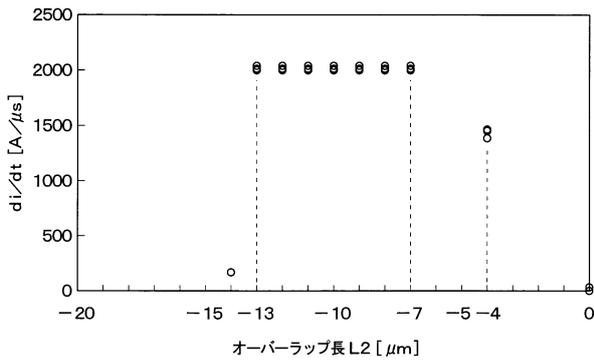
【図7】



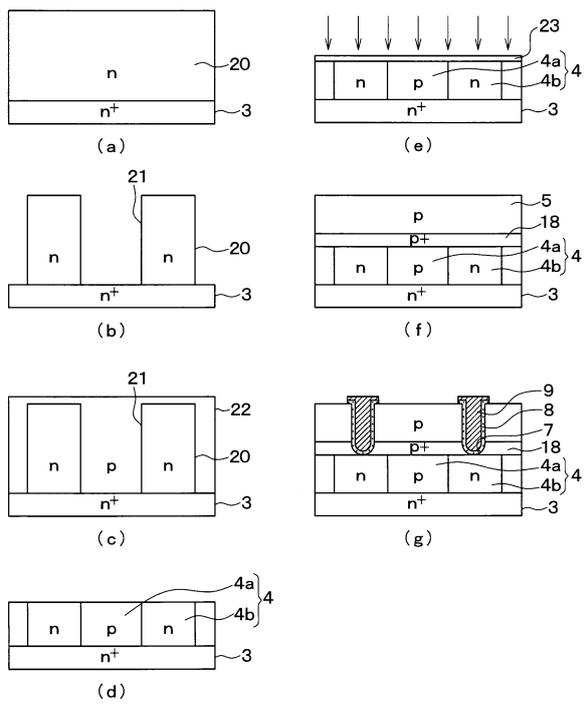
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L 29/861 (2006.01)</i>		H 0 1 L 29/78		6 5 8 E
		H 0 1 L 29/06		3 0 1 D
		H 0 1 L 29/06		3 0 1 V
		H 0 1 L 29/91		B
		H 0 1 L 29/91		D

合議体

審判長 河口 雅英

審判官 鈴木 匡明

審判官 深沢 正志

- (56)参考文献 特開2008-004643(JP,A)
特開2007-281034(JP,A)
特開2010-153622(JP,A)
特開2011-181805(JP,A)
特開2003-224273(JP,A)
特開2011-228490(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 0 2