

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-296894

(P2004-296894A)

(43) 公開日 平成16年10月21日(2004.10.21)

(51) Int. Cl.⁷

H01L 21/3205
H01L 23/12
H01L 23/52
H01L 25/065
H01L 25/07

F I

H01L 21/88 J
H01L 23/12 L
H01L 25/08 Z
H01L 23/52 C

テーマコード(参考)

5FO33

審査請求 未請求 請求項の数 3 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2003-88826 (P2003-88826)

(22) 出願日 平成15年3月27日(2003.3.27)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅誉

(74) 代理人 100107076

弁理士 藤綱 英吉

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 増田 員拓

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

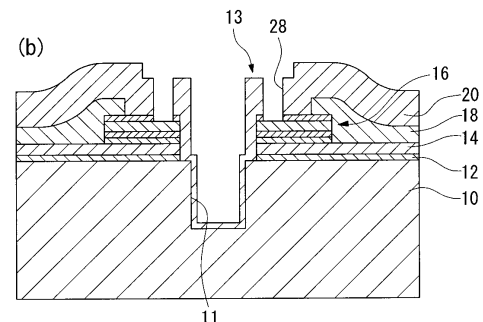
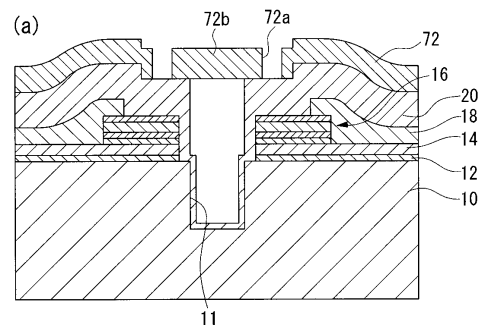
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 少なくとも開口部を有した基板に対してエッチングを行う際に、該開口部内に不純物が混入し難い工程を採用した半導体装置の製造方法を提供する。

【解決手段】 本発明の半導体装置の製造方法は、貫通孔11を有した基板に対し、該貫通孔11とは異なる領域においてエッチングを行う工程を含む半導体装置の製造方法であって、基板に対し、貫通孔11の開口面に跨る形にてレジスト72を形成し、該レジスト72を露光によりパターニングした後に、エッチングを行うことを特徴とする。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

開口部を有した基板に対し、該開口部とは異なる領域においてエッチングを行う工程を含む半導体装置の製造方法であって、

前記基板に対し、前記開口部の開口面に跨る形にてレジストを形成し、該レジストを露光によりパターンニングした後に、エッチングを行うことを特徴とする半導体装置の製造方法。

【請求項 2】

前記レジストを形成する際に、前記基板に対して加熱処理を行うことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

基板上に電極を形成する積層工程と、

前記電極に対し前記基板表面まで開口する電極孔を形成する電極孔形成工程と、

少なくとも前記電極孔内面から該電極の上層を覆う形にて絶縁層を形成する工程と、

前記絶縁層に対し、前記電極孔内面側であって基板穿孔予定部に対応する位置に開口部を形成する工程と、

該絶縁層をマスクとして前記基板に対して前記電極孔と連通する基板孔を形成する工程と、

、

前記基板面内において、前記電極孔とは異なる領域に前記絶縁層を開口して前記電極の上層面を露出させる接続孔形成工程と、

少なくとも前記電極孔及び基板孔の内部から前記露出した電極に連なる形にて、該電極孔及び基板孔内、並びに前記絶縁膜の接続孔内に対して導電部材を充填する導電部材充填工程と、を含み、

前記接続孔形成工程において、前記電極孔の開口面に跨る形にてレジストを形成し、該レジストを露光によりパターンニングした後にエッチングを行うことで前記接続孔を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体装置、半導体デバイス、電子機器、および半導体装置の製造方法に関し、特に三次元実装技術に好適な構成の半導体装置に関するものである。

【0002】**【従来技術】**

現在、主として携帯電話機、ノート型パーソナルコンピュータ、PDA (Personal data assistance) 等の携帯性を有する電子機器は、小型・軽量化のため、内部に設けられる半導体チップ等の各種の電子部品の小型化が図られており、更にその電子部品を実装するスペースも極めて制限されている。このため、例えば半導体チップにおいては、そのパッケージング方法が工夫され、現在ではCSP (Chip Scale Package) といわれる超小型のパッケージングが案出されている。このCSP技術を用いて製造された半導体チップは、実装面積が半導体チップの面積と同程度で良いため、高密度実装を図ることができる。

【0003】

しかしながら、上記の電子機器は、今後益々小型化及び多機能化が求められることが予想されており、半導体チップの実装密度を更に高める必要が出てきた。かかる背景の下、例えば特許文献 1 に開示されているような三次元実装技術が案出されてきた。この三次元実装技術は、同様の機能を有する半導体チップ同士又は異なる機能を有する半導体チップ同士を積層し、各半導体チップ間を配線接続することで、半導体チップの高密度実装を図る技術である。

【0004】**【特許文献 1】**

10

20

30

40

50

特開 2002 - 50738 号公報

【0005】

【発明が解決しようとする課題】

ところで、上述の三次元実装技術においては、各半導体チップ間を配線接続する技術が極めて重要になる。なぜならば、複数の半導体チップからなる半導体装置が所期の機能を発揮するには設計通り配線がなされていることが必要条件であることはもちろんのこと、半導体チップ間の接続を強固にして半導体装置の信頼性を確保する必要があるからである。

【0006】

三次元実装技術に用いられる半導体チップは、例えば半導体基板の表面と裏面とに形成された電極と、半導体基板の表面から裏面へ貫通する貫通孔とを有し、この貫通孔を介して上下の電極同士が電氣的に接続された電極構造を有する。そして、このような電極構造を有する半導体チップを積層すると、ある半導体チップの裏面に形成された電極が、他の半導体チップの表面に形成された電極と接続され、これにより各半導体チップ間で配線接続される。

10

【0007】

このような半導体装置において、電極の接続状態、すなわち電氣的接続状態は当該半導体装置の信頼性を確保する上で重要な要素となり、例えば電氣的接続不良が生じた場合には当該半導体装置において誤作動が生じてしまう恐れがある。一方、上記の電極構造を形成するには多くの工程を必要とするため、製造効率が悪いという問題がある。また、上記の電極構造では貫通孔を形成することが必須となるが、この貫通孔内には一連の製造工程においてレジスト等の不純物が入り込まないことが、孔内部の清浄度を確保し、導電性を高める上で好ましい。

20

【0008】

本発明は、上記事情に鑑みてなされたものであり、少なくとも開口部を有した基板に対してエッチングを行う際に、該開口部内に不純物が混入し難い工程を採用した半導体装置の製造方法を提供することを目的とし、さらにこの方法を採用することで基板貫通孔内の一層良好な電氣的接続状態を確保できる半導体装置の製造方法を提供することを目的とする。また、開口部内へのレジスト混入を抑制することで、当該半導体装置の製造効率を向上させるとともに、製造コストを低減し、更には装置自体の信頼性をも高めることができる半導体装置の製造方法を提供することを目的とする。

30

【0009】

【課題を解決するための手段】

上記課題を解決するために、本発明の半導体装置の製造方法は、開口部を有した基板に対し、該開口部とは異なる領域においてエッチングを行う工程を含む半導体装置の製造方法であって、前記基板に対し、前記開口部の開口面に跨る形にてレジストを形成し、該レジストを露光によりパターンニングした後に、エッチングを行うことを特徴とする。なお、ここで言う「開口部」とは、例えば凹状に基板表面から所定の深さだけ凹んだ形状のものを含む意味であり、また基板の厚さ方向に貫通しているものであっても良い。

【0010】

このような製造方法によると、開口部内にレジストが混入し難くなり、レジスト塗布後の開口部内洗浄を行わずとも、簡便に不純物混入の極めて少ない開口部を確保することができ、例えば該開口部を基板上下方向へのコンタクトホールとして用いた場合には、該コンタクトホールの導通性を高めることが可能となり得る。また、レジストを開口部内部に潜入した形にて塗布した場合には、開口周辺にレジストが塗布されず、該開口周辺部の基板が不意にエッチングされてしまう恐れがあるが、本発明ではそのような不具合も生じ難い。言い換えると、本発明ではレジストを少なくとも開口部の開口底面に接しない形にて該開口部を覆うように形成するものとしたために、少なくとも開口底面にレジストが残存することがなくなり、当該開口内部の汚れを低減させることができたのである。

40

【0011】

なお、レジストの形成方法としては、大気圧下、スピコート法或いはローラーコート法

50

等を採用することができる。レジストの種類としては、通常の樹脂材料を用いることができるが、開口部について深さが70 μm 、開口幅（開口径）が最大30 μm のものに対してレジストを塗布する場合には、例えば粘度10～60 cP （ $\text{mPa}\cdot\text{s}$ ）程度（具体的には18 cP （ $\text{mPa}\cdot\text{s}$ ））のレジスト樹脂を用いるのが良く、形成するレジストの膜厚は例えば0.5～4.0 μm 程度（例えば2.05 μm ）とするのが良い。

【0012】

また、上記レジストを形成する際に、基板に対して加熱処理を行うものとするすることができる。この場合、加熱により開口部内の気体が膨張することとなるため、レジストが開口部に潜入し難くなり、開口面に沿った橋架け構造のレジストを一層確実に形成することが可能となる。

10

【0013】

一方、上記課題を解決するために、本発明の半導体装置の製造方法は、その異なる態様として、基板上に電極を形成する積層工程と、前記電極に対し前記基板表面まで開口する電極孔を形成する電極孔形成工程と、少なくとも前記電極孔内面から該電極の上層を覆う形にて絶縁層を形成する工程と、前記絶縁層に対し、前記電極孔内面側であって基板穿孔予定部に対応する位置に開口部を形成する工程と、該絶縁層をマスクとして前記基板に対して前記電極孔と連通する基板孔を形成する工程と、前記基板面内において、前記電極孔とは異なる領域に前記絶縁層を開口して前記電極の上層面を露出させる接続孔形成工程と、少なくとも前記電極孔及び基板孔の内部から前記露出した電極に連なる形にて、該電極孔及び基板孔内、並びに前記絶縁膜の接続孔内に対して導電部材を充填する導電部材充填工程と、を含み、前記接続孔形成工程において、前記電極孔の開口面に跨る形にてレジストを形成し、該レジストを露光によりパターンニングした後にエッチングを行うことで前記接続孔を形成することを特徴とする。

20

【0014】

このような製造方法によると、電極孔及び基板孔を含んでなる貫通孔内部に挿通された導電部材により、半導体装置の表裏間で導通をとることができ、この表面及び/又は裏面に別の半導体装置を積層することができるため、三次元実装された半導体装置を提供することが可能となる。また、貫通孔を電極に対して設けたため、基板上的電極が形成されていない領域に貫通孔を形成する場合に比して、省スペース化が可能となり、当該半導体装置の高機能化そして小型化を実現することが可能となり得る。さらに、接続孔形成工程において、電極孔の開口面に跨る形にてレジストを形成してエッチングを行うものとしているため、基板孔内にレジストが混入し難くなり、レジスト剥離時に特別な洗浄を行わずとも、簡便に不純物混入の極めて少ないクリーンな基板孔を確保することができ、該電極孔及び基板孔内に充填させた導電部材の上下方向への導通性を高めることが可能となり得る。

30

【0015】

なお、レジストの形成方法としては、大気圧下、スピンコート法或いはローラーコート法等を採用することができる。レジストの種類としては、通常の樹脂材料を用いることができるが、電極孔及び基板孔を双方合わせた深さが70 μm 、開口幅（開口径）が最大30 μm の貫通孔にレジストを塗布する場合には、例えば粘度10～60 cP （ $\text{mPa}\cdot\text{s}$ ）程度（具体的には18 cP （ $\text{mPa}\cdot\text{s}$ ））のレジスト樹脂を用いるのが良く、形成するレジストの膜厚は例えば0.5～4.0 μm 程度（例えば2.05 μm ）とするのが良い。

40

【0016】

また、上記レジストを形成する際に、電極及び/又は基板に対して加熱処理を行うものとするすることができる。この場合、加熱により電極孔及び/又は基板孔の気体が膨張することとなるため、レジストが電極孔内に潜入し難くなり、電極孔の開口面に沿った橋架け構造のレジストを一層確実に形成することが可能となる。

【0017】

なお、本発明においては、形成したレジストをパターンニングした後に、これをマスクとしてエッチングを行うものとしているが、このような開口面に跨るレジストを仮レジストと

50

し、この仮レジストを蓋として別のレジスト（本レジスト）を形成して、該本レジストをマスクとしてエッチングを行うものとすることもできる。また、仮レジストで厚膜化が困難な場合、別のレジストを併用して厚膜化を実現することも可能である。

【0018】

ここで、電極はアルミニウムを主体として構成されるのが一般的であるが、銅などを用いて形成しても良く、その形状は設計に応じて種々異なるが、例えば一辺が約100 μ m程度の角形をなしていても良い。なお、電極孔及び基板孔を含んでなる貫通孔内に充填する導電部材についてもアルミニウムや銅を用いることができ、銅を充填させる場合にはCuダマシン法を採用することができる。すなわち、貫通孔に銅をCVD法や、電界メッキ法等により充填させ、CMPにより表面を研磨除去する方法により、導電部材を形成することができ、このように銅を接続端子用の導電部材として用いた場合には、高速デバイスに適した低抵抗化が実現されることとなり非常に有利な半導体装置となり得る。

10

【0019】

なお、上記電極孔及び基板孔からなる貫通孔の孔形状（軸断面形状、或いは開口形状）としては、円形その他、四角形等の多角形も採用することができる。また、一つの電極に対して複数の貫通孔を形成して各貫通孔内に導電部材を挿通し、三次元実装を実現することも可能で、この場合、上下接続における機械的安定性及び電氣的安定性の向上を図ることができるようになる。

【0020】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態について説明する。なお、本実施の形態においては、各図において各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

20

【0021】

（第1の実施の形態）

図1は本発明の方法により製造される半導体装置の第1の実施の形態について、その要部を示す部分断面模式図であって、半導体装置100は、シリコン基板10上に熱酸化膜からなる絶縁膜12及びSiO₂からなる層間絶縁膜14を介して電極パッド16が積層された構成の半導体装置本体部1を三次元実装してなるものである。

【0022】

各半導体装置本体部1は、シリコン基板10上に厚さ約4000の絶縁膜12と、厚さ約10000の層間絶縁膜14と、厚さ約8000の電極パッド16とが積層されてなるとともに、これらシリコン基板10、絶縁膜12、層間絶縁膜14、電極パッド16を積層方向に貫通する貫通孔11を具備してなり、その貫通孔11内部には導電部材からなる接続端子24が挿通されている。また、電極パッド16上には、該電極パッド16の貫通孔11よりも拡径のパッシベーション膜18が形成されている。さらに、電極パッド16及びパッシベーション膜18上には絶縁層20が積層され、該絶縁層20は、電極パッド16上のパッシベーション膜18が形成されていない領域に接続孔28を具備するとともに、貫通孔11に面する絶縁壁部13を具備してなる。また、絶縁層20は電極パッド16上から貫通孔11内面にまで延びて形成され、電極パッド16と接続端子24との間に位置して、これらを絶縁している。

30

40

【0023】

さらに具体的には、絶縁層20は、電極パッド16の上層面及び貫通孔11の内面を覆う形にて形成され、少なくとも電極パッド16と接続端子24を接続するための接続孔28を、貫通孔11と基板10の面内において異なる位置に具備してなるものであり、これら接続孔28と貫通孔11との間に絶縁壁部13が配設されているのである。このように絶縁壁部13は貫通孔11の内面に沿って、該電極パッド16の表面から突出する環状凸部を少なくとも有してなり、自身も貫通孔11に沿う孔部を具備してなるものである。

【0024】

このような絶縁壁部13を備える絶縁層20の孔内側には下地膜22を介して上記接続端

50

子 2 4 が挿通されている。貫通孔 1 1 内部に形成された接続端子 2 4 は、該貫通孔 1 1 から絶縁層 2 0 の絶縁壁部 1 3 を跨ぐ形にて接続孔 2 8 において電極パッド 1 6 と接続されている。なお、本実施の形態においては、貫通孔 1 1 内面の基板 1 0 と絶縁膜 1 2 との境界付近において段差が形成されており、これにならって接続端子 2 4 の孔との接触面には段差が形成されている。また、貫通孔 1 1 の開口形状（孔軸断面形状）は丸形であるが、その他にも四角形等の多角形状のものを採用することも可能である。

【 0 0 2 5 】

電極パッド 1 6 は、厚さ 1 0 0 であって T i からなる第 1 層 1 6 a、厚さ約 1 0 0 0 であって T i N からなる第 2 層 1 6 b、厚さ約 5 0 0 0 であって A l C u からなる第 3 層 1 6 c、及び厚さ約 4 0 0 であって T i N からなる第 4 層（キャップ層）1 6 d を順に積層して形成されている。前述したように電極パッド 1 6 の孔内面には絶縁壁部 1 3 を具備した絶縁層 2 0 が形成されており、一方、接続端子 2 4 は、貫通孔 1 1 から該絶縁壁部 1 3 を跨いで接続孔 2 8 を介して電極パッド 1 6 と平面的に接続されている。すなわち、貫通孔 1 1 内部に充填された接続端子 2 4 は、電極パッド 1 6 上の貫通孔 1 1 に面する位置に選択的に形成された絶縁層 2 0 の絶縁壁部 1 3 上を覆うとともに、貫通孔 1 1 の孔面とは異なる位置において、絶縁膜 2 0 に形成された接続孔 2 8 にも充填されて電極パッド 1 6 と接続されている。なお、接続孔 2 8 は電極パッド 1 6 の第 4 層（キャップ層）1 6 d をも貫通する形にて第 3 層 1 6 c にまで開口されている。

10

【 0 0 2 6 】

以上のような電極パッド 1 6 と接続端子 2 4 との接続に供する接続孔 2 8 は、一つの電極パッド 1 6 に対して多数形成することも可能で、この場合、電極パッド 1 6 と接続端子 2 4 との機械的接続強度が強固なものとなり、その接続安定性が向上することとなる。

20

【 0 0 2 7 】

また、接続端子 2 4 上層には錫 - 銀からなるメッキ薄膜 1 9 が形成され、該メッキ薄膜 1 9 を介して異なる半導体装置本体部が積層接続される。なお、半導体装置本体部 1 においては、シリコン基板 1 0 の貫通孔 1 1 から接続端子 2 4 が若干突出して形成され、その突出した部分が異なる半導体装置本体部の接続端子とメッキ薄膜を介して接続されることとなり、積層された各半導体装置本体部の層間にはアンダフィル 2 5 が充填されている。

【 0 0 2 8 】

このような本実施の形態の半導体装置 1 0 0 によると、貫通孔 1 1 内部に挿通された接続端子 2 4 により半導体装置本体部 1 の表裏間で導通をとることができ、この表面及び / 又は裏面に別の半導体装置本体部を積層することが可能なため、半導体装置本体部 1 を三次元実装させることが可能となる。そして、貫通孔 1 1 を電極パッド 1 6 内部に設けたため、シリコン基板 1 0 上の電極パッド 1 6 が形成されていない領域に貫通孔を形成する場合に比して、省スペース化が可能となり、当該半導体装置の高機能化や小型化を実現することが可能となり得る。

30

【 0 0 2 9 】

また、このような本実施の形態の半導体装置 1 0 0 において接続端子 2 4 と電極パッド 1 6 との接続を、貫通孔 1 1 内部の接続端子 2 4 から電極パッド 1 6 に対して孔面を介して直接行うのではなく、貫通孔 1 1 の内面に沿って電極パッド 1 6 から突出した構成の絶縁壁部 1 3 を跨ぐ形にて電極パッド 1 6 と接続するものとしたため、接続端子 2 4 は絶縁壁部 1 3 上を超えて電極パッド 1 6 と接続することとなり、つまり接続端子 2 4 が絶縁壁部 1 3 と電極パッド 1 6 との双方に接面した構成となる。この場合、接続端子 2 4 と絶縁壁部 1 3 及び電極パッド 1 6 との接面には少なくとも絶縁壁部 1 3 の厚さ分（電極パッド 1 6 上に突出した分）だけの段差が生じ、段差なしに面一で接続端子 2 4 と絶縁壁部 1 3 及び電極パッド 1 6 とを密着させた場合に比して、その密着力が高くなり、その結果、接続端子 2 4 と電極パッド 1 6 との間の電氣的接続状態を安定化することが可能となる。したがって、電氣的接続不良に基づく半導体装置 1 0 0 の誤作動が生じ難く、当該半導体装置 1 0 0 の信頼性が向上することとなる。

40

【 0 0 3 0 】

50

以下、図1に示した半導体装置100の製造方法について、その一例を説明する。図2～図6は、半導体装置100を製造する一連の工程の、本発明に関連した工程を断面図にて示す工程図である。なお、本実施形態においては、シリコンウェハ等の半導体基板に対して各種処理を行う場合を例に挙げて説明するが、多数の半導体チップが形成されている状態の半導体基板そのものに対して処理を行うのではなく、個々の半導体チップに対して以下に示す処理を行っても良い。なお、半導体チップの場合には、一般的には直方体（立方体を含む）であるが、その形状は限定されず、円柱状（球状を含む）であってもよい。

【0031】

まず、処理対象の半導体基板の構成について説明する。図2(a)において、図示しないトランジスタ、メモリ素子、その他の電子素子からなる集積回路が形成されたシリコン等からなる基板（シリコン基板）10の表面には、絶縁膜12が形成されている。この絶縁膜12は、例えば基板10の基本的な材料であるSi（シリコン）の酸化膜（ SiO_2 ）で形成されている。

10

【0032】

絶縁膜12上には、例えば硼燐珪酸ガラス（以下、BPSGという）からなる層間絶縁膜14が形成されている。多層配線構造を有する半導体装置においては、例えば3層配線構造を有する場合、層間絶縁膜14上に、次の層間絶縁膜14a、更にその次の層間絶縁膜14bが積層されることになる。つまりn層多層配線構造を有する場合には、n層分の層間絶縁膜が積層されることとなる（図示せず）。それぞれの層間絶縁膜には、膜厚が5000～10000のシリコン酸化膜や低誘電率膜が適用される。層間絶縁膜14上には、図示しない箇所では基板10に形成された集積回路と電気的に接続された電極としての電極パッド16が形成されている。この電極パッド16は、Ti（チタン）からなる第1層16a、TiN（窒化チタン）からなる第2層16b、AlCu（アルミニウム/銅）からなる第3層16c、及びTiNからなる第4層（キャップ層）16dを順に積層して形成されている。

20

【0033】

電極パッド16は、例えばスパッタリングにより第1層16a～第4層16dからなる積層構造を層間絶縁膜14上の全面に形成し、レジスト等を用いて所定の形状（例えば、円形状）にパターニングすることにより形成される。なお、本実施形態では、電極パッド16が上記の積層構造により形成されている場合を例に挙げて説明するが、電極パッド16がAlのみで形成されていても良いが、電気抵抗の低い銅を用いて形成することが好ましい。また、電極パッド16は、上記の構成に限られず、必要とされる電気的特性、物理的特性、及び化学的特性に応じて適宜変更しても良い。

30

【0034】

また、電極パッド16は、基板10に複数形成された半導体チップの面の少なくとも1辺（多くの場合、2辺又は4辺）に沿って並んで形成される。また、この電極パッド16は、各半導体チップの面の辺に沿って形成される場合と、中央部に並んで形成される場合がある。なお、電極パッド16の下方には電子回路が形成されていない。

【0035】

また、層間絶縁膜14上には、電極パッド16を覆うように保護層としてのパッシベーション膜18が形成されている。このパッシベーション膜18は、 SiO_2 （酸化珪素）、SiN（窒化珪素）、ポリイミド樹脂等により形成することができる。

40

【0036】

次に、以上の構成の半導体基板に対して行う各工程を順次説明する。まず、スピコート法、ディッピング法、スプレーコート法等の方法によりレジスト（図示省略）を図2(a)に示したパッシベーション膜18上の全面に塗布する。なお、このレジストは、電極パッド16上を覆っているパッシベーション膜18を開口するために用いるものであり、フォトレジスト、電子線レジスト、X線レジストの何れであってもよく、ポジ型又はネガ型の何れであってもよい。

【0037】

50

パッシベーション膜 18 上にレジストを塗布した後、プリベークを行い、所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行うことでレジストを所定形状にパターンニングする。なお、レジストの形状は、電極パッド 16 の開口形状に応じて設定され、具体的には径 60 μm の円形開口部を有するものである。このようなレジストのパターンニング後、ポストベークを行い、図 2 (b) に示すように、電極パッド 16 を覆うパッシベーション膜 18 の一部をエッチングして開口部 H 1 を形成する。図 2 (b) は、パッシベーション膜 18 を開口して開口部 H 1 を形成した状態を示す断面図である。

【 0 0 3 8 】

なお、エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング (R I E : R e a c t i v e I o n E t c h i n g) であってもよい。また、エッチングとしてウェットエッチングを適用してもよい。パッシベーション膜 18 に形成される開口部 H 1 の断面形状は、後述する工程で形成される電極パッド 16 の開口形状に応じて設定され、その径は電極パッド 16 に形成される開口の径より大きい径に設定される。

10

【 0 0 3 9 】

以上の工程が終了すると、開口部 H 1 を形成したパッシベーション膜 18 上のレジスト 7 1 をマスクとして、ドライエッチングにより電極パッド 16 、層間絶縁膜 1 4 、及び絶縁膜 1 2 を開口する。図 2 (c) は、電極パッド 16 、層間絶縁膜 1 4 、及び絶縁膜 1 2 を開口して開口部 H 2 を形成した状態を示す断面図である。なお、ドライエッチングとしては R I E を用いることができる。

20

【 0 0 4 0 】

ここでは、電極パッド 16 と層間絶縁膜 1 4 及び絶縁膜 1 2 を同一工程にて開口するものとしているが、例えば電極パッド 16 を開口した後に、別工程で層間絶縁膜 1 4 及び絶縁膜 1 2 を開口するものとしても良い。つまり、上記プロセスにおいては、同一のレジストマスクを用いてエッチングを繰り返したが、各エッチング工程終了後、レジストをパターンニングし直すものとして行うことができる。さらに、電極パッド 16 に形成された開口部 H 2 を開口した後にレジストを剥離し、電極パッド 16 の最表面の T i N をマスクにして、層間絶縁膜 1 4 及び絶縁膜 1 2 をエッチングし、図 2 (c) に示すように基板 1 0 を露出せしめることも可能である。

30

【 0 0 4 1 】

以上のような工程により、図 2 (c) に示すように基板 1 0 の表面が露出される。この後、開口マスクとして使用してきたパッシベーション膜 18 上に形成したレジストを、剥離液或いはアッシング等により剥離する。

【 0 0 4 2 】

なお、このように電極パッド 16 を開口した後に、別工程で層間絶縁膜 1 4 及び絶縁膜 1 2 を開口するものとするれば、例えば図 8 に示したような半導体装置本体部 3 0 0 を含む半導体装置 3 0 0 を提供することができる。つまり、電極パッド 16 に形成された貫通孔の孔径と、層間絶縁膜 1 4 及び絶縁膜 1 2 に形成された貫通孔の孔径が異なり、その結果、該電極パッド 16 と層間絶縁膜 1 4 との境界付近において、貫通孔 1 1 の内面に段差が形成されることとなる。この場合、接続端子 2 4 が貫通孔 1 1 から抜ける等の不具合が生じ難くなり、接続端子 2 4 と貫通孔 1 1 との接続状態の安定性を向上させることが可能となる。

40

【 0 0 4 3 】

次に、図 3 (a) に示すように、基板 1 0 を穿孔するためのエッチング用ハードマスク 2 9 を形成する。ハードマスク 2 9 は、パッシベーション膜 18 及び電極パッド 16 の上層面、及び開口部 H 2 の内面を覆う態様にて形成するものとし、例えば S i O ₂ 等の絶縁材料を用いて C V D 法等により形成することができる。このようにハードマスク 2 9 を全面形成したのち、図 3 (a) に示すように、開口部 H 2 の底においてハードマスク 2 9 の開口部 H 5 を形成し、基板 1 0 の表面を開口部 H 2 に露出させる。ここでは開口部 H 5 に対応した開口を有するレジストを用いたエッチングにより、ハードマスク 2 9 の穿孔を行っ

50

た。なお、エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング (RIE: Reactive Ion Etching) であってもよい。

【0044】

そして、この開口部H5を備えるハードマスク29を用いて、ドライエッチングにより、図3(b)に示すように基板10を穿孔する。なお、ここでは、ドライエッチングとしてRIEのほかにICP(Inductively Coupled Plasma)を用いることができる。図3(b)は、基板10を穿孔して、孔部H3を形成した状態を示す断面図である。なお、ハードマスク29の開口部H5は、基板穿孔時のオーバーエッチ(サイドエッチ)を考慮して、開口径 $30\mu\text{m} \sim 50\mu\text{m}$ (例えば $30\mu\text{m}$)としている。

10

【0045】

ここでは、パッシベーション膜18及び電極パッド16上、ならびに開口部H1, H2内面に形成されたハードマスク29をレジストマスクとして基板10を穿孔しているため、図3(b)に示すように、基板10に形成される孔部H3の径は、電極パッド16に形成された開口部H2の径よりも小さいものとなる。その結果、開口部H1, H2、及び孔部H3を連通してなる貫通孔に、基板10の一部が突出してなる段差部が形成されることとなる。

【0046】

なお、ハードマスク29の膜厚については、基板10に対して $70\mu\text{m}$ 程度の深さの孔を形成する場合には、例えば正珪酸四エチル(Tetra Ethyl Ortho Silicate: $\text{Si}(\text{OC}_2\text{H}_5)_4$:以下、TEOSという)を原料として、PECVD(Plasma Enhanced Chemical Vapor Deposition)を用いて形成したシリコン酸化膜、即ちPE-TEOS法にて形成したシリコン酸化膜を $2\mu\text{m}$ 程度形成する必要がある。ハードマスク29の形成方法としては、PE-TEOS法の他にも、オゾンとTEOSを用いて熱CVD法によりシリコン酸化膜を形成する、即ち O_3 -TEOS法、或いは SiH_4 - N_2O 系、 SiH_4 - O_2 系のプラズマ励起CVD法により形成することも可能である。また、基板穿孔工程により、ハードマスク29も薄膜化され、該穿孔工程後には膜厚が $1000 \sim 9000$ 程度に減少することとなる。つまり、本実施の形態では、ハードマスク29の膜厚をオーバーエッチング量よりも大きな値となるように設定した。

20

30

【0047】

ここで、通常用いられるフォトリソマスクでは、ドライエッチングの耐性が乏しいため $70\mu\text{m}$ 孔設に対して $10\mu\text{m}$ 程度のレジストマスクが必要で、厚膜によりコストアップに繋がる上、プロセス的にもアスペクト比が大きくなり、非効率的である。しかしながら、上述のようなハードマスク29によると、膜厚を薄くでき、コスト削減とともに効率的な製造プロセスを実現できる。

【0048】

また、ハードマスク29の開口部H5の開口形状としては、本実施の形態では円形を採用しているが、四角形等の多角形を採用でき、開口プロセスにはPFC系ドライエッチング、又はBHF系ウェットエッチングのいずれかが好適である。

40

【0049】

以上の工程が終了すると、孔部H3よりも孔内側に突出して残されたハードマスク29の突出部29aをエッチングにより除去する。すなわち電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に残されたハードマスク29について、孔部H3よりも突出した突出部29aを選択的に除去し、図4(a)に示すように電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に薄膜の絶縁膜29が残存するようにエッチングする。図4(a)は、電極パッド16の上方並びに開口部H2の内壁に絶縁膜20を残存させた状態を示す断面図である。このようなエッチングを行うことで、孔部H3の開口径よりも大きい開口径を有する形にて、電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に薄層絶縁膜29を形成する(残存させる)ことが可能である。なお、この場合の薄層絶縁

50

膜29の電極パッド16内に相当する部分の開口径は、形成した基板貫通孔の開口径及び形成した電極孔の開口径に対応させる。例えば、薄層絶縁膜29の電極パッド16内に相当する部分の開口径は、基板貫通孔の開口径を30 μm 、電極孔の開口径を60 μm としたとき、その間の値の40 μm ~58 μm (例えば50 μm)程度となる。

【0050】

次に、突出部29a除去用のレジストを除去した後、絶縁膜29上及び孔部H3内に絶縁膜の被覆処理を行う。ここでは、PE-TEOS法にて、シリコン酸化膜を1 μm 程度形成するものとしており、その結果、図4(b)に示すように、基板10、絶縁膜12, 14、電極パッド16に連通した貫通孔11内部に絶縁膜20を形成することができる。

【0051】

続いて、図5(a)に示すように絶縁膜20上にレジスト72を塗布する。この場合、用いるレジスト樹脂は、JSR(株)社製JSR-PFR-IX410粘度18cp(mPa·s)、少なくとも絶縁膜20上を60で35秒間低温アドヒュージョン処理した後に、主回転数2300rpmで大気圧下スピコートした。このときの塗布膜厚は20500であった。

【0052】

このレジスト72は、電極パッド16の上方の一部を開口するために用いるものであり、このレジスト72を塗布した後、プリベーク(90、180sec)を行い、さらに所定のパターンが形成されたマスクを用いて露光処理(300msec)及び現像処理を行う。なお、この場合の現像シーケンスは、110、90secの条件でポストエクスポージャーベークを行い、デベロッピング後、ポストベークを115、120sec行うものである。その結果、レジスト72は、電極パッド16の上方以外の部分並びに孔部H3(貫通孔11)及びその周辺部のみにレジストが残された形状、例えば貫通孔11(周辺部を含む)を中心とした円環形状となる。つまり、貫通孔11を塞ぐ構成のブリッジ状の蓋部72bを備えるようにレジスト72がパターンニングされ、そのレジスト72の電極パッド16に平面的に重畳する位置には開口部72aが形成される。

【0053】

この場合、絶縁膜20に形成された孔(貫通孔11に相当する領域)とは異なる領域、すなわちレジスト72の開口部72aに相当する領域において、少なくとも絶縁膜20を穿孔することが可能となる。しかも、レジスト72が貫通孔11内部に潜入することなく、該貫通孔11の開口面にブリッジ状に跨って形成されているため、貫通孔11内にレジストが混入し難くなり、レジスト塗布後に貫通孔11内を洗浄しなくても、簡便に不純物混入の極めて少ない貫通孔11を確保することができ、貫通孔11内に形成する接続端子24(図1参照)の導通性を高めることが可能となり得る。また、レジスト72を貫通孔11内部に潜入した形にて塗布した場合には、貫通孔11周辺にレジストが塗布されず、該貫通孔11周辺部の絶縁膜20が不意にエッチングされてしまう惧れがあるが、本実施の形態ではそのような不具合も生じ難いものとなる。

【0054】

なお、レジスト72の形成方法としては、スピコート法以外にもローラーコート法等を採用することができる。また、レジストの種類としては、通常の樹脂材料を用いることができるが、本実施の形態では、貫通孔11について深さが70 μm 、孔径が30 μm であるため、粘度10~60cp(mPa·s)程度(具体的には18cp(mPa·s))のものを用いた。また、レジスト72を形成する際に、絶縁膜20を含む基板10に対して加熱処理を行うものとして行うことができる。この場合、加熱により貫通孔11内の気体が膨張するため、レジスト72が貫通孔11内に一層潜入し難くなり、開口面に沿った橋架け構造のレジスト72bを一層確実に形成することが可能となる。

【0055】

レジストのパターンニングが終了すると、ポストベークを行った後、エッチングにより電極パッド16の一部を覆う絶縁膜20を除去することで、図5(b)に示すように電極パッド16の貫通孔11周辺に絶縁壁部13を残存させた状態で、該電極パッド16の上層の

10

20

30

40

50

絶縁膜 20 に接続孔 28 を開口する。図 5 (b) は、電極パッド 16 を覆う絶縁膜 20 の一部を除去した状態を示す断面図である。図 5 (b) に示すように、電極パッド 16 の開口周辺部 (貫通孔周辺部) を除いた領域には接続孔 28 が形成され、電極パッド 16 の一部が露出した状態となる。なお、この接続孔 28 によって、後の工程で形成される接続端子 (電極部) と電極パッド 16 とを接続することができる。

【 0 0 5 6 】

以上の工程が終了すると、図 6 (a) に示すように、絶縁膜 20 の表面、電極パッド 16 の露出部、並びに貫通孔 11 の内面及び底部に、バリア層及びシード層を含む下地膜 22 を形成する工程が行われ、さらに接続端子 24 の充填工程が行われる。図 6 (a) は、下地膜 22 及び接続端子 24 を形成した状態を示す断面図である。図 6 (a) に示すように、下地膜 22 は、絶縁壁部 13 と接続孔 28 内部を十分にカバーして、電極パッド 16 上と絶縁膜 20 上に連続的に形成される。

10

【 0 0 5 7 】

接続端子 24 の形成に際しては、下地膜 22 の形成が終了すると、接続端子を形成するためのレジストを塗布し、次に、電気化学プレーティング (E C P) 法を用いて、貫通孔 11 の内部及び接続孔 28 の内部を含む形にて下地膜 22 上にメッキ処理を施して、貫通孔 11 内部を銅で埋め込むとともに、絶縁壁部 13 を跨いで接続孔 28 内部にも銅を埋め込むものとしている。このようにして、貫通孔 11 とは異なる領域の接続孔 28 において、接続端子 24 と電極パッド 16 とが電氣的に接続され、基板 10 の表面側の外部電極となる接続端子 24 が形成される。

20

【 0 0 5 8 】

この後、レジストを剥離し、バリア層及びシード層の不要部 (図示省略) をエッチングにより除去することにより、図 6 (b) に示すような状態が形成される。

【 0 0 5 9 】

以上の工程を経て製造された半導体装置本体部は、例えば接続端子 24 が基板 10 の裏面に露出するまで基板 10 の裏面が研磨され、露出した接続端子 24 と電氣的に接続された電極が形成される。そして、基板 10 の表面及び裏面に共に電極が形成された半導体装置本体部を積層し、又は、基板 10 の表面及び裏面に共に電極が形成された半導体装置本体部を少なくとも 1 つ含んで積層して半導体装置本体部間を配線することにより高密度実装が可能な三次元実装型 (スタックド型) の半導体装置が製造される。なお、各半導体装置本体部を積層するには、上下に配置された半導体装置本体部の電極を、ハンダ等の口ウ材 19 (図 1 参照) によって電氣的な導通を取りつつ、接合するようによっても良い。

30

【 0 0 6 0 】

なお、各半導体装置本体部を積層するには、上下に配置された半導体装置本体部の電極を、ハンダ等の口ウ材によって電氣的な導通を取りつつ、接合するようによっても良い。また、半導体装置本体部を接合するためだけの接着剤を用いても良い。この接着剤は、液状又はゲル状の接着剤であってもよいし、シート状の接着シートであってもよい。接着剤は、エポキシ樹脂を主な材料とするものであってもよく、絶縁性のものであってもよい。

【 0 0 6 1 】

また、接着剤により半導体装置本体部同士を接合するだけでなく、電氣的な導通を取る場合には、導電性物質を含んだ接着剤を用いても良い。この導電性物質は、例えば、口ウ材、ハンダ等の粒子で構成され、それらが接着材料中に分散している。こうすることで、被接続体同士の接合時に、その粒子が接合の口ウとして働き、接合性をさらに著しく向上することができる。

40

【 0 0 6 2 】

接着剤は、導電粒子が分散された異方性導電接着剤 (A C A)、例えば異方性導電膜 (A C F) や異方性導電ペースト (A C P) であってもよい。異方性導電接着剤は、バインダに導電粒子 (フィラー) が分散されたもので、分散剤が添加される場合もある。異方性導電接着剤のバインダとして、熱硬化性の接着剤が使用されることが多い。その場合には、配線パターンと電極との間に、導電粒子が介在して両者間の電氣的な接続が図られる。

50

【0063】

また、電極間の電気的な接続には、Au-Au、Au-Sn、ハンダ等による金属接合を適用してもよい。例えば、電極にこれらの材料を設け、熱のみ、超音波振動のみ、又は超音波振動及び熱等を印加して両者を接合する。両者が接合されると、振動や熱によって電極に設けられた材料が拡散して金属接合が形成される。

【0064】

以上のように積層されて形成される三次元実装型の半導体装置の最も下（又は最も上）に位置する半導体装置本体部の接続端子24には、外部端子が接続される。この外部端子はハンダ又は金属等で形成することができるが、必ずしもこれらに制限される訳ではなく、導電性の部材で形成すればよい。また、ハンダボールは必ずしも必要ではなく、半導体装置本体部を基板上に実装して、半導体モジュールを構成してもよい。さらに、ハンダボールを形成せず、マザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で電気的な接続をとってもよい。

10

【0065】

以上説明したように、本実施形態による半導体装置の製造方法によれば、パッシベーション膜18を開口し、引き続き電極パッド16を開口して電極パッド16に開口部H2を形成した後、パッシベーション膜18の上面及び開口部内壁、さらには電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に形成され、その開口底部に自身の開口部H5を有してなるハードマスク29をマスクとして基板10を穿孔している。このため、基板10から電極パッド16に至る積層方向において貫通孔内面に段差部を形成することが可能となり、その貫通孔内部に形成する接続端子24の抜け防止に寄与することが可能となる。

20

【0066】

また、上述したように、絶縁膜20に接続孔28を形成するに際して、貫通孔11を塞ぐ構成のブリッジ状の蓋部72bを備えるようにレジスト72をパターンングしたため、レジスト72が貫通孔11内部に潜入することが防止され、レジスト塗布後に貫通孔11内を洗浄しなくても、簡便に不純物混入の極めて少ない貫通孔11を確保することができる。その結果、貫通孔11内に形成する接続端子24（図1参照）の導通性を高めることが可能となり得る。

【0067】

また、本実施形態によれば、半導体素子が形成されていない領域に配設された電極パッド16に開口部H2（貫通孔11）を穿孔して接続端子24を形成しているため、電極パッド16の形成位置とは異なる位置に接続端子24を形成した場合に比べて、半導体装置の面積を有効に利用することができ、その結果として半導体装置の設計の自由度が向上する。ここで、接続端子24を電極パッド16の形成位置とは異なる位置に形成した場合には、接続端子24の大きさが制限されることがあったが、本実施形態では接続端子24の大きさを電極パッド16と同程度の大きさにすることができるため、これにより他の半導体装置と接続される面積が大になり、その結果として半導体装置の信頼性・信頼性を向上させることができる。

30

【0068】

なお、本実施形態では接続端子24を構成する導電部材として銅を用いており、銅を充填させる際にCuダマシン法を採用することができる。すなわち、孔部H3に銅をCVD法、電界メッキ法等により充填させ、CMPにより表面の表面の不要な部分を研磨除去する方法により、接続端子24を形成することができる。勿論、接続端子24は銅以外のアルミニウム等を主体として構成することも可能である。

40

【0069】

（第2の実施の形態）

次に、本発明の半導体装置の第2の実施の形態について説明する。図7は第2の実施の形態の半導体装置について、その要部を示す部分断面模式図であって、第1の実施の形態の図1に相当する図である。第2の実施の形態の半導体装置200は、シリコン基板10上

50

に絶縁膜 12 及び層間絶縁膜 14 を介して電極パッド 16 が積層された構成の半導体装置本体部 1 を複数積層してなるものであって、第 1 の実施の形態と大きく異なる点は、シリコン基板 10、絶縁膜 12、層間絶縁膜 14 及び電極パッド 16 を貫通する貫通孔 11 が面一に形成されている点である。したがって、図 1 と同じ構成のものについては、該図 1 と同じ符号を付し説明を省略する。

【0070】

各半導体装置本体部 2 は、シリコン基板 10 と電極パッド 16 の積層方向に面一で貫通する貫通孔 11 を具備してなり、該貫通孔 11 内部には導電部材からなる接続端子 24 が挿通されている。このような本実施の形態の半導体装置 200 によると、貫通孔 11 の内面が面一で段差の生じない状態で形成されているため、当該貫通孔 11 内面へのメッキ処理等が容易となり、段差がある場合に比して均一な薄膜を形成することが可能となる。

10

【0071】

また、本実施の形態においても、貫通孔 11 内部に挿通された接続端子 24 により半導体装置本体部 2 の表裏間で導通をとることができ、この表面及び/又は裏面に別の半導体装置本体部を積層することが可能なため、半導体装置本体部 2 を三次元実装させることが可能となる。そして、貫通孔 11 を電極パッド 16 内部に設けたため、シリコン基板 10 上の電極パッド 16 が形成されていない領域に貫通孔を形成する場合に比して、省スペース化が可能となり、当該半導体装置の高機能化ないし小型化を実現することが可能となり得る。

【0072】

また、このような本実施の形態の半導体装置 200 において接続端子 24 と電極パッド 16 との接続を、貫通孔 11 内部の接続端子 24 から電極パッド 16 に対して直接行うのではなく、貫通孔 11 の内面に沿って電極パッド 16 から突出した構成の絶縁壁部 13 を跨ぐ形にて、電極パッド 16 と平面的に接続するものとしたため、接続端子 24 は絶縁壁部 13 上を超えて電極パッド 16 と接続することとなり、つまり接続端子 24 が絶縁壁部 13 と電極パッド 16 との双方に接面した構成となる。この場合、接続端子 24 と絶縁壁部 13 及び電極パッド 16 との接面には少なくとも絶縁壁部 13 の厚さ分だけの段差が生じ、段差なしに面一で接続端子 24 と絶縁壁部 13 及び電極パッド 16 とを密着させた場合に比して、その密着力が高くなり、その結果、接続端子 24 と電極パッド 16 との間の電気的接続状態を安定化することが可能となる。

20

30

【0073】

なお、図 7 に示した半導体装置 200 の製造方法については、図 2 (b) から図 2 (c) に示したような、電極パッド 16 及び絶縁膜 12, 14 に対する開口工程と、基板 10 に対する穿孔工程とを同一工程にて行うのが良い。これにより、各層の開口径が略同一となり、段差のない、若しくは段差の少ない貫通孔 11 を形成することができる。なお、このような方法によっても若干の段差が生じた場合には、その段差の部分をエッチングにより除去するものとしても良い。

【0074】

上記のような基板 10 に対する穿孔工程を行った後は、図 4 (b) に示すような絶縁膜 20、図 5 に示すような接続孔 28 及び下地膜 22 を形成し、接続端子 24 を充填することで、貫通孔 11 に段差のない半導体装置本体部 2 を得ることができる。勿論、この場合も図 5 (a) に示したようなブリッジ状の蓋部 72b を備えたレジスト 72 により接続孔 28 を形成するのが良い。

40

【0075】

(第 3 の実施の形態)

図 9 は、本発明の半導体デバイスの一実施形態たる回路基板の概略構成を示す斜視図である。図 9 に示すように、本実施の形態の半導体デバイス 102 は、上記半導体装置 100 (200, 300) が回路基板 101 上に搭載された構成を具備している。回路基板 101 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 101 には例えば銅等からなる配線パターンが所望の回路となるように形成されており、

50

それらの配線パターンと半導体装置 100 の配線パターンとが機械的に接続され、又は、上述した異方性導電膜を用いて電氣的な導通がとられている。

【0076】

また、本実施形態の半導体装置を具備した半導体デバイスを有する電子機器として、図 10 にはノート型パーソナルコンピュータ 201 が示されている。図 9 に示した半導体デバイスは各電子機器の筐体内部に配置される。

【0077】

また、電子機器は、上記のノート型コンピュータ及び携帯電話に限られる訳ではなく、種々の電子機器に適用することができる。例えば、液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、ページャ、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS 端末、タッチパネルを備えた装置等の電子機器に適用することが可能である。

10

【図面の簡単な説明】

【図 1】第 1 の実施の形態の半導体装置について概略構成を示す断面模式図。

【図 2】図 1 の半導体装置の一製造工程を示す断面模式図。

【図 3】図 2 に続く、半導体装置の一製造工程を示す断面模式図。

【図 4】図 3 に続く、半導体装置の一製造工程を示す断面模式図。

【図 5】図 4 に続く、半導体装置の一製造工程を示す断面模式図。

【図 6】図 5 に続く、半導体装置の一製造工程を示す断面模式図。

20

【図 7】第 2 の実施の形態の半導体装置について概略構成を示す断面模式図。

【図 8】半導体装置の一変形例について概略構成を示す断面模式図。

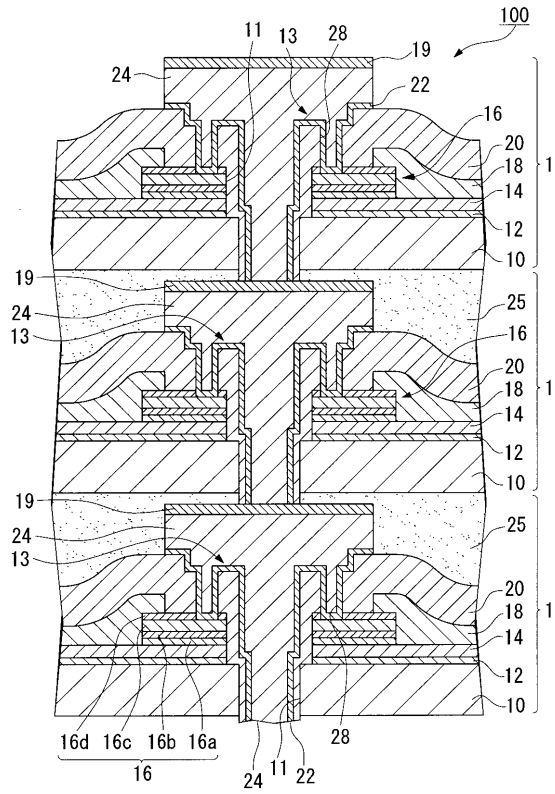
【図 9】第 3 の実施の形態の半導体デバイスについて概略構成を示す斜視図。

【図 10】電子機器の一実施の形態について概略構成を示す斜視図。

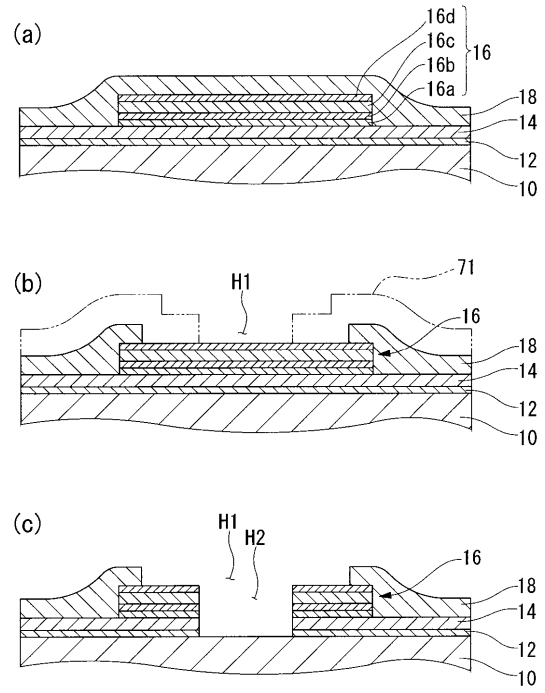
【符号の説明】

1, 2 ... 半導体装置本体部、10 ... シリコン基板（基板）、11 ... 貫通孔（開口部）、13 ... 絶縁壁部（絶縁部材）、16 ... 電極パッド（電極）、18 ... パッシベーション膜（絶縁膜）、20 ... 絶縁膜、24 ... 接続端子（導電部材）、72 ... レジスト、100, 200、300 ... 半導体装置、102 ... 半導体デバイス、201 ... 電子機器

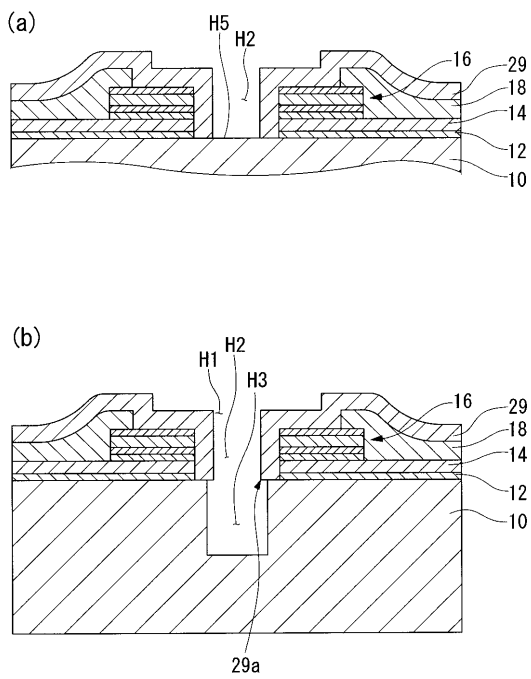
【 図 1 】



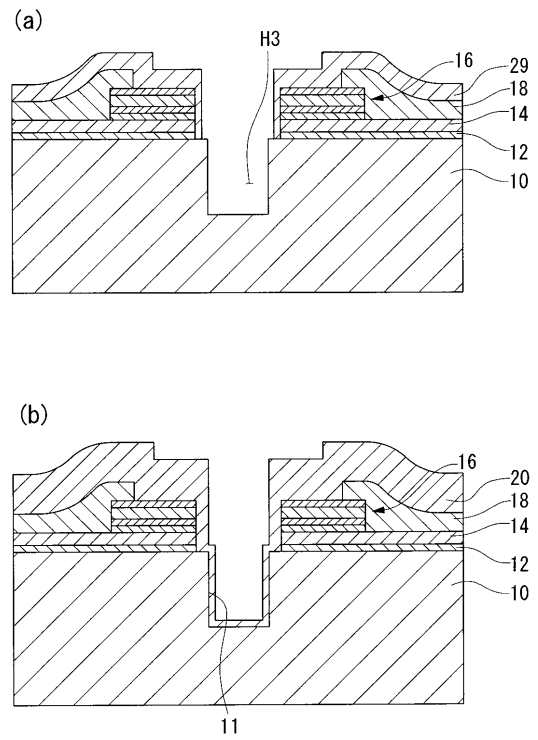
【 図 2 】



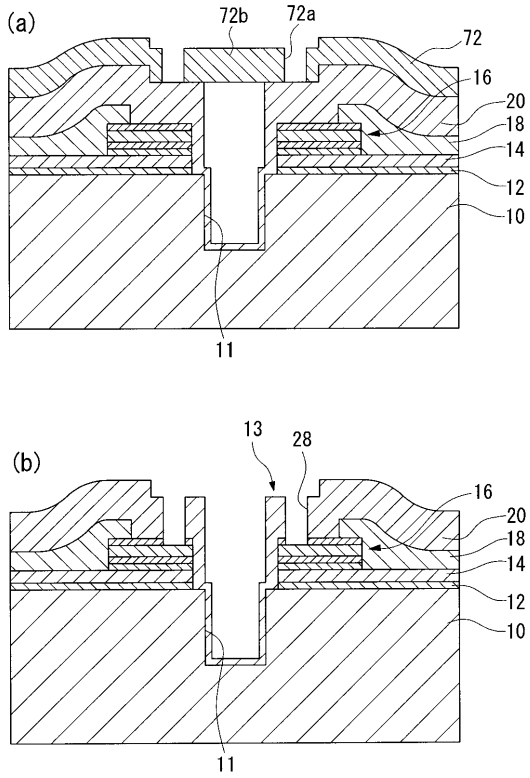
【 図 3 】



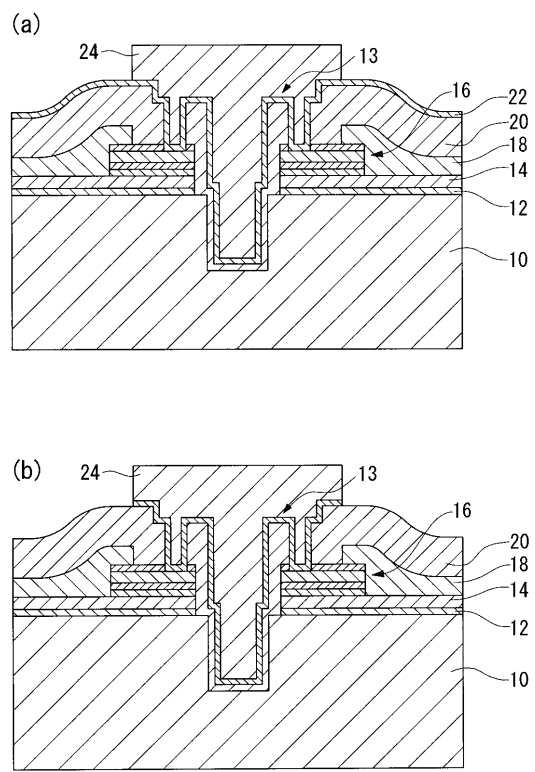
【 図 4 】



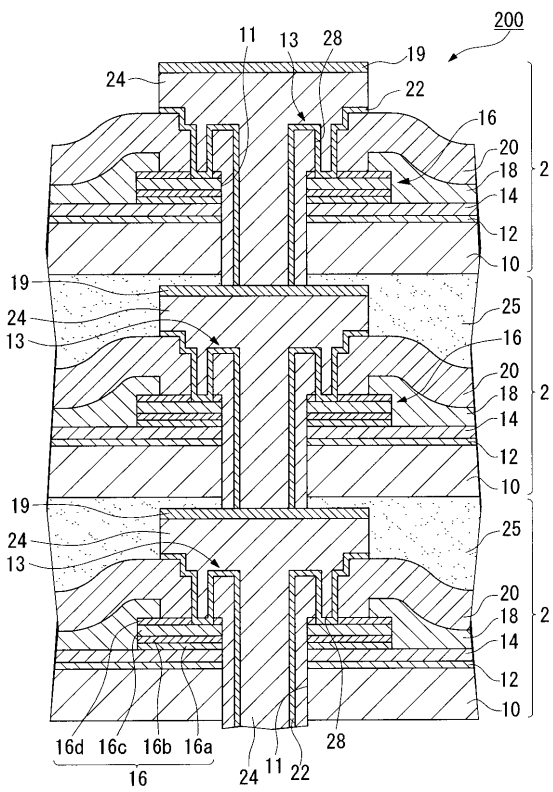
【 図 5 】



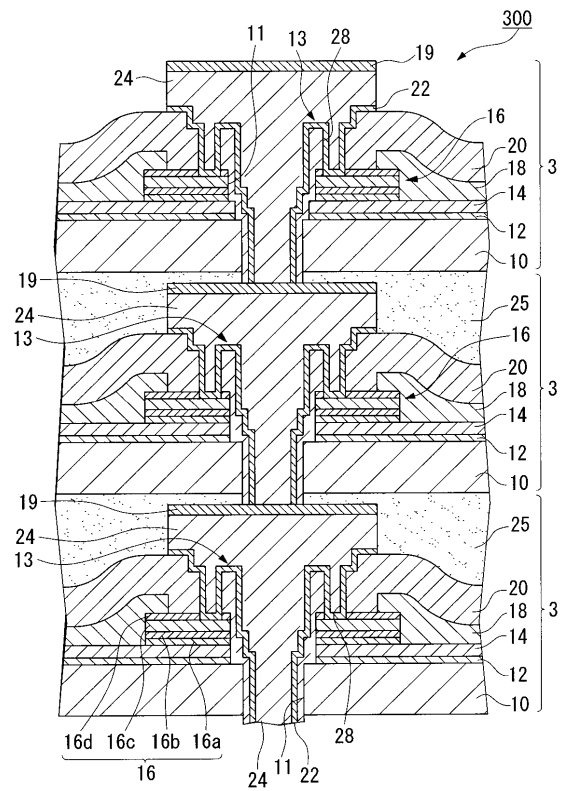
【 図 6 】



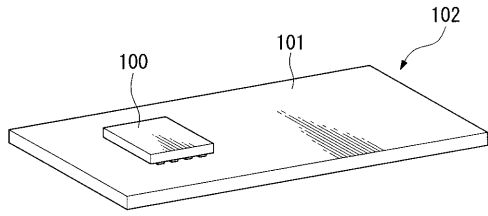
【 図 7 】



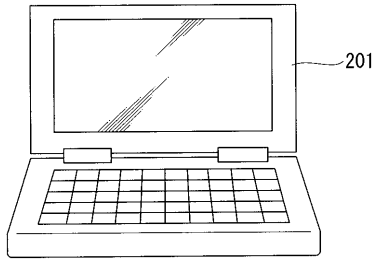
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 L 25/18

Fターム(参考) 5F033 HH09 HH11 HH18 HH33 JJ08 JJ11 MM01 MM08 MM30 NN05
NN07 PP06 PP15 PP26 PP27 QQ07 QQ08 QQ09 QQ10 QQ11
QQ13 QQ19 QQ21 QQ27 QQ28 QQ37 QQ48 RR04 RR06 RR15
RR22 SS04 SS15 TT04 TT07 VV07