



(21) 申請案號：104122489

(22) 申請日：中華民國 104 (2015) 年 07 月 13 日

(51) Int. Cl. : *H01L23/48 (2006.01)*

(30) 優先權：2015/03/16 美國 14/658,968

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：黃震麟 HUANG, CHENG LIN (TW)；張容華 CHANG, JUNG HUA (TW)；高志  
杰 GAU, JY JIE (TW)；林俊成 LIN, JING CHENG (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：12 項 圖式數：30 共 52 頁

(54) 名稱

封裝體

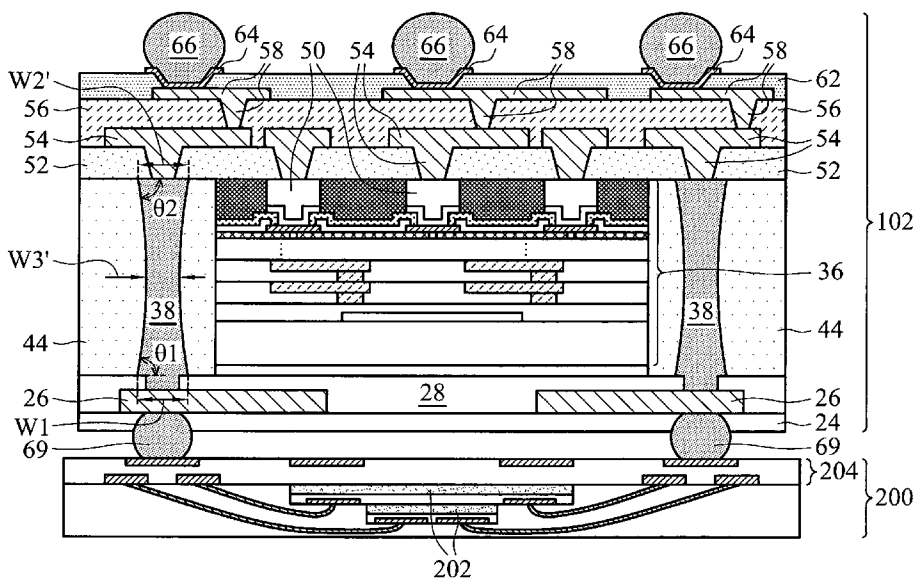
PACKAGE

(57) 摘要

封裝體包括：裝置晶粒，具有沙漏狀的輪廓之穿孔，以及成型材料使裝置晶粒與穿孔成型於其中，其中成型材料的上表面與裝置晶粒的上表面實質上等高。介電層與成型材料與裝置晶粒重疊。多個重佈線路，延伸至介電層中以電性耦接至裝置晶粒與穿孔。

A package includes a device die, a through-via having a sand timer profile, and a molding material molding the device die and the through-via therein, wherein a top surface of the molding material is substantially level with a top surface of the device die. A dielectric layer overlaps the molding material and the device die. A plurality of redistribution lines (RDLs) extends into the dielectric layer to electrically couple to the device die and the through-via.

指定代表圖：



第 17 圖

符號簡單說明：

01 . . . 底部斜角

02 . . . 頂部斜角

W1 . . . 底部寬度

W2' . . . 頂部寬度

W3' . . . 最小寬度

24、28、52、56、

62 . . . 介電層

26、54、58 . . . 重  
佈線路

36、202 . . . 裝置晶  
粒

38 . . . 穿孔

44 . . . 成型材料

50 . . . 金屬柱

64 . . . 凸塊下金屬  
化物

66 . . . 電連接物

69 . . . 焊料區

102、200 . . . 封裝  
體

204 . . . 封裝基板

## 發明摘要

※ 申請案號： 104122489

※ 申請日： 104. 7. 13

※IPC 分類： H01L 23/48 (2006.01)

**【發明名稱】** 封裝體

Package

**【中文】**

封裝體包括：裝置晶粒，具有沙漏狀的輪廓之穿孔，以及成型材料使裝置晶粒與穿孔成型於其中，其中成型材料的上表面與裝置晶粒的上表面實質上等高。介電層與成型材料與裝置晶粒重疊。多個重佈線路，延伸至介電層中以電性耦接至裝置晶粒與穿孔。

**【英文】**

A package includes a device die, a through-via having a sand timer profile, and a molding material molding the device die and the through-via therein, wherein a top surface of the molding material is substantially level with a top surface of the device die. A dielectric layer overlaps the molding material and the device die. A plurality of redistribution lines (RDLs) extends into the dielectric layer to electrically couple to the device die and the through-via.

**【代表圖】**

**【本案指定代表圖】**：第（17）圖。

**【本代表圖之符號簡單說明】**：

- 01 底部斜角
- 02 頂部斜角
- W1 底部寬度
- W2' 頂部寬度
- W3' 最小寬度
- 24、28、52、56、62 介電層
- 26、54、58 重佈線路
- 36、202 裝置晶粒
- 38 穿孔
- 44 成型材料
- 50 金屬柱
- 64 凸塊下金屬化物
- 66 電連接物
- 69 焊料區
- 102、200 封裝體
- 204 封裝基板

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 封裝體

Package

**【技術領域】**

**【0001】** 本發明係關於封裝體，更特別關於其穿孔輪廓。

**【先前技術】**

**【0002】** 隨著半導體技術改進，半導體晶片/晶粒變得越來越小。與此同時，越來越多的功能需整合至半導體晶粒中。綜上所述，半導體晶粒需增加更多數目的I/O墊封裝至更小的面積中，且I/O墊的密度快速增加。如此一來，半導體晶粒的封裝難度提高，而不利於封裝良率。

**【0003】** 習知封裝技術可分為兩大類。在第一類封裝體中，在切割晶圓形成晶粒前先封裝晶圓上的晶粒。這種封裝技術具有某些優點，比如較大生產量與較低成本。此外，上述技術需要的底填物或成型化合物較少，但亦具有其他缺點。由於晶粒尺寸越來越小，而個別的封裝體只能為扇入型封裝體，其中每一晶粒之I/O墊將被限制在直接位於個別晶粒表面上的區域。由於晶粒面積有限，I/O墊數目亦受限於I/O墊的間距限制。若I/O墊的間距縮小，可能造成焊料橋接。此外，為了符合焊球尺寸固定的需求，焊料球需具有一定的尺寸，此亦限制封體於晶粒表面上的焊料球數目。

**【0004】** 在另一類的封裝體中，先切割晶圓形成晶粒後，再封裝晶粒。這種封裝技術的優點在於可能形成扇外型封裝體，即晶粒上的I/O墊可重新分佈至比晶粒面積更大的區域，

使封裝體於晶粒表面上的I/O墊數目更多。上述封裝技術的另一優點在於封裝「良品晶粒」且拋棄缺陷晶粒，而不會浪費成本與工作於缺陷晶粒上。

### 【發明內容】

【0005】 本發明一實施例提供之封裝體，包括：裝置晶粒；穿孔，其中穿孔具有沙漏狀的輪廓；成型材料，使裝置晶粒與穿孔成型於其中，其中成型材料的上表面與裝置晶粒的上表面實質上等高；介電層，與成型材料與裝置晶粒重疊；以及多個重佈線路，延伸至介電層中以電性耦接至裝置晶粒與穿孔。

【0006】 本發明一實施例提供之封裝體，包括：裝置晶粒；穿孔，包括：穿孔主體；以及穿孔蓋，位於穿孔主體上並連接至穿孔主體，其中穿孔蓋比穿孔主體寬，且穿孔蓋之下表面與穿孔主體之上表面共平面；成型材料，使裝置晶粒與穿孔成型於其中，其中成型材料的上表面與裝置晶粒的上表面實質上等高；介電層，與成型材料及裝置晶粒重疊；以及多個重佈線路，延伸至介電層中以電性耦接至裝置晶粒與穿孔。

【0007】 本發明一實施例提供之封裝體，包括：裝置晶粒；穿孔，包括：較下部份，其具有第一斜角的第一側壁；以及較上部份連接至較下部份，較上部份具有第二斜角的第二側壁，且第二斜角小於第一斜角；成型材料，使裝置晶粒與穿孔成型於其中，其中成型材料的上表面與裝置晶粒的上表面實質上等高；介電層，與成型材料與裝置晶粒重疊；以及多個重佈線路，延伸至介電層中以電性耦接至裝置晶粒與穿孔。

### 【圖式簡單說明】

**【0008】**

第1至17圖係某些實施例中，裝置於封裝體的中間階段之剖視圖，且個別穿孔具有沙漏狀的輪廓。

第18至21圖係某些實施例中，裝置於封裝體的中間階段之剖視圖，且個別穿孔具有蘑菇狀的輪廓。

第22至29圖係某些實施例中，裝置於封裝體的中間階段之剖視圖，且個別穿孔具有錐形的較上部份。

第30圖係某些實施例中，形成封裝體的流程圖。

**【實施方式】**

**【0009】** 下述內容提供的不同實施例可實施本發明的不同結構。特定構件與排列的實施例係用以簡化本發明而非侷限本發明。舉例來說，形成第一構件於第二構件上的敘述包含兩者直接接觸，或兩者之間隔有其他額外構件而非直接接觸。此外，本發明之多種實例將重複標號及/或符號以簡化並清楚說明。不同實施例中具有相同標號的元件並不必然具有相同的對應關係及/或排列。

**【0010】** 此外，空間性的相對用語如「下方」、「其下」、「較下方」、「上方」、「較上方」、或類似用語可用於簡化說明某一元件與另一元件在圖示中的相對關係。空間性的相對用語可延伸至以其他方向使用之元件，而非侷限於圖示方向。元件亦可轉動90°或其他角度，因此方向性用語僅用以說明圖示中的方向。

**【0011】** 下述多種實施例提供封裝體與其形成方法，說明形成封裝體的中間階段，並討論實施例的變化。在多種實施例

中，相同標號係用以標示類似單元。

**【0012】** 第1至17圖係某些實施例中，封裝體於形成方法的中間階段之剖視圖。第1至17圖之步驟亦說明於第30圖中的流程圖300。在後續說明中，第1至17圖的製程步驟將依據第30圖中的製程步驟說明。

**【0013】** 在第1圖中，載板20具有離形程22位於其上。載板20可為玻璃載板、陶瓷載板、或類似物。載板20可具有圓形的上視形狀，且可具有矽晶圓的尺寸。舉例來說，載板20可具有8吋直徑、12吋直徑、或類似尺寸。離形層22之組成可為高分子為主的材料(比如光至熱轉換(LTHC)材料)，其可與載板20一同自後續形成於離形層22上的結構脫離。在某些實施例中，離形層22之組成為環氧化合物為主的熱離形材料。在其他實施例中，離形程22之組成為紫外線(UV)膠。離形層22可為點膠與硬化之液體。在其他實施例中，離形層22為壓合於載體20上的壓合膜。離形層22之上表面具有高度平坦性。

**【0014】** 介電層24係形成於離形層22上。在本發明某些實施例中，介電層24之組成為高分子，其可為光敏材料如聚苯并噁唑(PBO)、聚亞醯胺、或類似物，且可採用光微影製程輕易圖案化。在其他實施例中，介電層24之組成為氮化物如氮化矽、氧化物如氧化矽、磷矽酸鹽玻璃(PSG)、硼矽酸鹽玻璃(BSG)、摻雜硼之磷矽酸鹽玻璃(BPSG)、或類似物。

**【0015】** 如第2圖所示，重佈線路(RDLs) 26係形成於介電層24上。上述步驟亦圖示於第30圖中流程圖之步驟310中。重佈線路26亦稱作背面重佈線路，因為其位於裝置晶粒36之背面上



(見第8圖)。重佈線路26的形成方法可包含形成晶種層(未圖示)於介電層24上，形成圖案化遮罩(未圖示)如光阻於晶種層上，以及將金屬鍍製於露出的晶種層上。接著移除圖案化遮罩，再移除之前被圖案化遮罩覆蓋的晶種層，即保留第2圖中的重佈線路26。在某些實施例中，晶種層包含鈦層，以及鈦層上的銅層。舉例來說，晶種層之形成方法亦可為物理氣相沉積(PVD)。舉例來說，上述鍍製金屬的方法可為無電鍍製法。

**【0016】** 如第3圖所示，介電層28係形成於重佈線路26上。介電層28之下表面接觸重佈線路26的上表面與介電層24。在本發明某些實施例中，介電層28之組成為高分子，其可為光敏高分子如PBO、聚醯亞胺、或類似物。在其他實施例中，介電層28的組成為氮化物如氮化矽、氧化物如氧化矽、PSG、BSG、BPSG、或類似物。接著圖案化介電層28以形成開口29於其中，並經由介電層28中的開口29露出重佈線路26。

**【0017】** 第4至7圖顯示金屬樁的形成方法。在下述內容中，金屬樁又稱作穿孔38，因為金屬樁貫穿後續形成的成型材料。上述步驟亦圖示於第30圖中流程圖之步驟312。如第4圖所示，可經由PVD形成金屬晶種層30。在某些實施例中，金屬晶種層30可包含銅，亦可包含鈦層與鈦層上的銅層。光阻32係形成於金屬晶種層30上。在某些實施例中，光阻32壓合於金屬晶種層30上的乾膜。在其他實施例中，光阻32的形成方法為旋轉塗佈法。

**【0018】** 接著在光阻32上以微影光罩(未圖示)進行曝光，且微影光罩包含使光得以穿過的透明部份與阻擋光的不透明部

份。在顯影後，形成開口34於光阻32中如第5圖所示。開口34露出金屬晶種層30。開口34具有沙漏狀的輪廓，其底部寬度 $W1$ 與頂部寬度 $W2$ 大於中間寬度 $W3$ 。此外，開口34之最小寬度可靠近開口34的中間高度。

**【0019】** 光阻32之材料可讓開口34具有沙漏狀的輪廓。在某些實施例中，光阻包含TOK P50系列的光阻(購自東京應化工業美國公司)。在某些實施例中，TOK P50可包含聚丙烯酸酯、交聯劑、與光敏起始劑。藉由採用合適的光阻材料與調整曝光及顯影的製程條件，可形成沙漏狀的輪廓。

**【0020】** 接著如第6圖所示，電鍍形成穿孔38。控制電鍍速率，可確保形成的穿孔38與開口34之形狀一致。在後續步驟中，移除光阻32以露出其下方部份的金屬晶種層30。接著以蝕刻步驟移除露出之部份金屬晶種層30。最後保留的穿孔38如第7圖所示。在下述內容中，保留部份之金屬晶種層30亦稱作部份的穿孔38。

**【0021】** 穿孔38具有柱狀形狀，其中間部份窄於兩端之頂部與底部。值得注意的是，第7圖顯示穿孔38之垂直平面之一的形狀。若由任何其他垂直平面來看，穿孔38可具有沙漏狀的輪廓。穿孔38之上視圖可為圓形、矩形、方形、六角形、或類似形狀。

**【0022】** 第8圖顯示放置裝置晶粒36。上述步驟亦圖示於第30圖中流程圖之步驟314。可以理解的是，雖然圖式中僅有單一裝置晶粒36，但此步驟可將與裝置晶粒36相同之多個裝置晶粒置於介電層28上。裝置晶粒36可經由晶粒貼合膜(DAF)45黏

合至介電層 28，而晶粒貼合膜 45 可為黏著膜。裝置晶粒 36 可為邏輯裝置晶粒，其包含邏輯電晶體於其中。在某些實施例中，裝置晶粒 36 設計以用於行動應用，其可為電源管理積體電路 (PMIC) 晶粒、收發器 (TRX) 晶粒、或類似物。

**【0023】** 在某些實施例中，金屬柱 50 (如銅柱) 可預先形成作為裝置晶粒 36 的最頂部份，且金屬柱 50 電性耦接至積體電路裝置如裝置晶粒 36 之收發器。在本發明某些實施例中，高分子填入相鄰的金屬柱 50 之間的間隙，以形成頂介電層 47。在某些實施例中，頂介電層 47 之組成可為 PBO。在某些實施例中，頂介電層 46 的上表面高於金屬柱 50 的上表面。

**【0024】** 接著如第 9 圖所示，成型材料 44 係成型於裝置晶粒 36 上。上述步驟亦圖示於第 30 圖中流程圖之步驟 316。成型材料 44 填入相鄰的穿孔 38 之間的間隙，與穿孔 38 及裝置晶粒 36 之間的間隙。成型材料 44 可包含成型化合物、成型底填物、環氧化合物、或樹脂。成型材料 44 之上表面可高於穿孔 38 與金屬柱 50 之頂端。

**【0025】** 接著如第 10 圖所示，進行平坦化步驟如化學機械研磨 (CMP) 步驟或研磨步驟以薄化成型材料 44，直到露出穿孔 38 與金屬柱 50。上述步驟亦圖示於第 30 圖中流程圖之步驟 318。藉由平坦化步驟，金屬柱 38 之頂端與金屬柱 50 的上表面實質上等高 (共平面)，且成型材料 44 之上表面實質上共平面。

**【0026】** 第 11 至 15 圖顯示正面重佈線路的形成方法。上述步驟亦圖示於第 30 圖中流程圖之步驟 320。如第 11 圖所示，形成介電層 52。在某些實施例中，介電層 52 之組成為高分子如

PBO、聚醯亞胺、或類似物。在其他實施例中，介電層52之組成爲氮化矽、氧化矽、或類似物。開口53係形成於介電層52中，以露出穿孔38與金屬柱50。開口53的形成方法可爲光微影製程。

**【0027】** 接著如第12圖所示，形成重佈線路(RDLs) 54以連接至金屬柱50與穿孔38。重佈線路54亦可內連線金屬柱50與穿孔38。重佈線路54包含金屬線路於介電層52上，以及通孔延伸至介電層52中的開口中，以電性連接至穿孔38與金屬柱50。重佈線路54之形成方法爲電鍍製程，其中每一重佈線路54包含晶種層(未圖示)與電鍍之金屬化材料於晶種層上。晶種層與電鍍材料之組成可爲相同或不同材料。重佈線路54可包含金屬或金屬合金，其包含鋁、銅、鎢、或上述之合金。重佈線路54之組成爲非焊料材料。重佈線路54的通孔部份可物理接觸金屬柱50的上表面。

**【0028】** 如第13圖所示，介電層56係形成於重佈線路54與介電層52上。介電層56之組成可爲高分子，其材料選擇可與介電層52之材料選擇類似。舉例來說，介電層56可包含PBO、聚醯亞胺、BCB、或類似物。在另一實施例中，介電層56可包含非有機介電材料如氧化矽、氮化矽、碳化矽、氮氧化矽、或類似物。開口59亦形成於介電層56中，以露出重佈線路54。開口59之形成方法可包含光微影製程。

**【0029】** 如第14圖所示，形成重佈線路58以電性連接至重佈線路54。重佈線路58之形成方法與材料組成可與重佈線路54類似。由於重佈線路58與54位於裝置晶粒36的正面上，因此亦

可稱作正面重佈線路。

**【0030】** 如第15圖所示，形成額外的介電層62以覆蓋重佈線路58與介電層56，且介電層62可為高分子層。介電層62採用之高分子可與介電層52及56所用之高分子相同。接著形成開口63於介電層62中以露出重佈線路58的金屬墊部份。

**【0031】** 如第16圖所示之某些實施例中，形成凸塊下金屬化物(UBM)64與電連接物66。上述步驟亦圖示於第30圖中流程圖之步驟322。凸塊下金屬化物64之形成方法可包含沉積與圖案化。電連接物66之形成方法可包含將焊料球置於凸塊下金屬化物64之露出部份上，接著使焊料球再流動。在其他實施例中，電連接物66之形成方法包含電鍍步驟以形成焊料區於重佈線路58上，接著使焊料區再流動。電連接物66亦可包含金屬柱(或金屬柱與焊料蓋)，且其形成方法亦可為電鍍。在下述內容中，裝置晶粒36、穿孔38、成型材料44、與對應之重佈線路及介電層結合的結構，可稱作封裝體100。上述封裝體100可為具有圓形上視形狀的複合晶圓。

**【0032】** 接著自載板20分離封裝體100。在分離步驟中，膠帶(未圖示)可黏結至介電層及電性連接物66上。在後續步驟中，可在離型層22上照射光如紫外光或雷射以分解離型層22，即可自封裝體100移除載板20與離型層22。接著對封裝體100進行晶粒切割製程，使封裝體100切割成多個封裝體。上述切割後的每一封裝體各自包含與裝置晶粒36相同的晶粒，且穿孔38圍繞晶粒。上述步驟亦圖示於第30圖中流程圖之步驟324。上述步驟形成之封裝體102如第17圖所示。

【0033】 如第 17 圖所示，接合封裝體 102 與另一封裝體 200。上述步驟亦圖示於第 30 圖中流程圖之步驟 326。在本發明某些實施例中，上述接合步驟經由焊料區 69，使重佈線路 26 的金屬墊部份連接至封裝體 200 中的金屬墊。在某些實施例中，封裝體 200 包含裝置晶粒 202，其可為記憶晶粒如靜態隨機存取記憶體 (SRAM) 晶粒、動態隨機存取記憶體 (DRAM) 晶粒、或類似物。在某些實施例中，記憶晶粒亦可接合至封裝基板 204。

【0034】 在第 17 圖中的封裝結構中，穿孔 38 具有頂部寬度  $W2'$ 、底部寬度  $W1$ 、以及小於頂部寬度  $W2'$  與底部寬度  $W1$  之最小寬度  $W3'$ 。最小寬度  $W3'$  可位於靠近穿孔 38 之中間高度處。在某些實施例中，底部寬度  $W1$  與最小寬度  $W3'$  的寬度差距  $(W1-W3')$  小於約  $50\mu\text{m}$  且可大於約  $5\mu\text{m}$ 。頂部寬度  $W2'$  與最小寬度  $W3'$  的寬度差距  $(W2'-W3')$  可小於約  $50\mu\text{m}$  且可大於約  $5\mu\text{m}$ 。在本發明某些實施例中，穿孔 38 之寬度係由頂部寬度  $W2'$  逐漸連續縮小至最小寬度  $W3'$ ，再由最小寬度  $W3'$  逐漸連續增加至底部寬度  $W1$ 。在本發明某些實施例中，穿孔 38 之側壁的底部斜角  $\theta 1$  與頂部斜角  $\theta 2$  可小於約 88 度。

【0035】 藉由沙漏狀的輪廓，穿孔 38 之頂部面積大於垂直的穿孔之頂部面積。如此一來，亦可增加穿孔 38 與上方之重佈線路 54 與介電層 52 之間的界面面積，並隨之降低施加於界面上的應力。如此一來可減少介電層 52 碎裂，以及介電層 52 與下方結構剝離等問題。

【0036】 第 18 至 21 圖係其他實施例中，封裝體於形成方法的中間階段之剖視圖。除非特別說明，否則這些實施例中構件

的形成方法與材料組成，均與第1至17圖之實施例中類似構件相同，並以相同標號標示。第18至21圖(與第22至29圖)中構件的形成方法與材料組成的細節，可參考第1至17圖中的實施例。

【0037】 這些實施例的起始步驟與第1至5圖所示之實施例基本上相同。接著如第18圖所示，電鍍形成穿孔38，直到穿孔38的上表面與光阻32之上表面等高。上述電鍍更持續進行過電鍍製程，直到穿孔38高於光阻32的上表面。在過電鍍製程中，水平地成長穿孔38以形成穿孔蓋38A，其為穿孔38的頂部。上述步驟形成的穿孔38具有蘑菇狀輪廓，其穿孔蓋38A的寬度兀然地大於其下方之穿孔38的主體部份38B的寬度。

【0038】 接著移除光阻32，並蝕刻移除原本光阻層32覆蓋的部份金屬晶種層30，以形成第19圖所述之結構。接著將裝置晶粒36放置於介電層28上，如第20圖所示。後續製程步驟與第9至17圖之製程步驟基板上相同，以形成第21圖所示之結構。

【0039】 在進行與第10圖類似之平坦化製程中，可移除穿孔38的頂部，並保留穿孔38的底部。最後形成之穿孔蓋38A具有平坦的上表面，其與成型材料44及金屬柱50的上表面等高。如第21圖所示，穿孔38包含穿孔蓋38A與下方之主體部份38B。在某些實施例中，主體部份38B具有與第17圖之穿孔38類似的沙漏狀輪廓。沙漏狀輪廓的細節與第17圖類似而不贅述於此。主體部份38B亦可具有其他輪廓。舉例來說，主體部份38B可具有平直的側壁38'，如同圖示之穿孔38之一者。舉例來說，平直的側壁38'可為垂直或實質上垂直，其斜角介於89度至約91度之間。

【0040】 主體部份38B具有頂部寬度 $W2'$ 。穿孔蓋38A具有底部寬度 $W4$ ，其中頂部寬度 $W2'$ 至底部寬度 $W4$ 的轉變可為突兀地或逐漸地。底部寬度 $W4$ 大於頂部寬度 $W2'$ ，且大於下方之主體部份38B任一處的所有寬度。在某些實施例中，底部寬度 $W4$ 介於約 $40\mu\text{m}$ 至約 $140\mu\text{m}$ 之間。在某些實施例中，底部寬度 $W4$ 與頂部寬度 $W2'$ 之間的差距 $(W4-W2')$ 可小於約 $50\mu\text{m}$ 且可大於約 $5\mu\text{m}$ 。在某些實施例中，底部寬度 $W4$ 與頂部寬度 $W2'$ 之間的差距 $(W4-W2')$ 介於約 $10\mu\text{m}$ 至約 $30\mu\text{m}$ 之間。穿孔蓋38A的厚度 $T1$ 介於約 $5\mu\text{m}$ 至約 $10\mu\text{m}$ 之間。

【0041】 在本發明某些實施例中，穿孔蓋38A具有平坦的上表面38T、平坦的下表面38BT、以及連接上表面38T與下表面38BT之弧狀的側壁38S。

【0042】 形成穿孔蓋38A的優點在於增加穿孔38的頂部面積。如此一來，可增加覆蓋窗口，即使形成的重佈線路54對不準，重佈線路54之通孔部份依然可著陸於穿孔38上。這些實施例亦可用於小間距的穿孔，其中細瘦的穿孔38容易對不準重佈線路54之通孔部份。這些實施例的其他優點包括：穿孔38與上方之重佈線路54及介電層52之間的界面面積亦增加，因此可降低應力，並減少穿孔38與上方之重佈線路及介電層之間的界面分層。

【0043】 第22至29圖係其他實施例中，形成封裝體之剖視圖。這些實施例的起始步驟如第1至4圖所示。接著如第22至23圖所示，進行較深焦距的曝光與較淺焦距的曝光。較深焦距曝光在光阻中的焦距，深於較淺焦距曝光在光阻中的焦距。在



本發明某些實施例中，較深焦距曝光的焦距為深度D1（未標示，自光阻32上表面向下的距離）。較淺焦距曝光之焦距為深度D2，其小於D1。在某些實施例中，第一曝光(第22圖)為較深焦距曝光且採用微影光罩68，而第二曝光(第23圖)為較淺焦距曝光。在其他實施例中，第一曝光(第22圖)為較淺焦距曝光且採用微影光罩68，而第二曝光(第23圖)為較深焦距曝光。

【0044】 在較深焦距曝光與較淺焦距曝光後，顯影光阻32以形成開口34如第24圖所示。開口34可具有較下部份34A與較上部份34B，較下部份34A具有實質上平直的側壁34A'，且較上部份34B具有實質上平直的側壁34B'，其中側壁34A'與上方之側壁34B'具有可辨識的相接處，且相接處之側壁斜角具有可辨識的縮減。側壁34A'具有底部斜角 $\theta_1$ ，側壁34B'具有斜角 $\theta_3$ ，且斜角 $\theta_3$ 小於底部斜角 $\theta_1$ 。底部斜角 $\theta_1$ 與斜角 $\theta_3$ 的差距( $\theta_1 - \theta_3$ )可大於2度。在某些實施例中，側壁34B'之斜角 $\theta_3$ 可介於約85度至約90度之間。在某些實施例中，側壁34A'之底部斜角 $\theta_1$ 可介於約89度至約91度之間。

【0045】 接著如第25圖所示，電鍍形成穿孔38。接著移除光阻32，並蝕刻移除光阻32覆蓋的部份金屬晶種層30，形成如第26圖所示之結構。接著將裝置晶粒36放置於介電層28上，如第27圖所示。接著施加成型材料44，再進行平坦化製程如第28圖所示。後續製程步驟與第11至17圖所示之步驟實質上相同，形成第29圖所示之結構。

【0046】 如第29圖所示，穿孔38具有較下部份38C與錐形的較上部份38D，其分別形成於第24圖中開口34的較下部份34A

與較上部份34B。綜上所述，較下部份38C與較上部份38D的輪廓，與開口34之較下部份34A及較上部份34B的輪廓相同。在本發明某些實施例中，穿孔38之底部寬度W1與頂部寬度W2'之差距(W1-W2')小於約50 $\mu\text{m}$ ，且可大於約5 $\mu\text{m}$ 。在某些實施例中，錐形的較上部份38D其高度H1，與整個穿孔38的高度H2之比例H1/H2小於約0.4。

**【0047】** 穿孔38之較上部份38D為錐形，優點在於可減少穿孔施加至重佈線的剪應力，並改善封裝體的可信度。

**【0048】** 在本發明某些實施例中，封裝體包括裝置晶粒；具有沙漏狀的輪廓之穿孔；以及成型材料，使裝置晶粒與穿孔成型於其中，其中成型材料的上表面與裝置晶粒的上表面實質上等高。介電層，成型材料與裝置晶粒重疊。多個重佈線路延伸至介電層中以電性耦接至裝置晶粒與穿孔。

**【0049】** 在本發明其他實施例中，封裝體包括裝置晶粒以及穿孔。穿孔包括穿孔主體以及穿孔蓋(位於穿孔主體上並連接至穿孔主體)。穿孔蓋比穿孔主體寬。封裝體亦包括成型材料，使裝置晶粒與穿孔成型於其中，其中成型材料的上表面與裝置晶粒的上表面實質上等高。介電層與成型材料及裝置晶粒重疊，且介電層之下表面接觸裝置晶粒的上表面與成型材料的上表面。多個重佈線路，延伸至介電層中以電性耦接至裝置晶粒與穿孔。

**【0050】** 在本發明其他實施例中，封裝體包括裝置晶粒以及穿孔。穿孔包括較下部份，其具有第一斜角的第一側壁；以及較上部份連接至較下部份，較上部份具有第二斜角的第二側

壁，且第二斜角小於第一斜角。封裝體亦包含成型材料，使裝置晶粒與穿孔成型於其中，其中成型材料的上表面與裝置晶粒的上表面實質上等高。介電層，與成型材料與裝置晶粒重疊。多個重佈線路延伸至介電層中，以電性耦接至裝置晶粒與穿孔。

**【0051】** 上述實施例之特徵有利於本技術領域中具有通常知識者理解本發明。本技術領域中具有通常知識者應理解可採用本申請案作為基礎，設計並變化其他製程與結構以完成上述實施例之相同目的及/或相同優點。本技術領域中具有通常知識者亦應理解，這些等效置換並未脫離本發明之精神與範疇，並可在未脫離本發明之精神與範疇的前提下進行改變、替換、或更動。

### **【符號說明】**

#### **【0052】**

- $\theta 1$  底部斜角
- $\theta 2$  頂部斜角
- $\theta 3$  斜角
- H1、H2 高度
- T1 厚度
- W1、W4 底部寬度
- W2、W2' 頂部寬度
- W3 中間寬度
- W3' 最小寬度
- 20 載板

- 22 離形層
- 24、28、52、56、62 介電層
- 26、54、58 重佈線路
- 29、34、53、59、63 開口
- 30 金屬晶種層
- 32 光阻
- 34A、38C 較下部份
- 34A'、34B'、38'、38S 側壁
- 34B、38D 較上部份
- 36、202 裝置晶粒
- 38 穿孔
- 38A 穿孔蓋
- 38B 主體部份
- 38BT 下表面
- 38T 上表面
- 44 成型材料
- 45 晶粒貼合膜
- 47 頂介電層
- 50 金屬柱
- 64 凸塊下金屬化物
- 66 電連接物
- 69 焊料區
- 100、102、200 封裝體
- 204 封裝基板

300 流程圖

310、312、314、316、318、320、322、324、326 步驟

## 申請專利範圍

1. 一種封裝體，包括：
  - 一裝置晶粒；
  - 一穿孔，其中該穿孔具有一沙漏狀的輪廓；
  - 一成型材料，使該裝置晶粒與該穿孔成型於其中，其中該成型材料的上表面與該裝置晶粒的上表面實質上等高；
  - 一介電層，與該成型材料與該裝置晶粒重疊；以及
  - 多個重佈線路，延伸至該介電層中以電性耦接至該裝置晶粒與該穿孔。
2. 如申請專利範圍第1項所述之封裝體，其中該穿孔的下表面與該成型材料共平面。
3. 如申請專利範圍第1項所述之封裝體，其中該穿孔的最小寬度對應該穿孔的中間高度，而該穿孔的頂部寬度與底部寬度均大於該最小寬度；
  - 其中該穿孔其上表面的寬度，持續平緩的縮小至該穿孔其中間高度的寬度；
  - 其中該穿孔其中間高度的寬度，持續平緩的增加至該穿孔其下表面的寬度。
4. 一種封裝體，包括：
  - 一裝置晶粒；以及
  - 一穿孔，包括：
    - 一穿孔主體；
    - 一穿孔蓋，位於該穿孔主體上並連接至該穿孔主體，其中該穿孔蓋比該穿孔主體寬，且該穿孔蓋之下表面與該穿孔

主體之上表面共平面；

一成型材料，使該裝置晶粒與該穿孔成型於其中，其中該成型材料的上表面與該裝置晶粒的上表面實質上等高；

一介電層，與該成型材料及該裝置晶粒重疊；以及

多個重佈線路，延伸至該介電層中以電性耦接至該裝置晶粒與該穿孔。

5. 如申請專利範圍第4項所述之封裝體，其中該穿孔的下表面與該成型材料的下表面共平面，以及該穿孔的上表面與該成型材料的上表面共平面。
6. 如申請專利範圍第4項所述之封裝體，其中該穿孔蓋的整體寬度大於該穿孔主體的整體寬度。
7. 如申請專利範圍第4項所述之封裝體，其中該穿孔蓋具有平坦的上表面與平坦的下表面，以及連接上表面與下表面之弧形的側壁。
8. 如申請專利範圍第4項所述之封裝體，其中該穿孔主體具有沙漏狀的輪廓。
9. 如申請專利範圍第4項所述之封裝體，其中該穿孔主體具有平直與實質上垂直的側壁。
10. 一種封裝體，包括：
  - 一裝置晶粒；以及
  - 一穿孔，包括：
    - 一較下部份，其具有第一斜角的第一側壁；
    - 一較上部份連接至該較下部份，該較上部份具有第二斜角的第二側壁，且第二斜角小於第一斜角；

一成型材料，使該裝置晶粒與該穿孔成型於其中，其中該成型材料的上表面與該裝置晶粒的上表面實質上等高；

一介電層，與該成型材料與該裝置晶粒重疊；以及

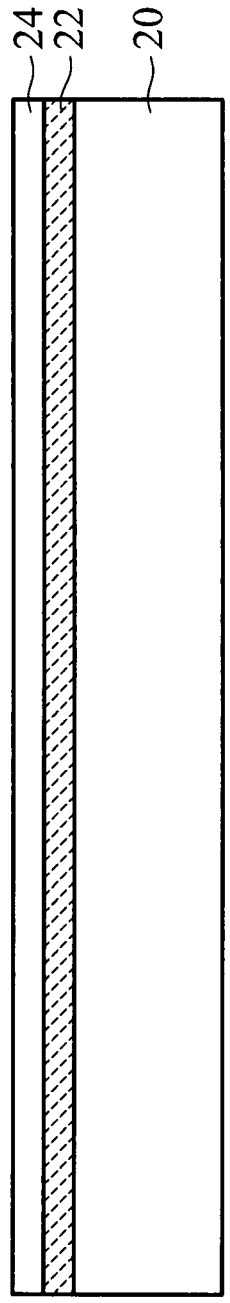
多個重佈線路，延伸至該介電層中以電性耦接至該裝置晶粒與該穿孔。

11.如申請專利範圍第10項所述之封裝體，其中該第一側壁與該第二側壁實質上平直而彼此相連，且相連處之斜角突兀地改變。

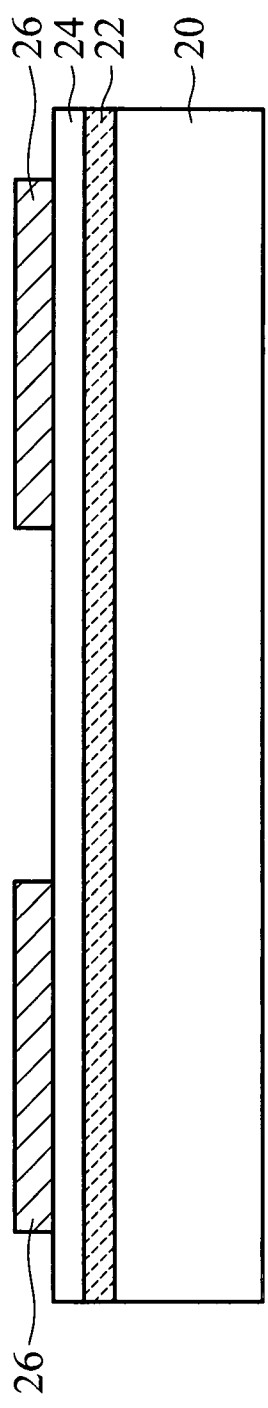
12.如申請專利範圍第10項所述之封裝體，其中該穿孔之上表面與下表面分別與該成型材料之上表面與下表面共平面。



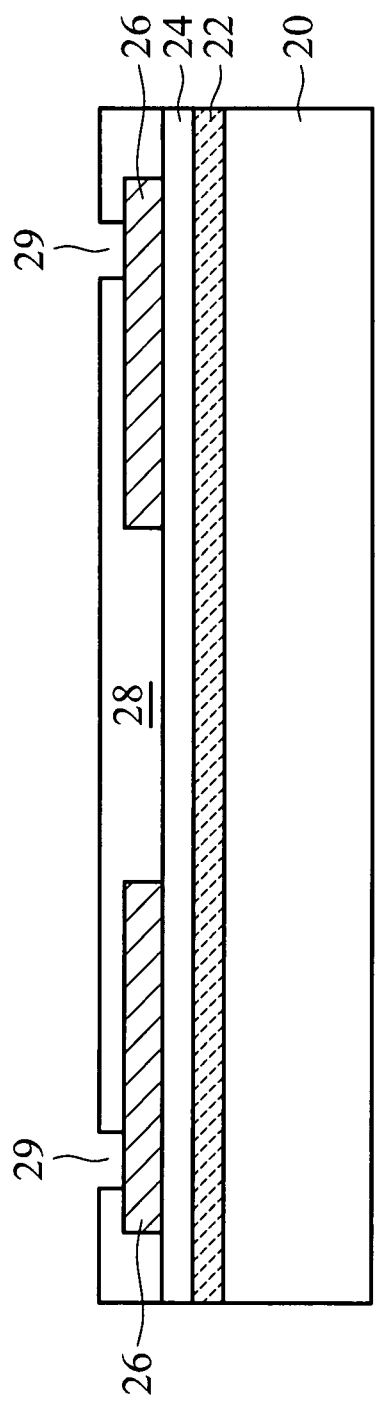
圖式



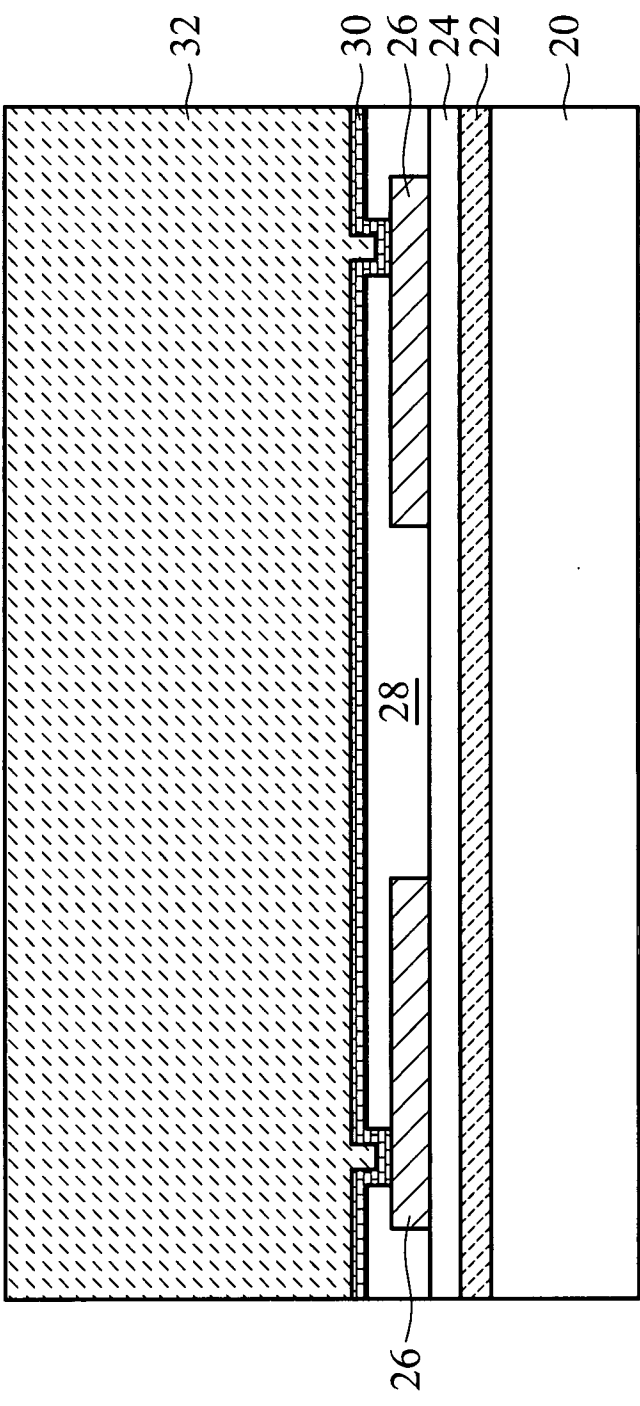
第1圖



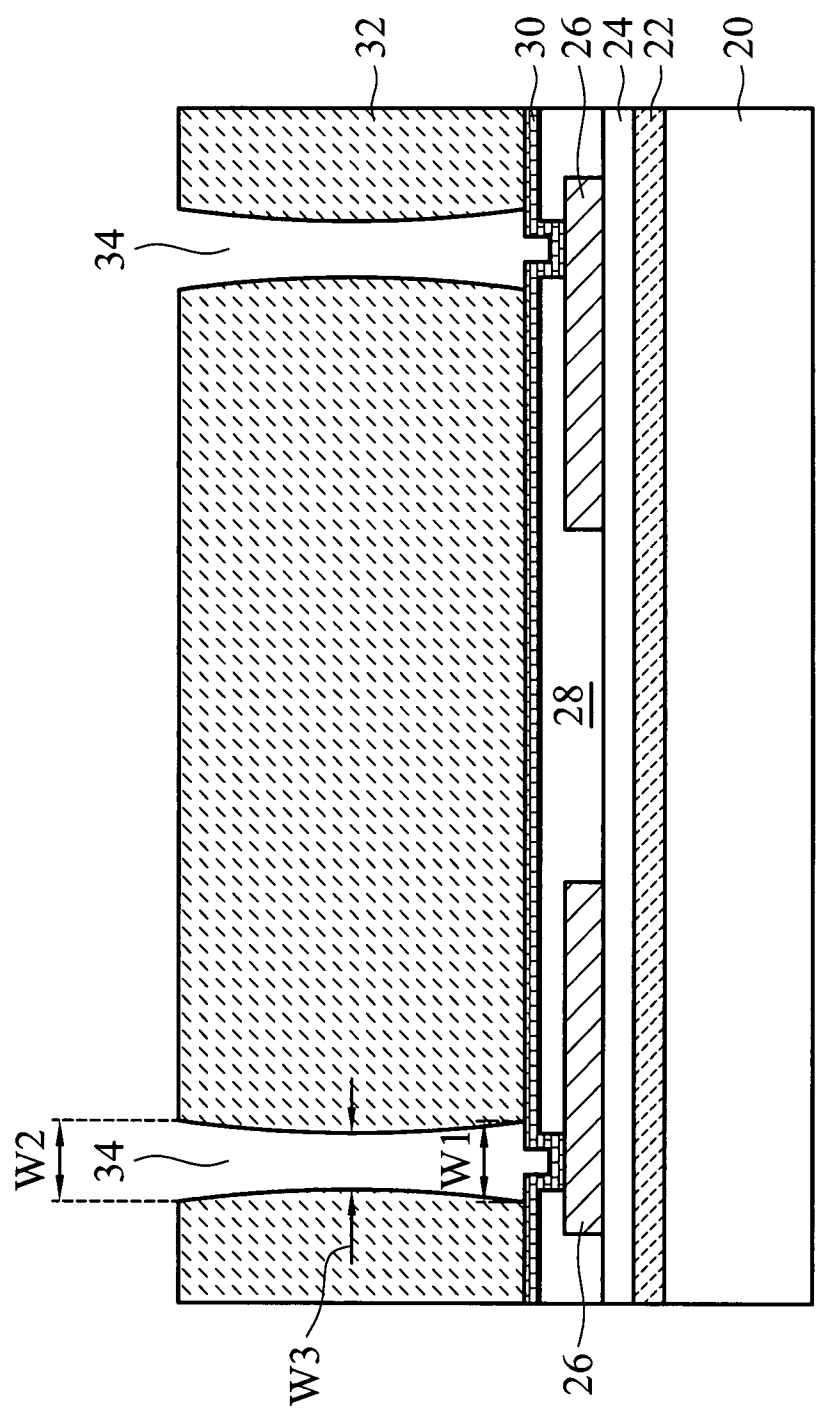
第 2 圖



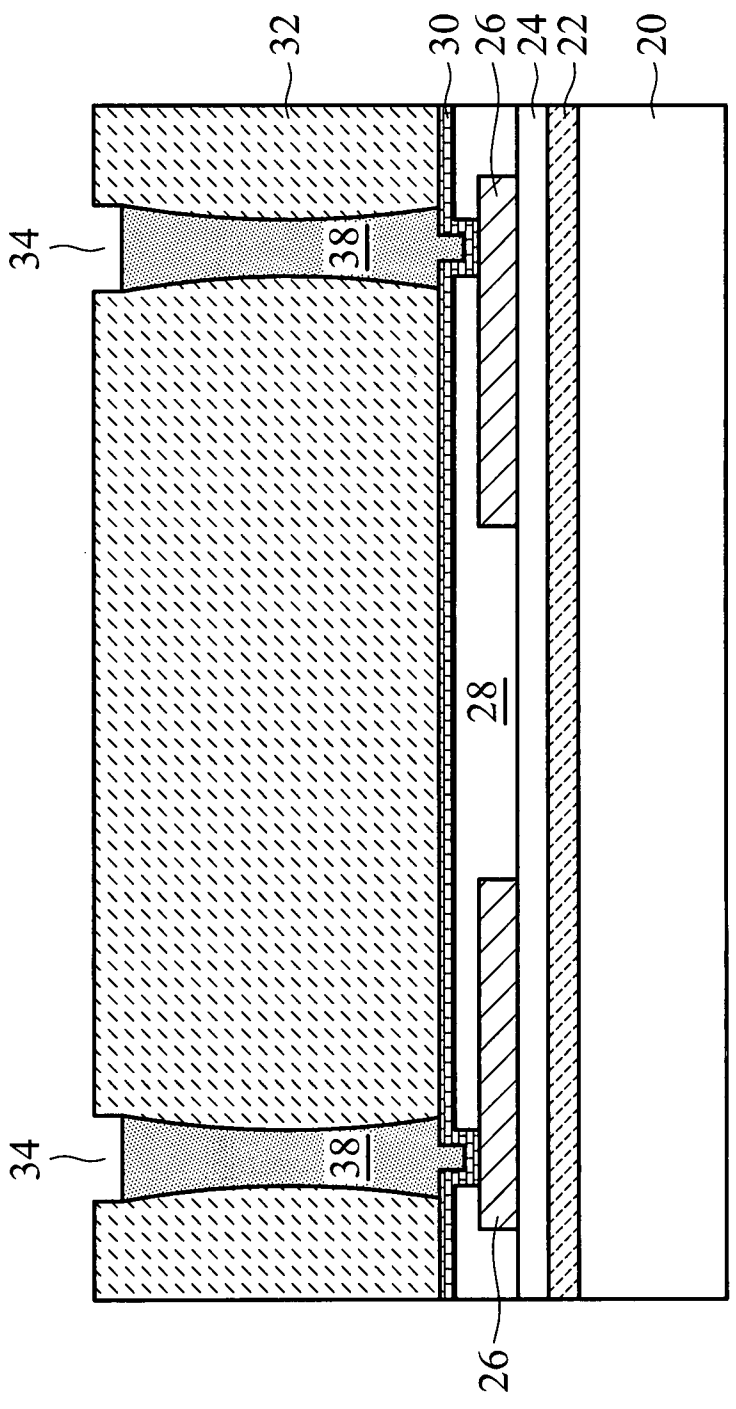
第3圖



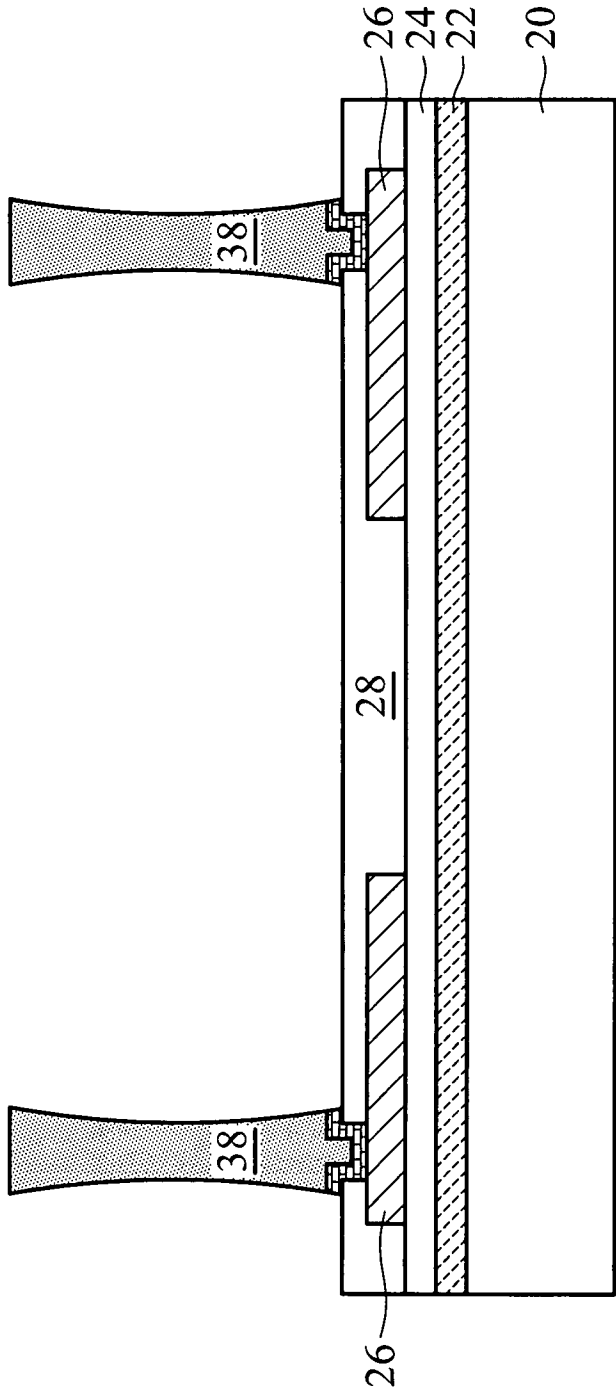
第4圖



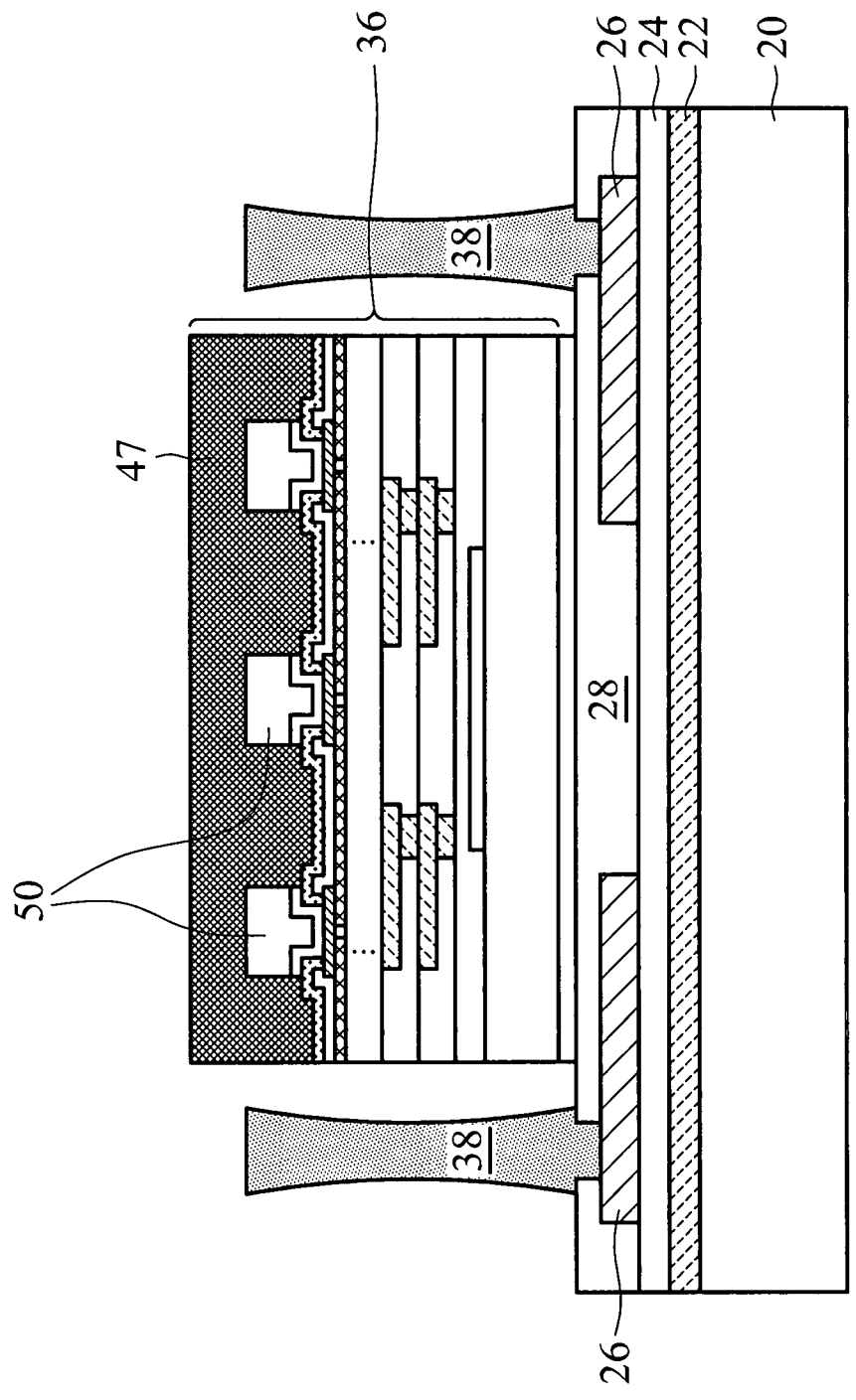
第5圖



第6圖



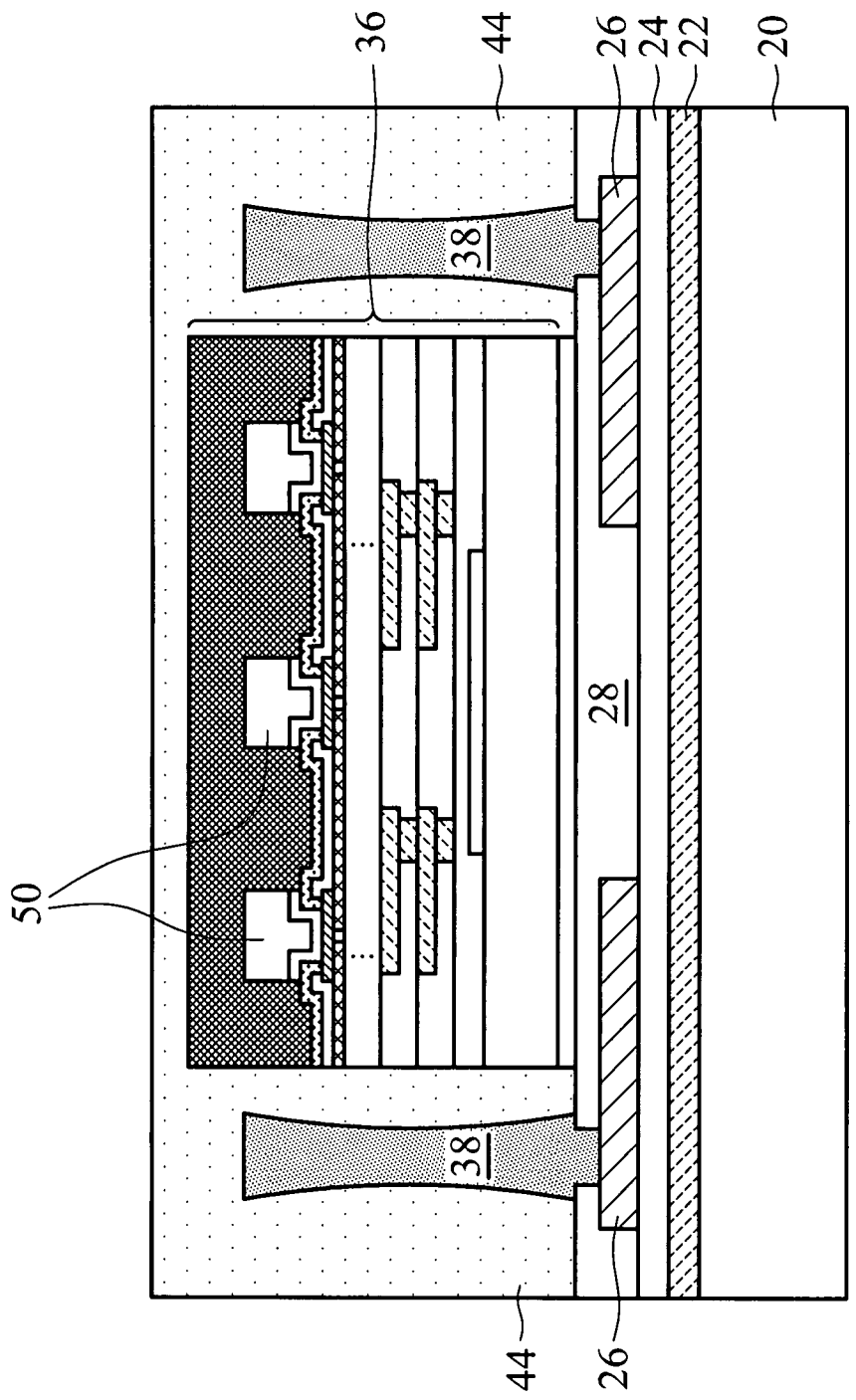
第7圖



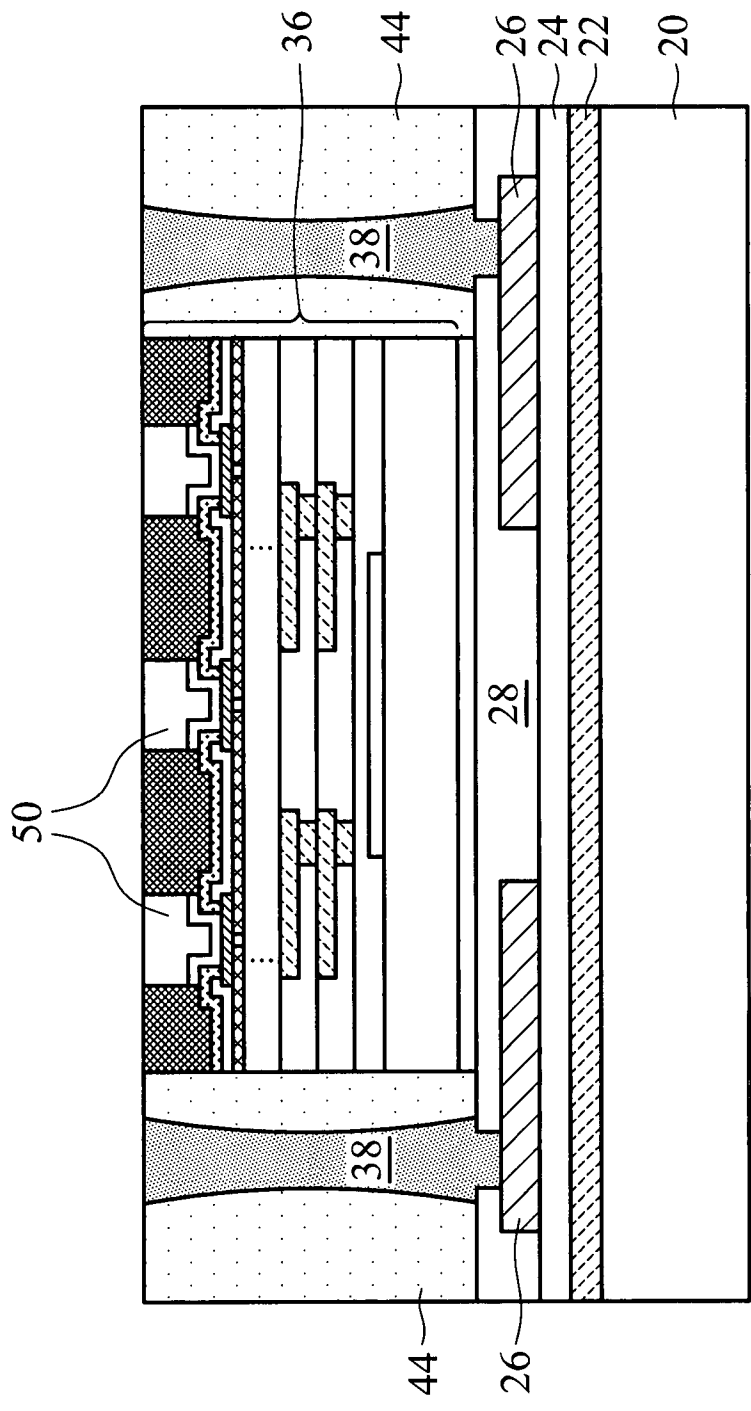
第 8 圖



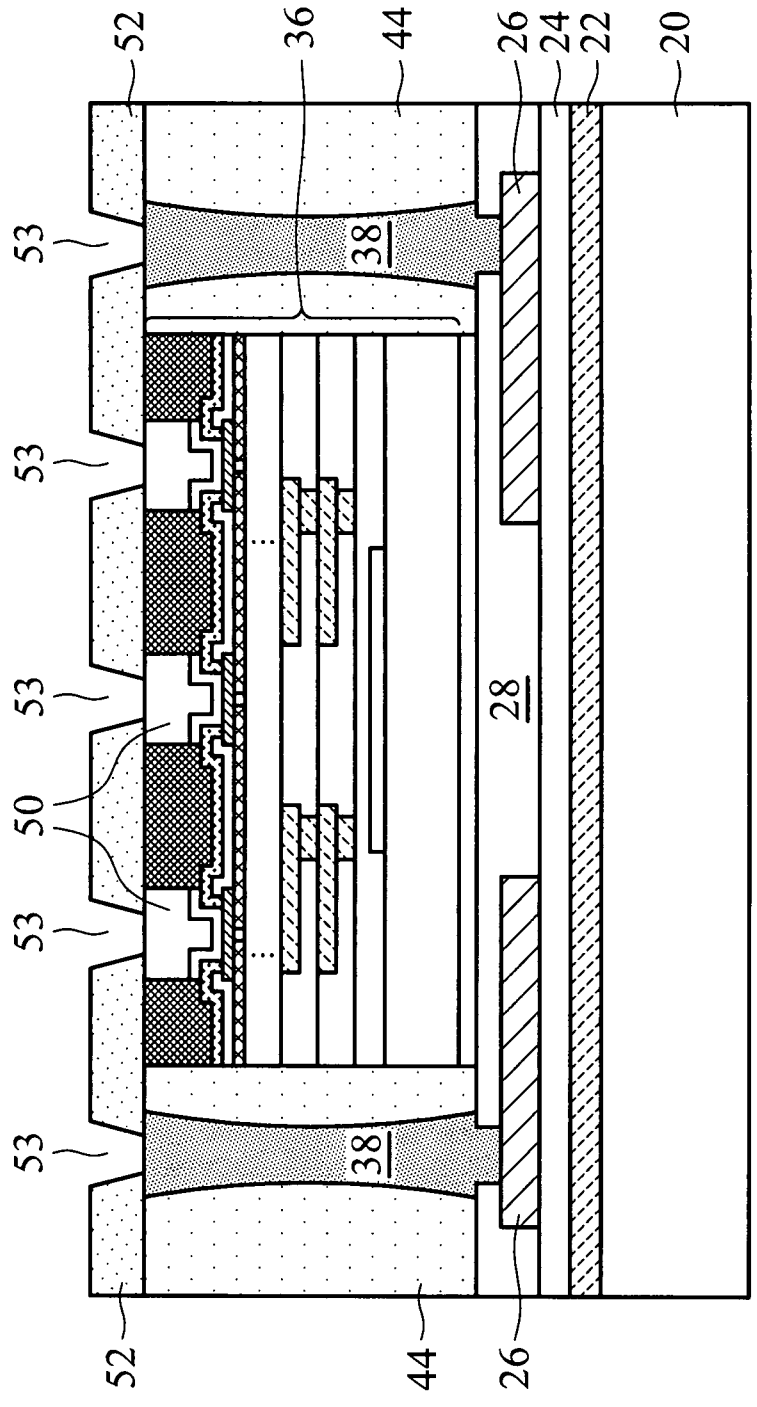




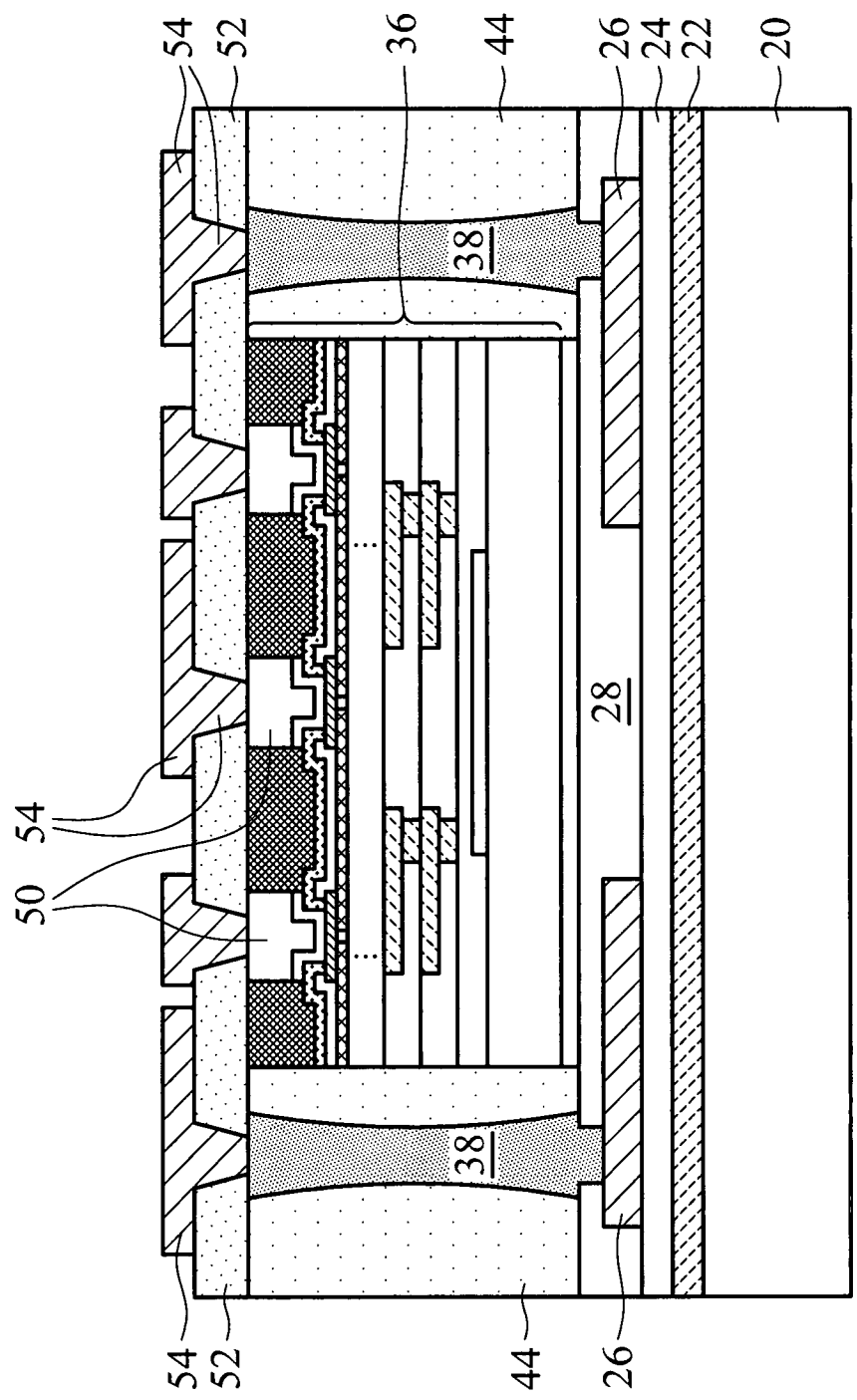
第9圖



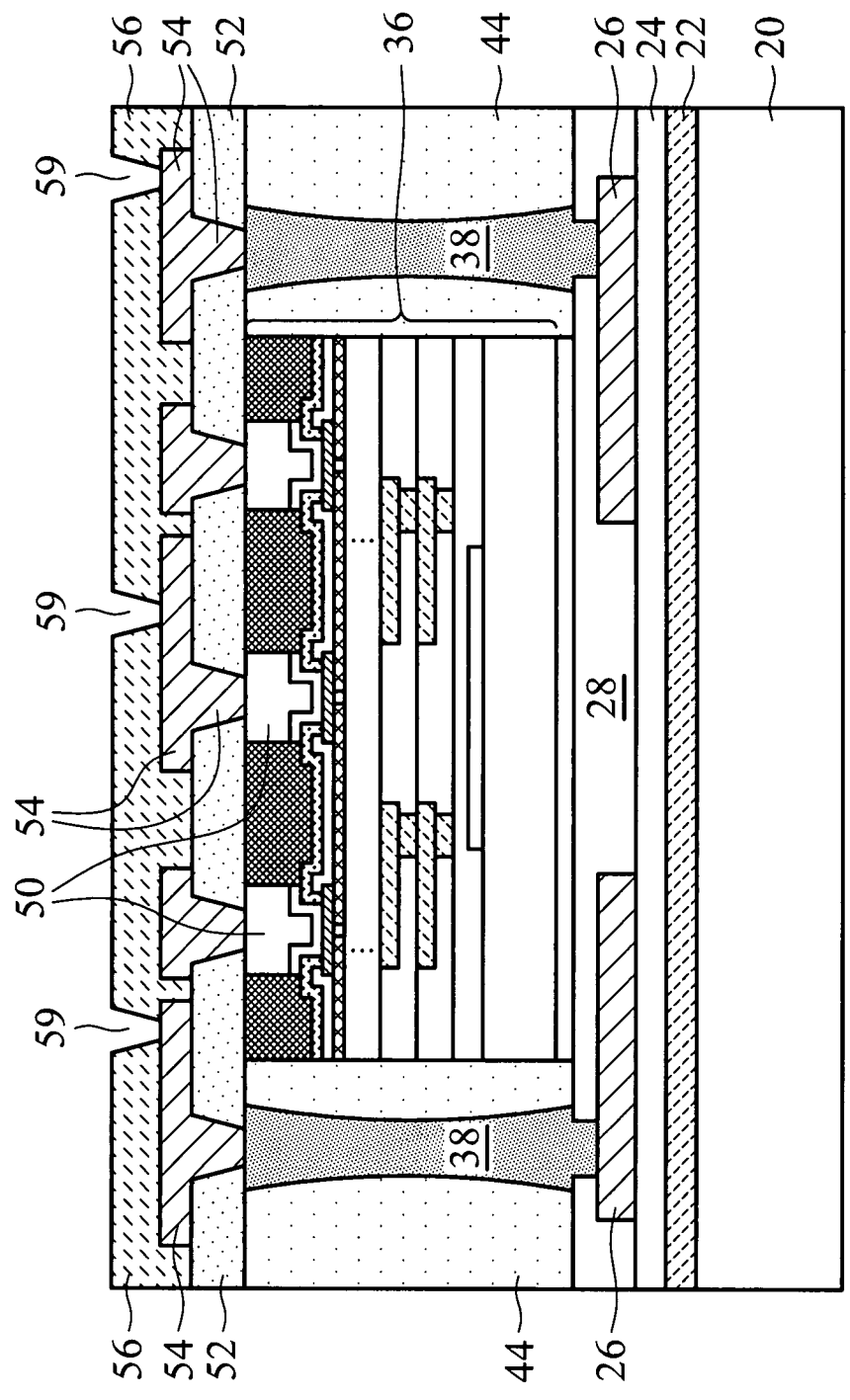
第 10 圖



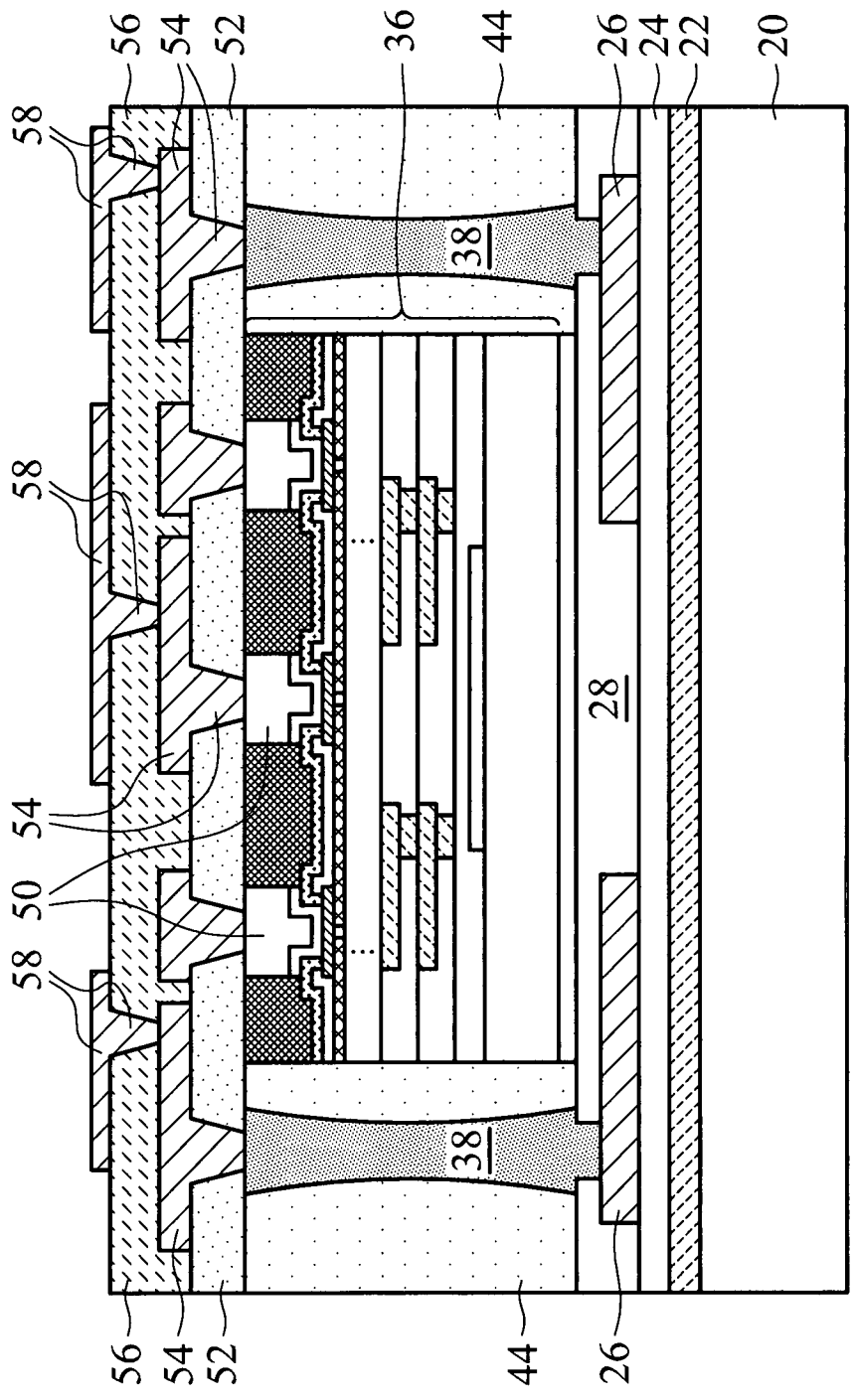
第11圖



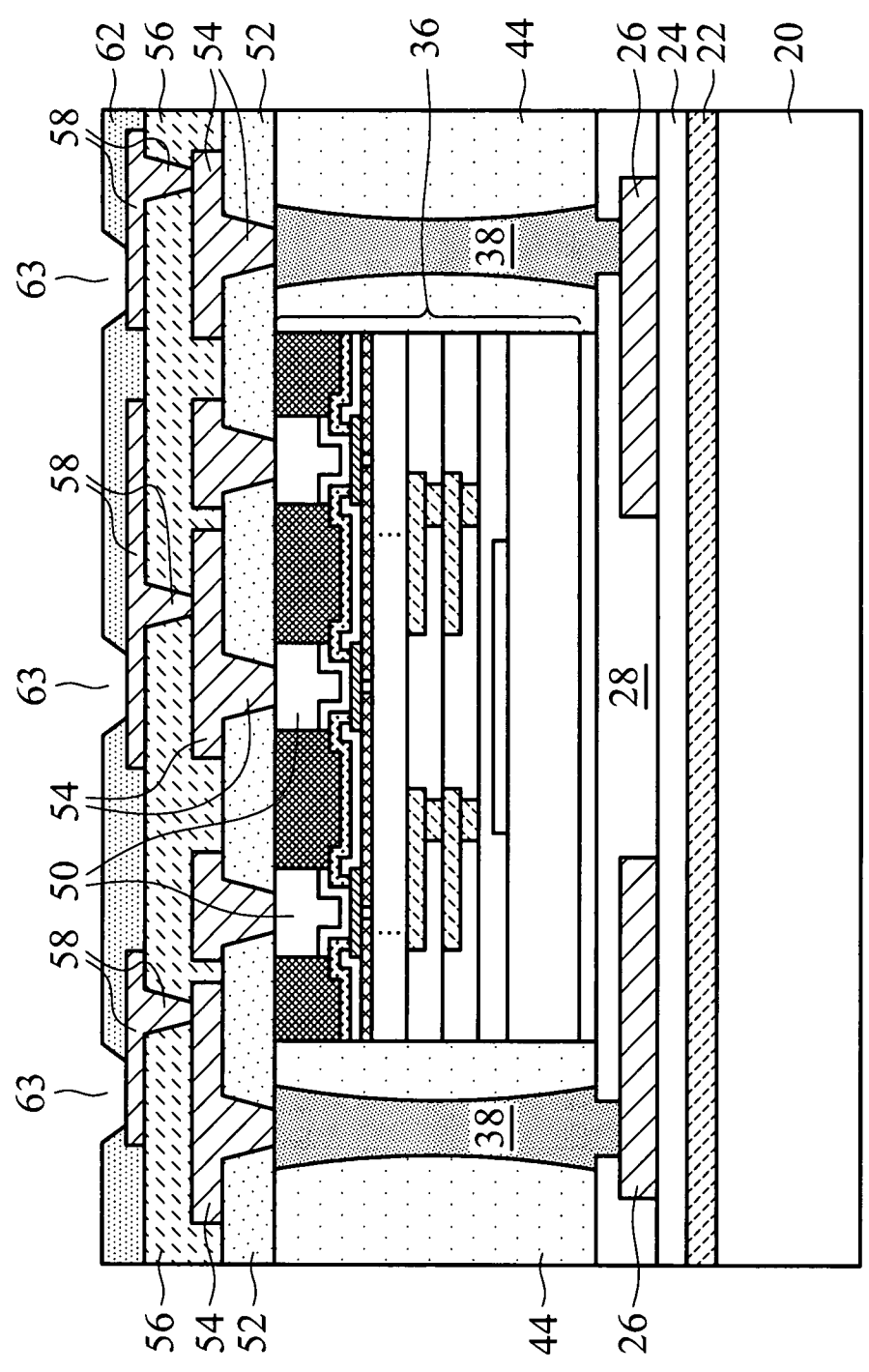
第 12 圖



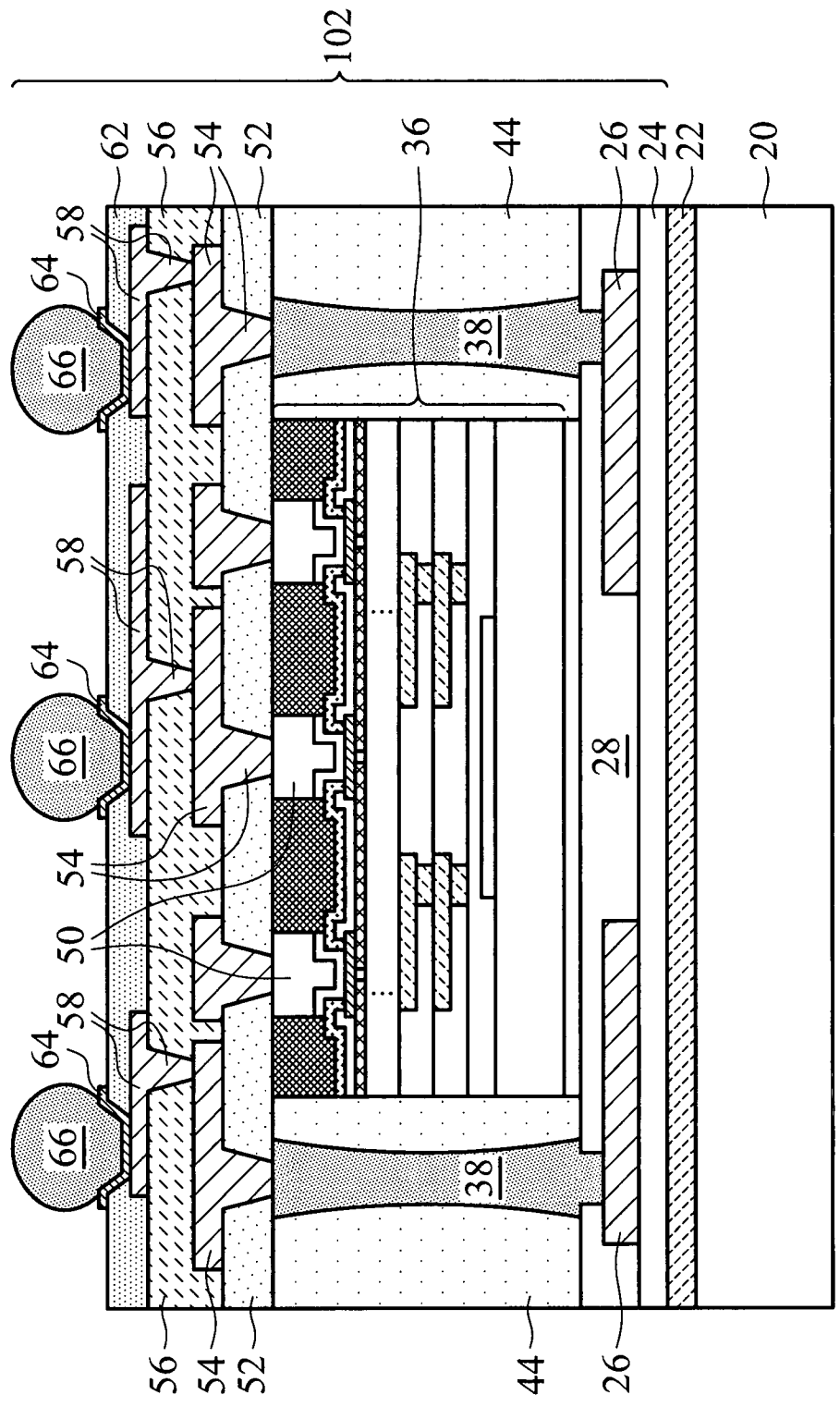
第 13 圖



第14圖



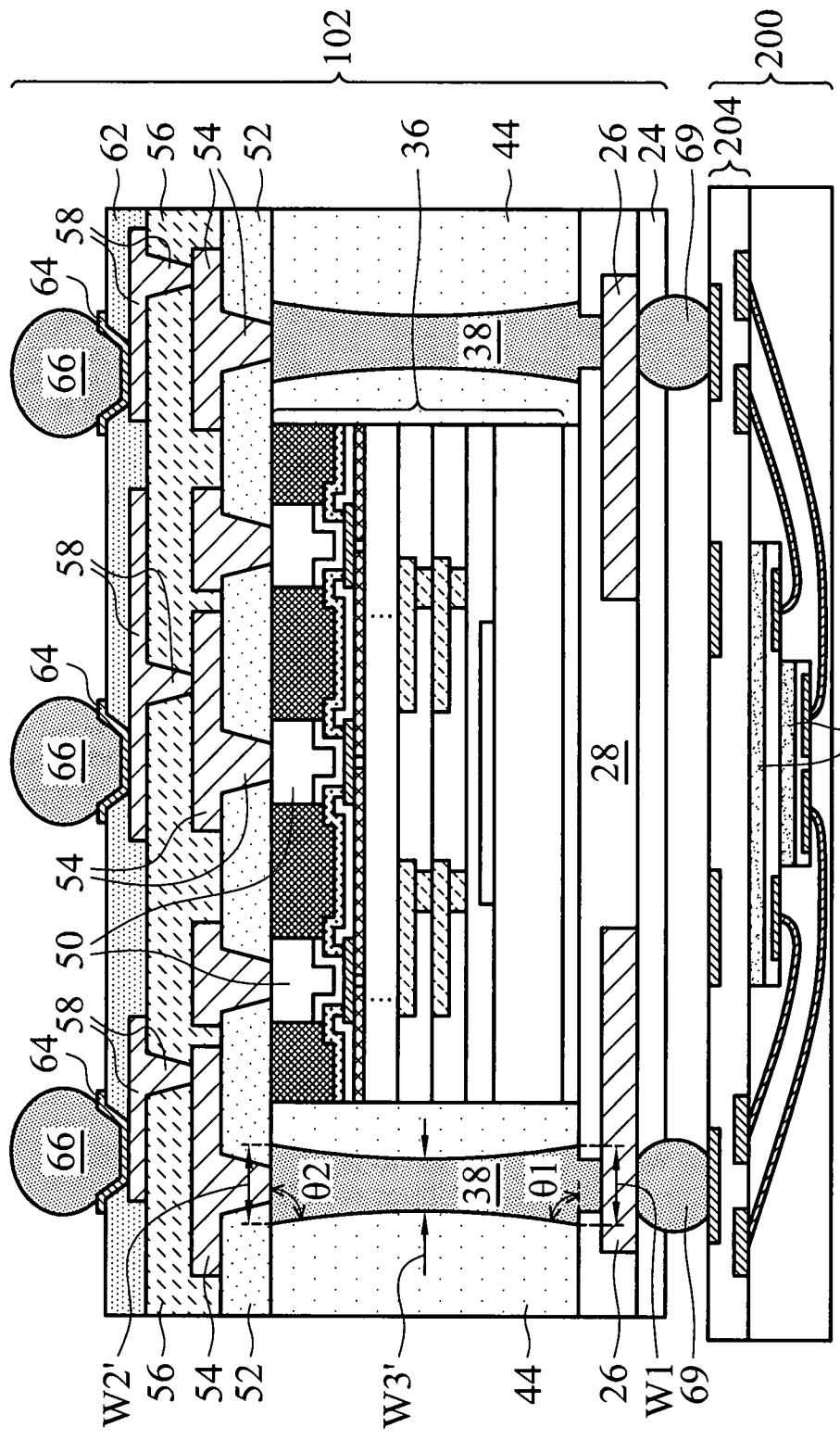
第15圖



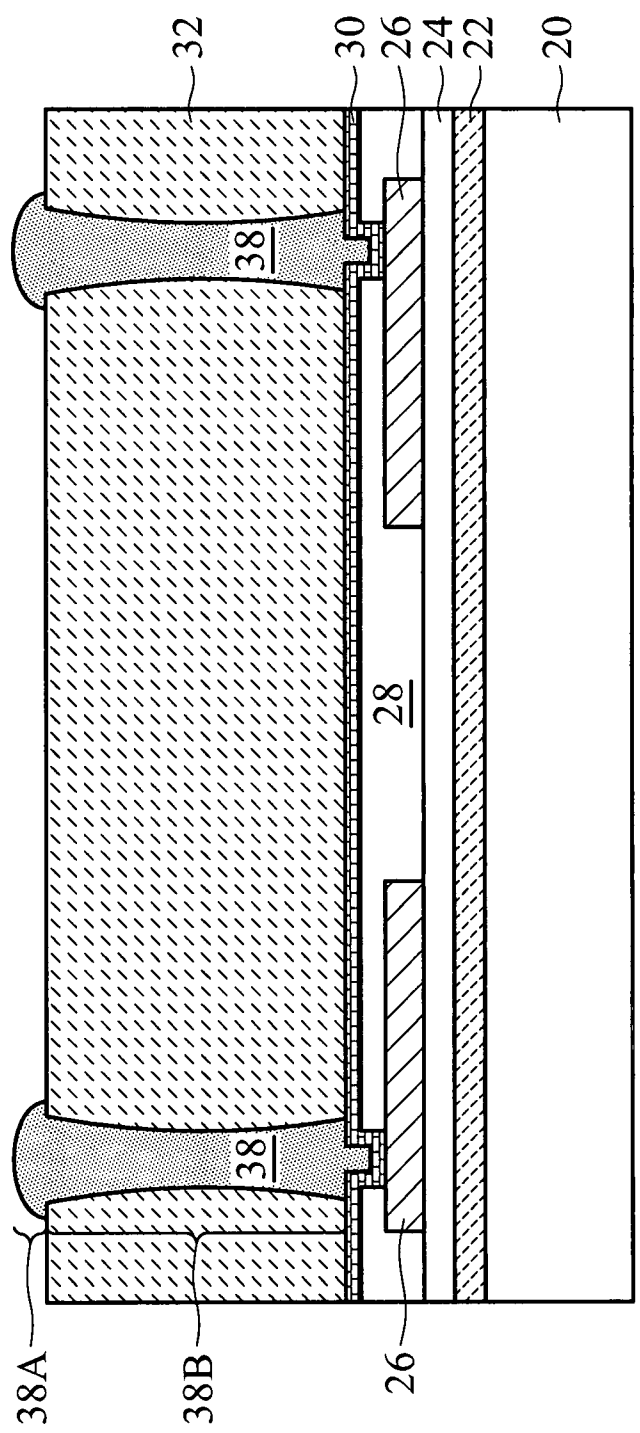
第 16 圖



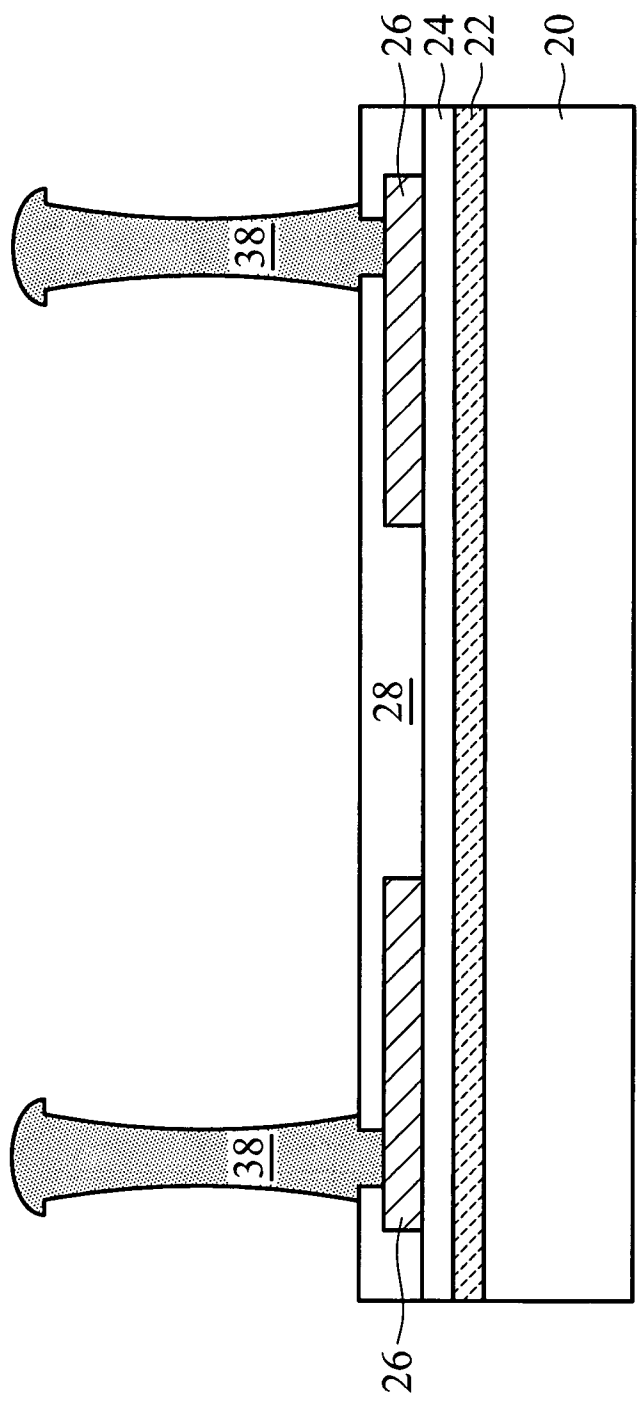




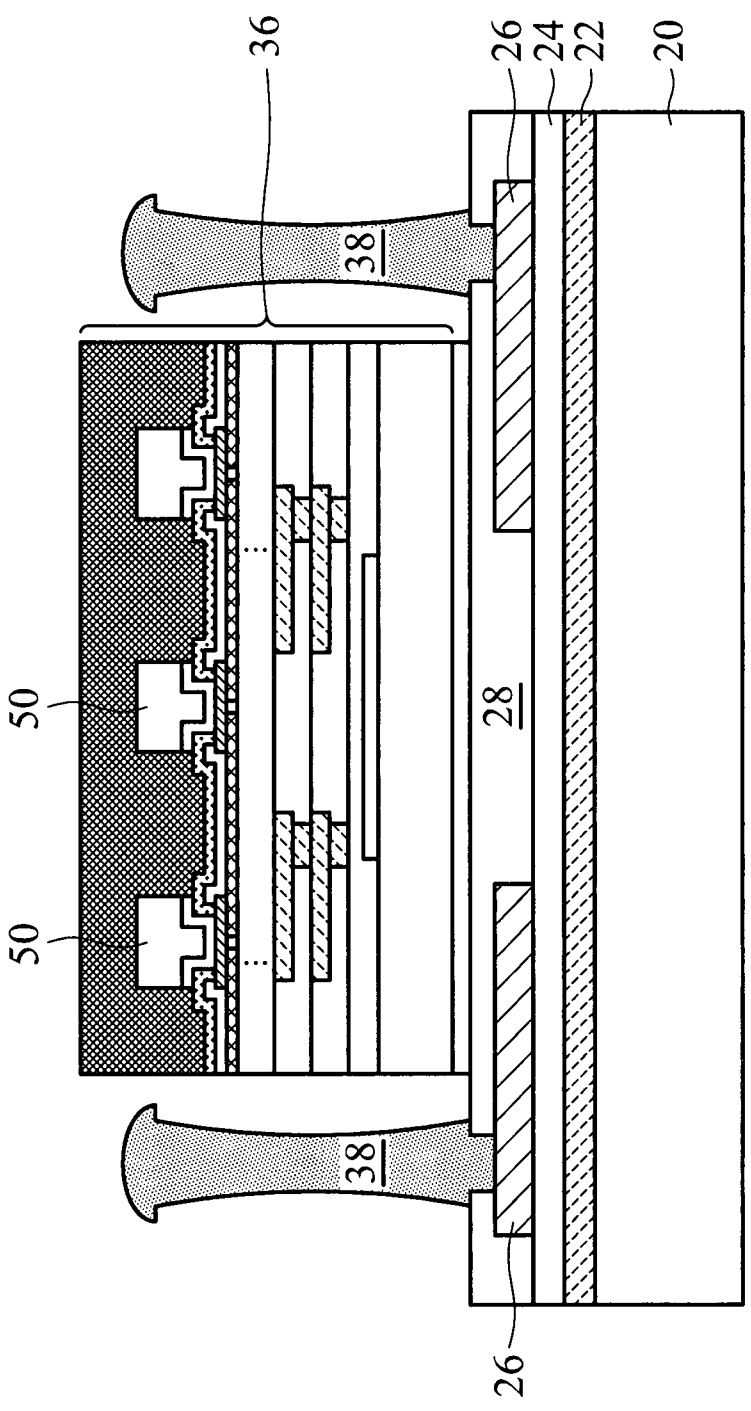
第17圖



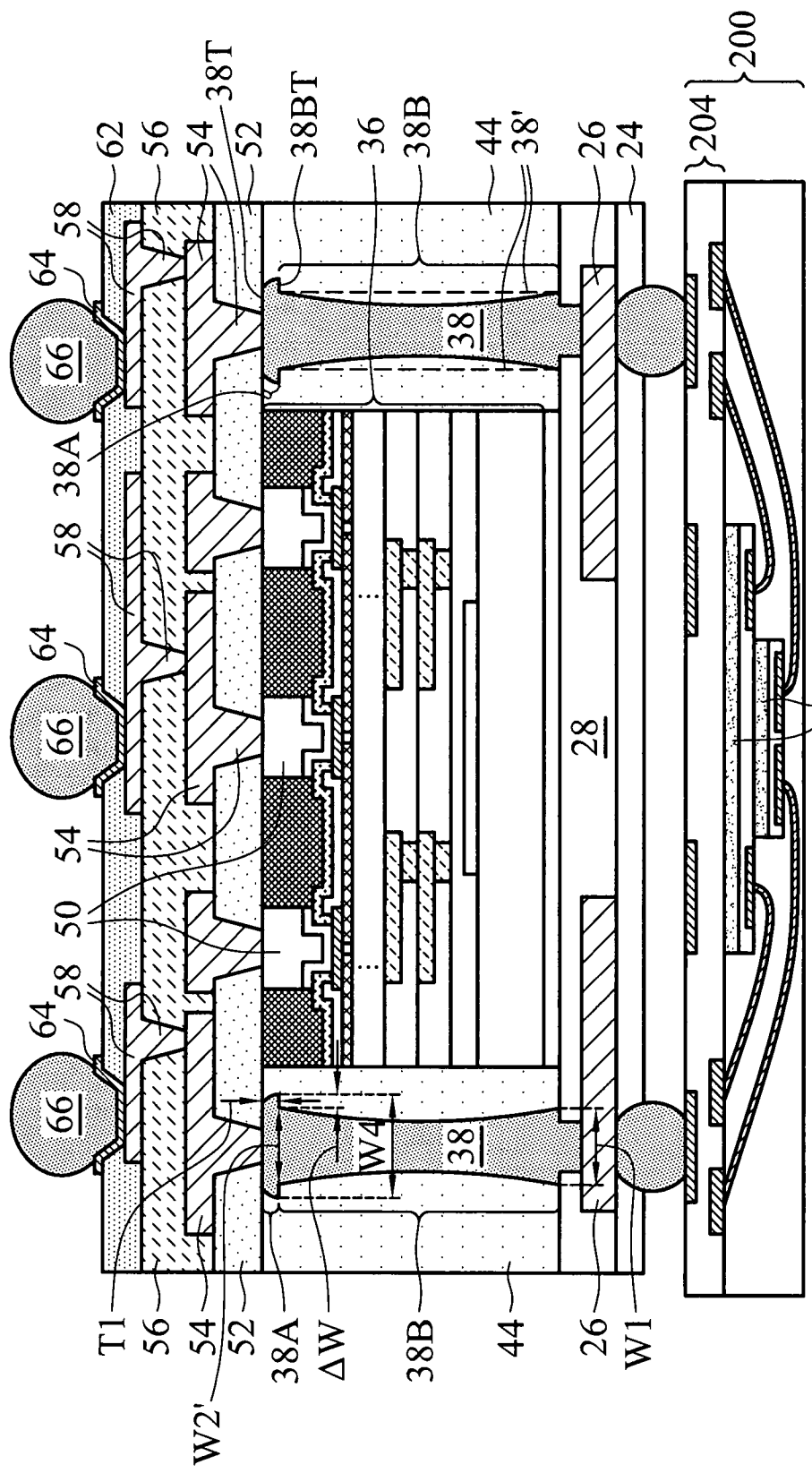
第 18 圖



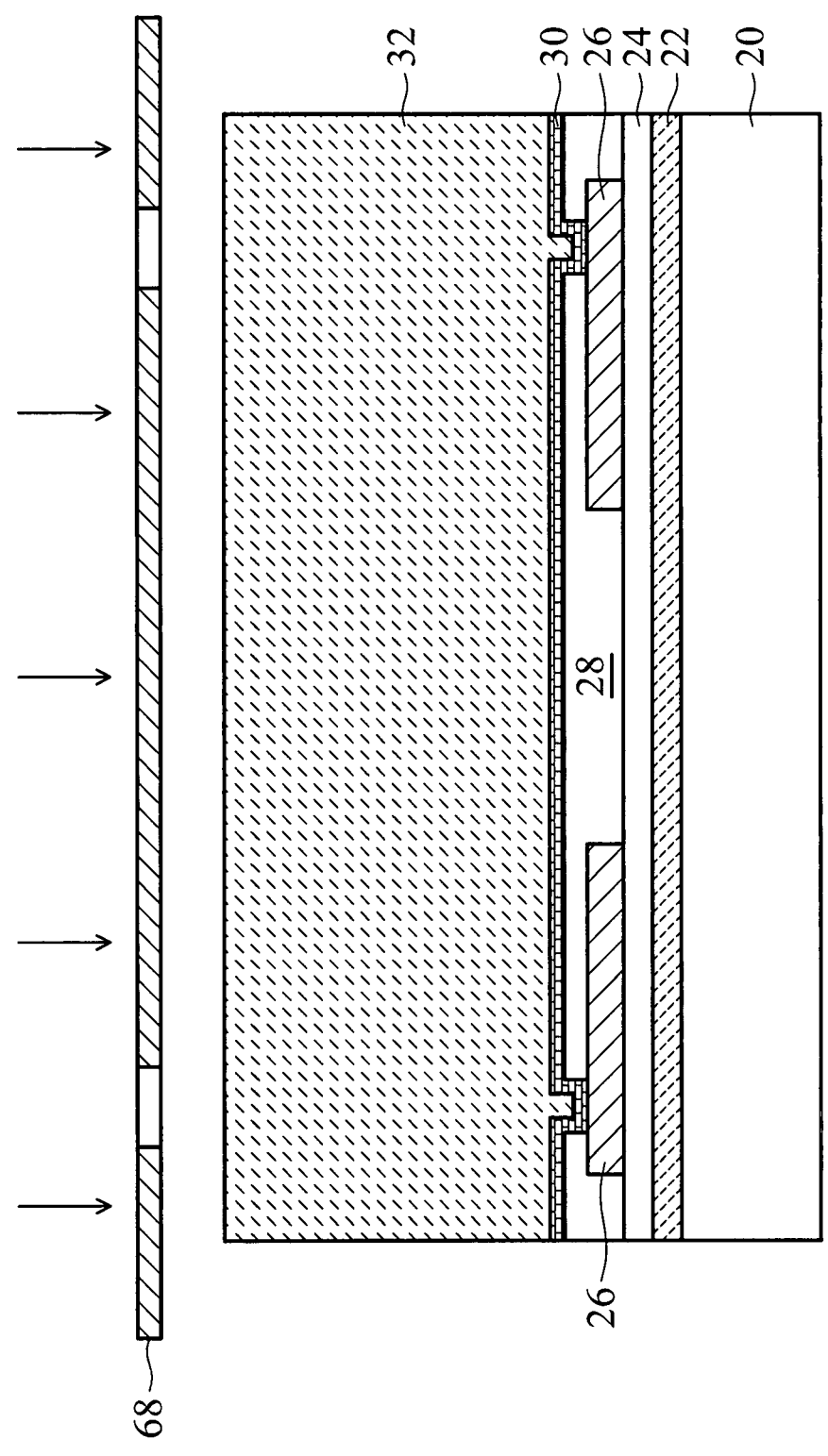
第 19 圖



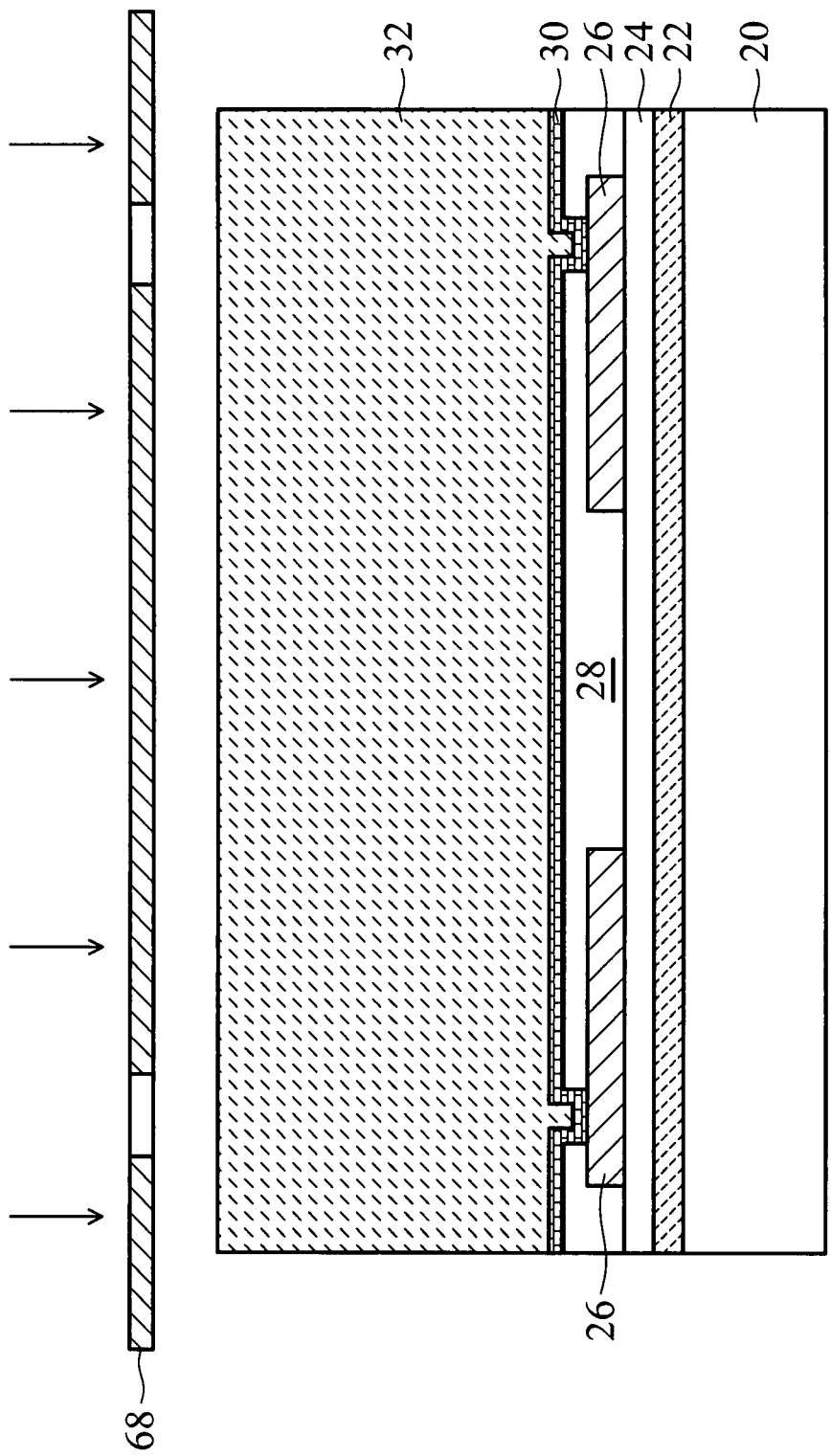
第 20 圖



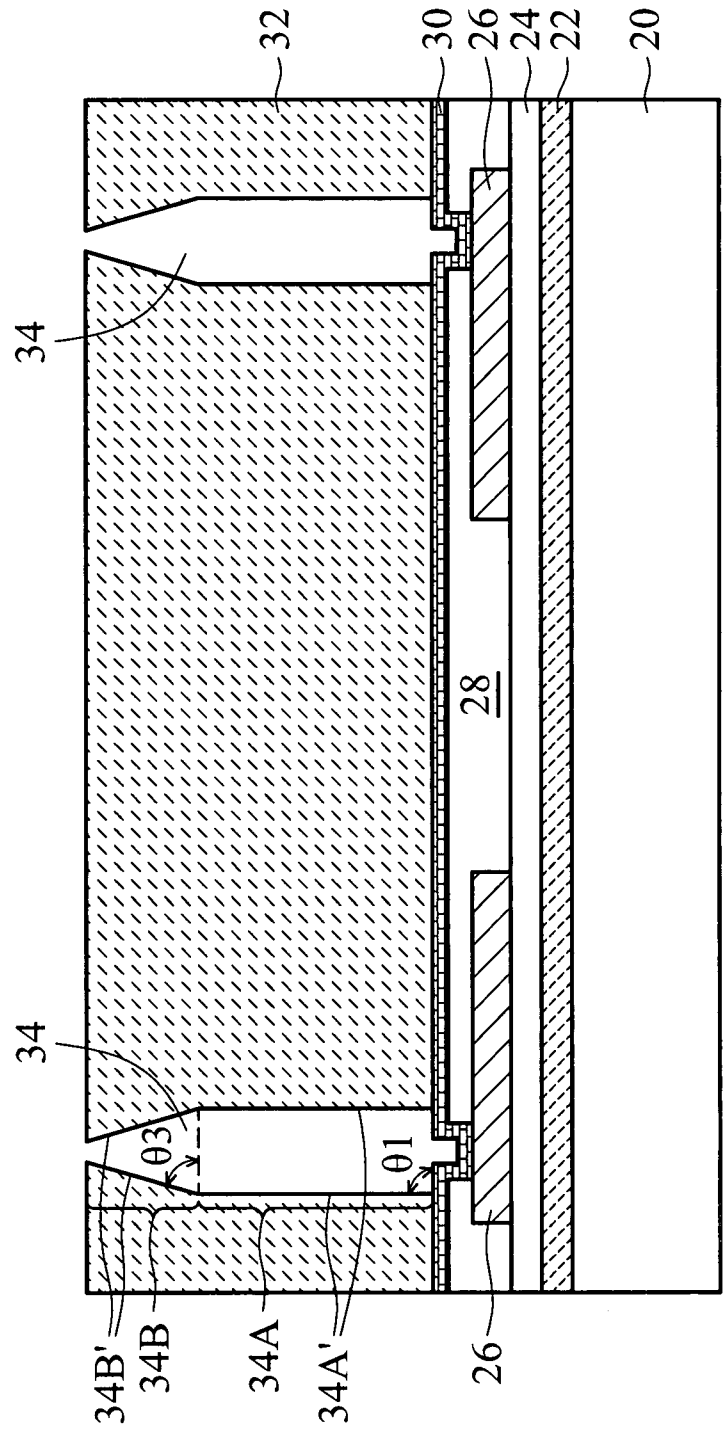
第 21 圖



第 22 圖

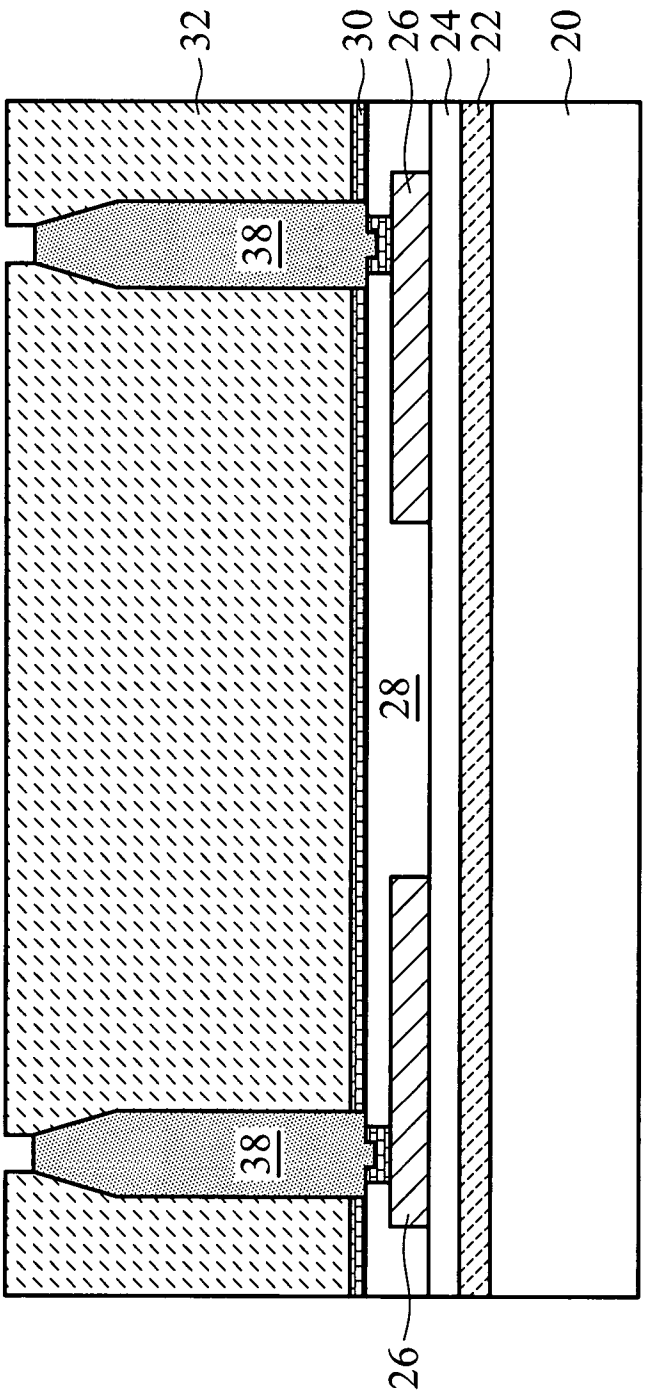


第 23 圖

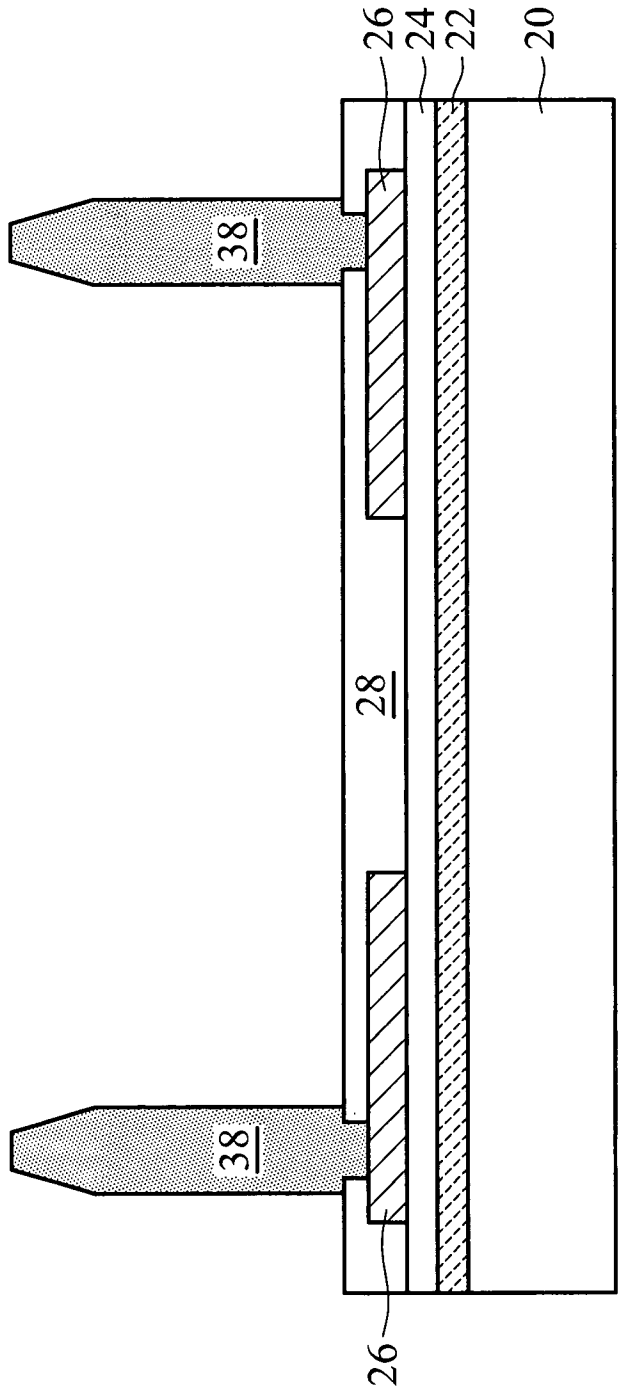


第 24 圖

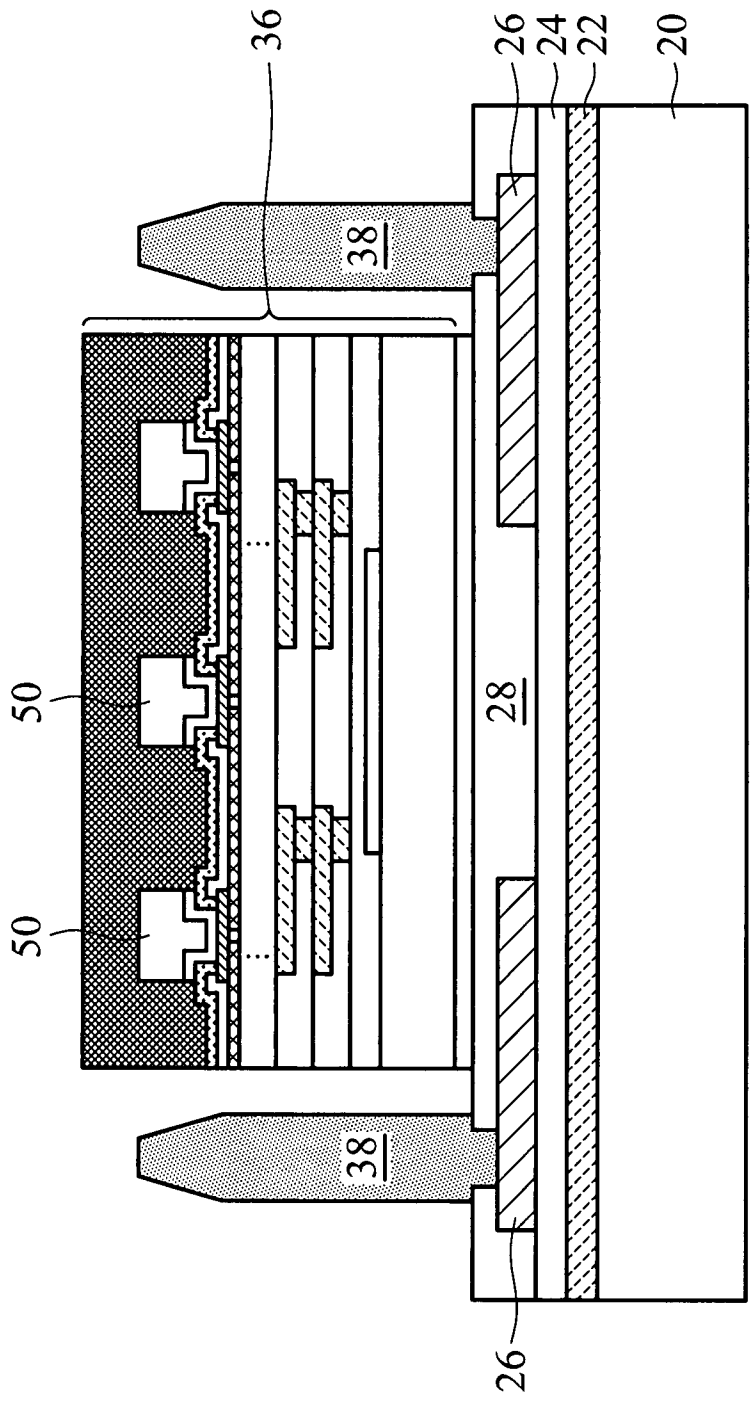




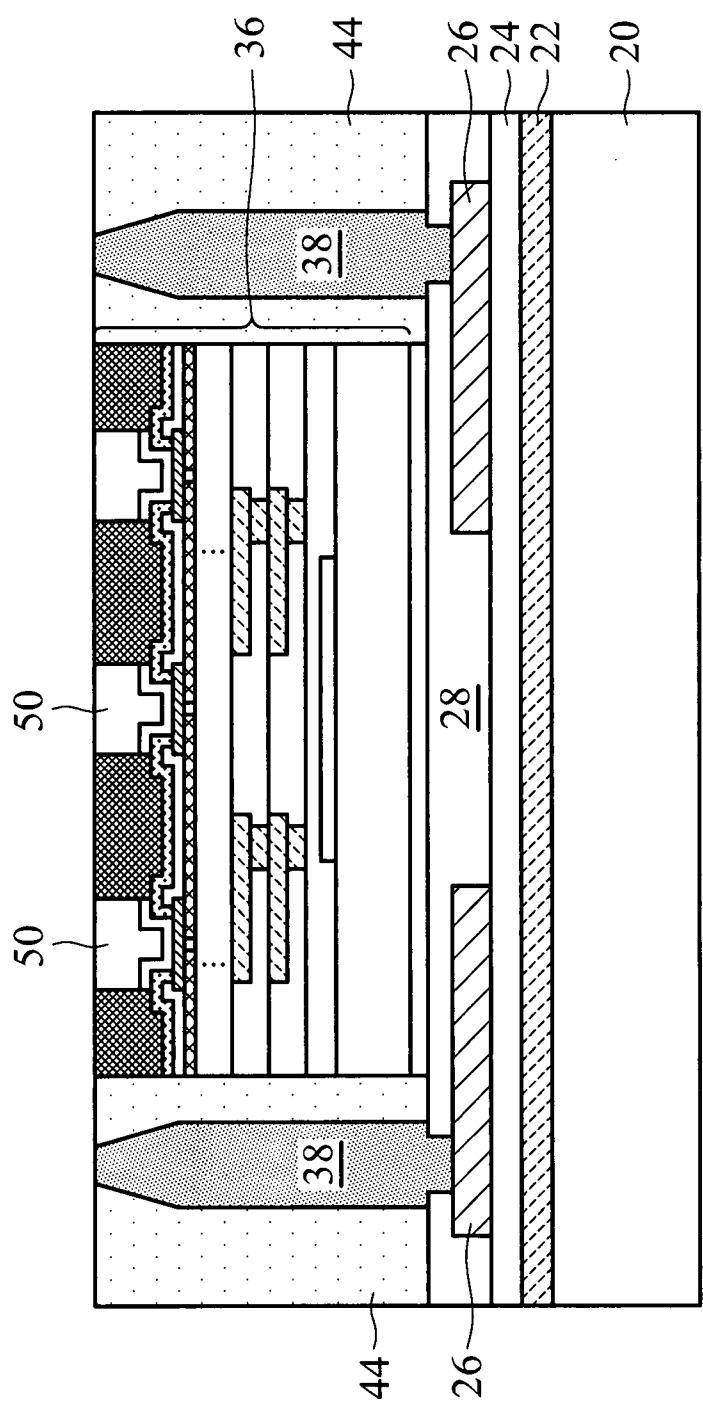
第 25 圖



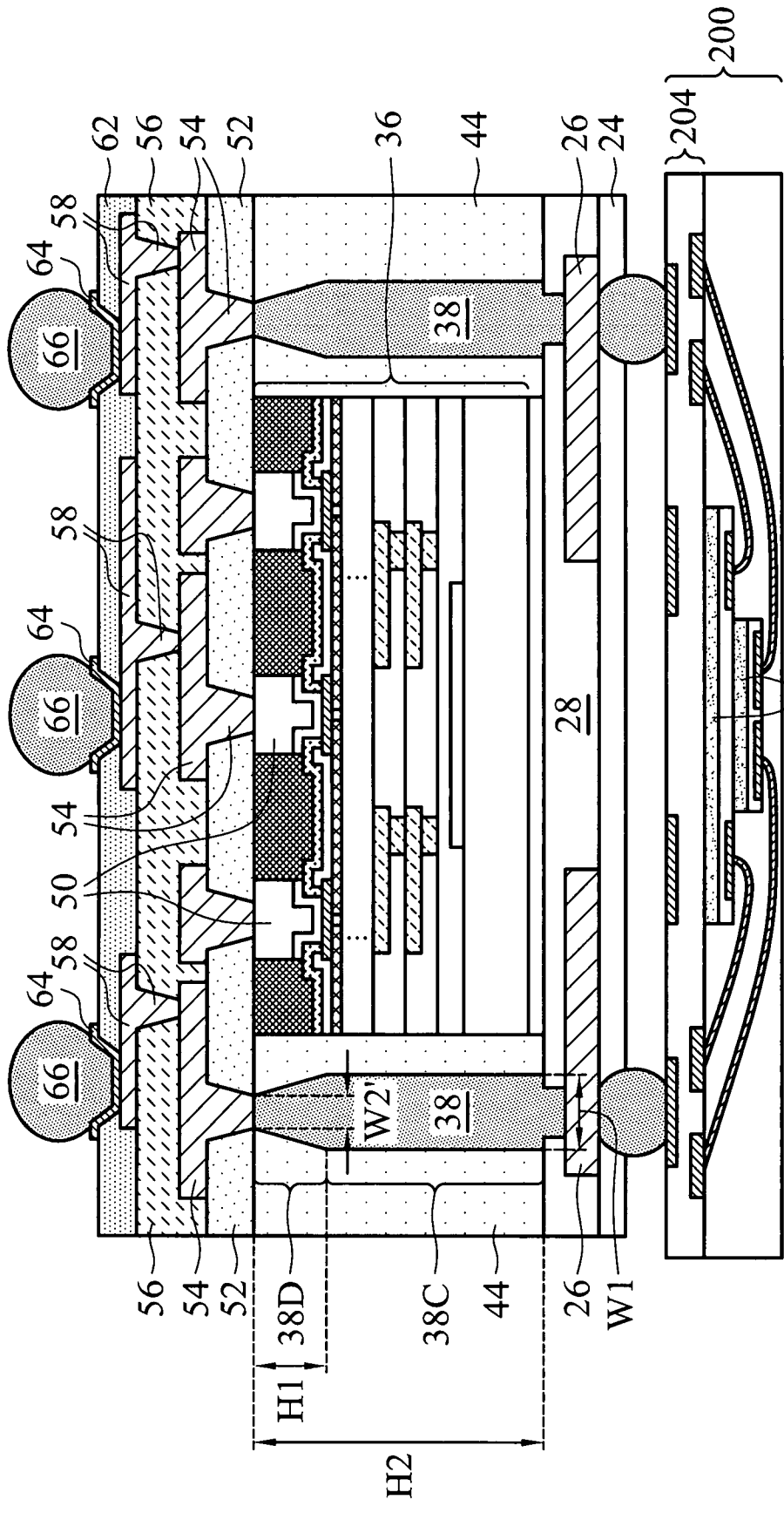
第 26 圖



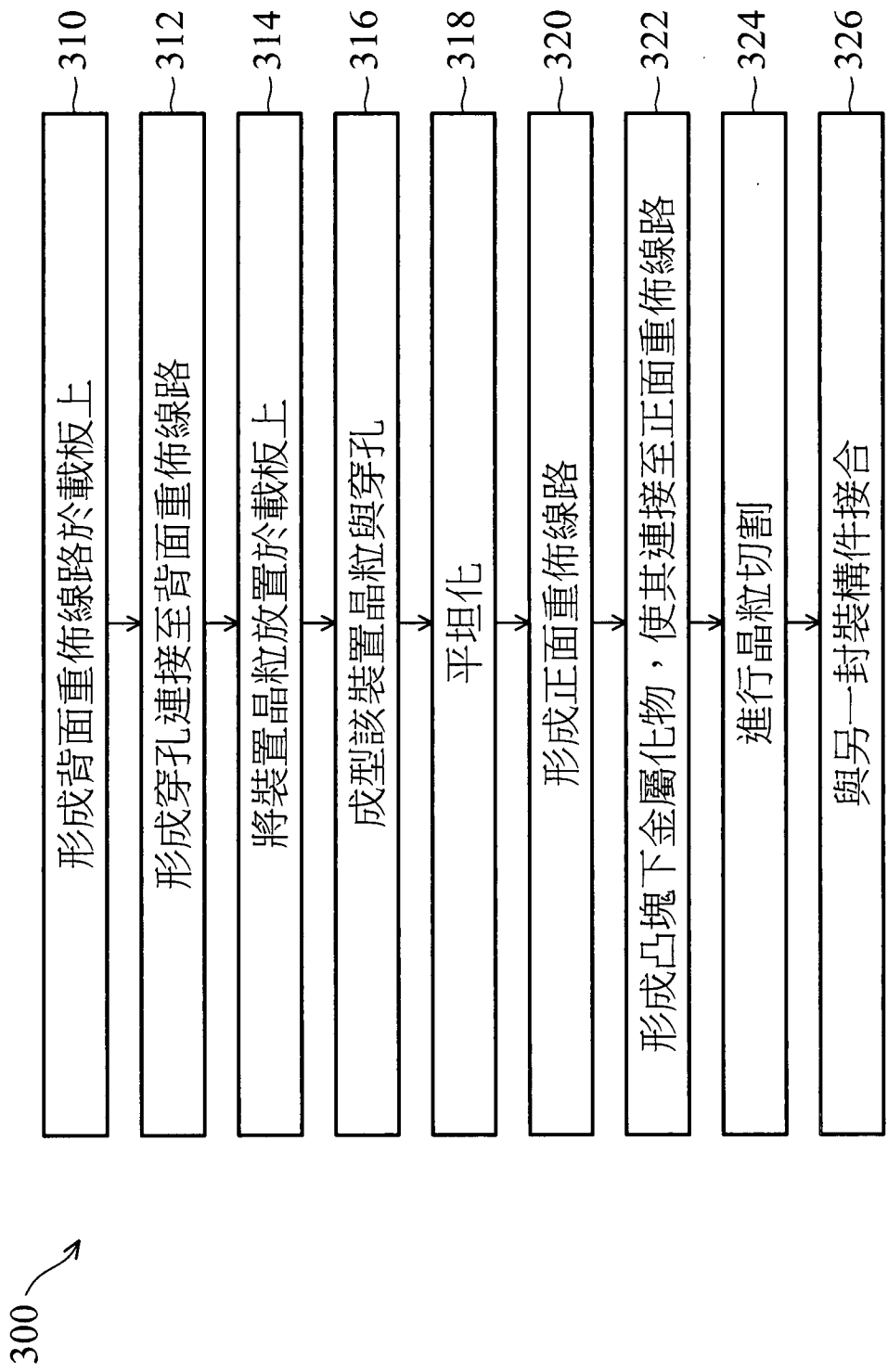
第 27 圖



第 28 圖



第 29 圖



第 30 圖