

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6351838号
(P6351838)

(45) 発行日 平成30年7月4日(2018.7.4)

(24) 登録日 平成30年6月15日(2018.6.15)

(51) Int.Cl.		F I			
G06F 17/50	(2006.01)	G06F 17/50	656B		
B82Y 10/00	(2011.01)	G06F 17/50	656A		
		B82Y 10/00			

請求項の数 14 (全 19 頁)

(21) 出願番号	特願2017-516118 (P2017-516118)	(73) 特許権者	503178185
(86) (22) 出願日	平成26年10月29日 (2014.10.29)		ノースロップ グラマン システムズ コーポレーション
(65) 公表番号	特表2017-535845 (P2017-535845A)		NORTHROP GRUMMAN SYSTEMS CORPORATION
(43) 公表日	平成29年11月30日 (2017.11.30)		アメリカ合衆国 22042-4511
(86) 国際出願番号	PCT/US2014/062895		バージニア州 フォールズ チャーチ フェアビュー パーク ドライブ 2980
(87) 国際公開番号	W02016/068910	(74) 代理人	100105957
(87) 国際公開日	平成28年5月6日 (2016.5.6)		弁理士 恩田 誠
審査請求日	平成29年3月23日 (2017.3.23)	(74) 代理人	100068755
(31) 優先権主張番号	14/526,904		弁理士 恩田 博宣
(32) 優先日	平成26年10月29日 (2014.10.29)	(74) 代理人	100142907
(33) 優先権主張国	米国 (US)		弁理士 本田 淳

最終頁に続く

(54) 【発明の名称】 レシプロカル量子論理 (RQL) 回路合成

(57) 【特許請求の範囲】

【請求項1】

非一時的なコンピュータ可読媒体であって、該コンピュータ可読媒体は、該コンピュータ可読媒体上に格納されたプログラムを有し、該コンピュータ可読媒体は、合成ツールにレシプロカル量子論理 (RQL) 回路設計を生成する方法を行わせるプログラムを実行するように構成され、前記方法が、

RQL回路設計の動作および制約に関連するデータおよびコンポーネント・ライブラリを前記合成ツールに提供するステップと、

前記合成ツールにより前記データおよび前記コンポーネント・ライブラリに基づいてフリップフロップ・デバイス・ブレースホルダと、前記フリップフロップ・デバイス・ブレースホルダの入力および出力のうちの少なくとも1つに結合された回路システムとを含むRQLネットリスト回路を生成するステップと、

前記RQLネットリスト回路内の前記フリップフロップ・デバイス・ブレースホルダを、各クロック信号の位相にそれぞれ対応する別個のクロック信号によって制御される複数のシーケンシャル・フリップフロップ・デバイスに置き換えるステップと、

前記合成ツールが識別するためにユーザによって入力された入力に基づいて前記合成ツールにより回路システムを別個のクロック信号の位相にそれぞれ関連する複数の回路サブシステムに分離するステップと、

前記合成ツールが識別するためにユーザによって入力された入力に基づいて前記合成ツールにより前記RQLネットリスト回路から前記複数のシーケンシャル・フリップフロ

10

20

プ・デバイスを除くして、R Q L ネットリスト回路から R Q L 回路設計を生成するステップと

を含む、媒体。

【請求項 2】

前記回路システムを分離するステップは、前記合成ツールにより前記 R Q L ネットリスト回路上でレジスタ・リバランス動作を実行して、前記回路システムを前記複数のシーケンシャル・フリップフロップ・デバイスの別個の 1 つに関連する複数の回路サブシステムに分離して、複数のシーケンシャル・フリップフロップの各々が複数の回路サブシステムの個々の対を相互接続するようにすることを含む、請求項 1 に記載の媒体。

【請求項 3】

前記フリップフロップ・デバイス・プレースホルダを除去することは、複数のシーケンシャル・フリップフロップの各々を除去して、前記複数の回路サブシステムの各々への対の相互接続を提供すること、

入力により別個のクロック信号の位相を複数の回路サブシステムの個々の 1 つに関連付けて、各クロック信号の位相で複数の回路サブシステムのシーケンシャルトリガを提供すること

を含む、請求項 2 に記載の媒体。

【請求項 4】

前記複数の回路サブシステムの各々に関連するクロックの位相を評価するステップと、複数のシーケンシャル・フリップフロップの除去にตอบสนองして非連続的なクロックの位相を有する複数の回路サブシステムの一対の導電性結合をもたらす前記複数の回路サブシステムの実質的に空いている回路サブシステムに前記入力により少なくとも 1 つのジョセフソン伝送線路 (J T L) を追加するステップと

をさらに含む、請求項 2 に記載の媒体。

【請求項 5】

前記回路システムを分離するステップは、前記合成ツールにより前記 R Q L ネットリスト回路上でレジスタ・リバランス動作を実行して、前記回路システムを前記別個のクロック信号の位相にそれぞれ関連付けられた前記複数の回路サブシステムに分離することを含み、

入力を提供することは、前記フリップフロップ・デバイス・プレースホルダを、前記複数の回路サブシステムの個々の 1 つに関連し、かつ各クロック信号の位相にそれぞれ対応する別個のクロック信号によって制御される複数のシーケンシャル・フリップフロップ・デバイスで置き換えることを含む、請求項 1 に記載の媒体。

【請求項 6】

前記複数の回路サブシステムの各々に関連するクロックの位相を評価するステップと、前記入力により前記複数の回路サブシステムのうちの実質的に空いている回路サブシステムに少なくとも 1 つのジョセフソン伝送線路 (J T L) を追加して、非連続的なクロックの位相を有する前記複数の回路サブシステムの一対の導電性結合をもたらすステップとを含む、請求項 1 に記載の媒体。

【請求項 7】

前記クロックの位相を評価することは、前記複数の回路サブシステムの各々の間の各導電性結合を評価することを含み、前記少なくとも 1 つの J T L を追加することは、前記クロック信号の位相の各位相セグメントの差が 1 より大きいものについて複数の回路サブシステムの所与の導電的に結合された一対の間に 1 つの J T L を加算することを含む、請求項 6 に記載の媒体。

【請求項 8】

前記クロック信号は、複数の回路サブシステムが第 1 の回路サブシステム、第 2 の回路サブシステム、第 3 の回路サブシステム、および第 4 の回路サブシステムを含むような、4 つの位相を含む直交クロック信号である、請求項 1 に記載の媒体。

【請求項 9】

10

20

30

40

50

前記合成ツールは、相補型金属酸化膜半導体（ＣＭＯＳ）回路合成ツールである、請求項 1 に記載の媒体。

【請求項 1 0】

非一時的なコンピュータ可読媒体であって、該コンピュータ可読媒体は、該コンピュータ可読媒体上に格納されたプログラムを有し、該コンピュータ可読媒体は、ＣＭＯＳ合成ツールにレシプロカル量子論理（ＲＱＬ）回路設計を生成する方法を行わせるプログラムを実行するように構成され、前記方法が、

ＲＱＬ回路設計の動作および制約に関連するデータおよびコンポーネント・ライブラリを合成ツールに提供するステップと、

前記合成ツールにより前記データおよび前記コンポーネント・ライブラリに基づいてフリップフロップ・デバイス・プレースホルダと、前記フリップフロップ・デバイス・プレースホルダの入力および出力のうちの少なくとも 1 つに結合された回路システムとを含むＲＱＬネットリスト回路を生成するステップと、

前記合成ツールが識別するためにユーザによって入力された入力に基づいて前記フリップフロップ・デバイス・プレースホルダを、各クロック信号の位相にそれぞれ対応する別個のクロック信号によって制御される複数のシーケンシャル・フリップフロップ・デバイスに置き換えるステップと、

前記合成ツールが識別するためにユーザによって入力された入力に基づいて回路システムを、前記複数のシーケンシャル・フリップフロップ・デバイスの別個の 1 つにそれぞれ関連する複数の回路サブシステムに分離して、複数のシーケンシャル・フリップフロップの各々が前記複数の回路サブシステムの個々の対を相互接続するようにするステップと、

前記合成ツールが識別するためにユーザによって入力された入力に基づいて前記合成ツールにより前記ＲＱＬネットリスト回路から複数のシーケンシャル・フリップフロップ・デバイスの各々を除去して、前記ＲＱＬネットリスト回路に基づいてＲＱＬ回路設計を生成するステップと

を含む、媒体。

【請求項 1 1】

前記回路システムを分離するステップは、前記合成ツールにより前記ＲＱＬネットリスト回路上でレジスタ・リバランス動作を実行して、前記回路システムを前記複数のシーケンシャル・フリップフロップ・デバイスの別個の 1 つに関連する複数の回路サブシステムに分離することを含む、請求項 1 0 に記載の媒体。

【請求項 1 2】

前記複数のシーケンシャル・フリップフロップ・デバイスの各々を除去することは、前記複数の回路サブシステムの各個々の対の相互接続を提供すること、入力により各クロック信号の位相を複数の回路サブシステムの個々の 1 つに関連付けて、各クロック信号の位相で複数の回路サブシステムのシーケンシャルトリガを提供することを含む、請求項 1 0 に記載の媒体。

【請求項 1 3】

前記複数の回路サブシステムの各々に関連するクロックの位相を評価するステップと、複数のシーケンシャル・フリップフロップの除去にตอบสนองして非連続的なクロックの位相を有する複数の回路サブシステムの一対の導電性結合をもたらず前記複数の回路サブシステムの実質的に空いている回路サブシステムに前記入力により少なくとも 1 つのジョセフソン伝送線路（ＪＴＬ）を追加するステップとを含む、請求項 1 0 に記載の媒体。

【請求項 1 4】

前記クロック信号は、複数の回路サブシステムが第 1 の回路サブシステム、第 2 の回路サブシステム、第 3 の回路サブシステム、および第 4 の回路サブシステムを含むような、4 つの位相を含む直交クロック信号である、請求項 1 0 に記載の媒体。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本開示は、一般的に、量子および古典回路システムに関し、具体的には、レシプロカル量子論理（RQL: Reciprocal Quantum Logic）回路合成に関する。

【背景技術】

【0002】

回路合成は、回路コンポーネント、所望の動作、および制約に対応する入力を対話式またはバッチ式で提供することに基づいて回路を設計するためのソフトウェア実装ツールである。VHSICハードウェア記述言語（VHDL）、ヴェリログ（Verilog）、またはシステムシー（System C）で典型的に記述された動作レジスタ転送レベル（RTL: Register Transfer Level）コードに基づいて、回路合成を相補型金属酸化膜半導体（CMOS）回路設計に具体化することができる。超伝導回路システムへの応用がより普及するにつれて、回路合成の使用は、レシプロカル量子論理（RQL）回路を含む超伝導回路設計をより迅速かつ効率的に最適化する方法とすることができる。CMOS回路では、コンポーネント・ビルディング・ブロックは、ANDゲート等の組み合わせ（即ち、出力は現在の入力のみ依存する）、またはフリップフロップ（FFまたはレジスタとしても知られている）またはレベル・センシティブ型ラッチ等のシーケンシャル（即ち、出力は現在および前の入力に依存する）として分類される。シーケンシャル・デバイスは、メモリまたは状態を記憶する特性を有する。RQLでは、ジョセフソン伝送ライン（JTL: Josephson transmission line）が技術的にシーケンシャルであるため、これらの厳密な組み合わせおよびシーケンシャルの分類は適用されないが、組み合わせであるところのバッファのように高頻度で使用される。FFは、クロックに対してエッジ応答的であり、合成によってサポートされる同期設計手法にとって不可欠なものである。

【0003】

エッジトリガ型フリップフロップ・デバイス等のCMOS合成システムで典型的に必要とされるいくつかの回路デバイスは、RQLにおいて効率的に構築することができない。現在市販されているほとんどのCMOS合成器では、コンポーネント・ライブラリにシーケンシャルFF要素を含ませる必要がある。合成器の役割は、動作RTLコードを取得し、RTLコードをいくつかの製造プロセスの用のコンポーネント・ライブラリ内においてセルで構成されるネットリストに変換することである。追加の別個のツールは、合成プロセスの一部ではないが、全体的なフローで使用することができる。一般にシミュレータとして知られている別のツールを使用して、合成する前に機能上の正確性を検証することができる。合成後、他のツールを使用して、配置およびルーティングのステップを実行することができる。配置およびルーティングの間、ネットリストの変更を、様々な目的（例えば、静的タイミング解析ツールを使用してタイミング要件を満たす）のいずれかのために、ツールによって自動的または手動編集によって導入することができる。シミュレータは、最終的な検証ステップとして、配置およびルーティングまたはゲート・レベル・ネットリストとRTLコードとの間の論理的等価性検査の後に生成された最終ゲート・レベル・ネットリスト上で再度動作する。設計されたものが実際に製造される前に、レイアウト対回路図（LVS）、デザインルールチェック（DRC）、電氣的ルールチェック（ERC）、および製造チェック（DFM）のような他の物理的検証ステップを使用することもできる。

【発明の概要】

【0004】

本発明の一実施形態は、合成ツールによりレシプロカル量子論理（RQL）回路設計を生成する方法を含む。方法は、RQL回路設計の動作および制約に関連するデータおよびコンポーネント・ライブラリを合成ツールに提供することを含む。方法は、合成ツールによりデータに基づいてフリップフロップ・デバイス・プレースホルダと、フリップフロ

10

20

30

40

50

プ・デバイス・プレースホルダの入力および出力のうちの少なくとも1つに結合された回路システムとを含むRQLネットリスト回路を生成することも含む。方法は、合成ツールにより入力に基づいて回路システムをクロック信号の別個の個々の位相にそれぞれ関連する複数の回路サブシステムに分離することも含む。方法は、合成ツールにより入力に基づいてRQLネットリスト回路からフリップフロップ・デバイス・プレースホルダを除去して、RQLネットリスト回路からRQL回路設計を生成することをさらに含む。

【0005】

本発明の別の実施形態は、合成ツールによりRQL回路設計を生成する方法を含む。方法は、RQL回路設計の動作および制約に関連するデータおよびコンポーネント・ライブラリを合成ツールに提供することを含む。方法は、合成ツールによりデータに基づいてフリップフロップ・デバイス・プレースホルダと、フリップフロップ・デバイス・プレースホルダの入力および出力のうちの少なくとも1つに結合された回路システムとを含むRQLネットリスト回路を生成することも含む。方法は、入力に基づいてフリップフロップ・デバイス・プレースホルダを、クロック信号の各別個の位相にそれぞれ対応する別個のクロック信号によって制御される複数のシーケンシャル・フリップフロップ・デバイスに置き換えることも含む。方法は、入力に基づいて回路システムを、複数のシーケンシャル・フリップフロップ・デバイスの別個の1つにそれぞれ関連する複数の回路サブシステムに分離して、複数のシーケンシャル・フリップフロップの各々が複数の回路サブシステムの個々の対を相互接続するようにすることを含む。方法は、入力に基づいて合成ツールによりRQLネットリスト回路から複数のシーケンシャル・フリップフロップ・デバイスの各々を除去して、RQLネットリスト回路に基づいてRQL回路設計を生成することを含む。

【0006】

本発明の別の実施形態は、合成ツールによりRQL回路設計を生成する方法を含む。方法は、RQL回路設計の動作および制約に関連するデータおよびコンポーネント・ライブラリを合成ツールに提供することを含む。方法は、データに基づいて合成ツールによりフリップフロップ・デバイス・プレースホルダと、フリップフロップ・デバイス・プレースホルダの入力および出力のうちの少なくとも1つに結合された回路システムとを含むRQLネットリスト回路を生成することも含む。方法は、合成ツールによりRQLネットリスト回路上でレジスタ・リバランス動作を実行して、回路システムを、それぞれ直交クロック信号の別個の個々の位相に関連する第1の回路サブシステム、第2の回路サブシステム、第3の回路サブシステム、および第4の回路サブシステムに分割することも含む。方法は、入力に基づいて合成ツールによりRQLネットリスト回路からフリップフロップ・デバイス・プレースホルダを除去して、RQLネットリスト回路に基づいてRQL回路設計を生成することを更に含む。

【図面の簡単な説明】

【0007】

【図1】回路合成システムの一例を示す図。

【図2】RQLネットリスト回路の一例を示す図。

【図3】RQLネットリスト回路の別の例を示す図。

【図4】RQLネットリスト回路の別の例を示す図。

【図5】RQLネットリスト回路の別の例を示す図。

【図6】RQLネットリスト回路の別の例を示す図。

【図7】合成ツールによりRQL回路設計を生成する方法の一例を示す図。

【図8】合成ツールによりRQL回路設計を生成する方法の別の例を示す図。

【図9】合成ツールによりRQL回路設計を生成するための方法の他の例を示す図。

【発明を実施するための形態】

【0008】

本開示は、一般的に、量子および古典回路システムに関し、具体的には、レシプロカル量子論理(RQL)回路合成に関する。回路合成システムは、所望のRQL回路設計に対

10

20

30

40

50

応するようになど、機能的にシミュレートすることができる R Q L ネットリスト回路を生成するように実施され得る合成ツール（例えば、相補型金属酸化膜半導体（C M O S）回路設計のために典型的に構成されるもの）を含むことができる。コンポーネント・ライブラリは、ユーザが所望の R Q L 回路設計に関連する動作データおよび制約データから R Q L ネットリスト回路を生成するのを実施することができるように、合成ツールにアップロードされる。生成された R Q L ネットリスト回路は、少なくとも 1 つのフリップフロップ・デバイス・プレースホルダと、フリップフロップ・デバイス・プレースホルダの入力および出力の少なくとも 1 つに結合された回路システムとを含むことができる。ユーザは、合成ツールに提供された入力を介して、フリップフロップ・デバイス・プレースホルダの各々を、シーケンシャルに結合され、かつそれぞれ互いに対して位相が異なる（例えば、位相が 90°ずれた）別個のクロック信号によって制御される複数のフリップフロップ・デバイス（例えば、4 つのフリップフロップ・デバイス）に置き換えることができる。次いで、ユーザは、回路システムを複数のフリップフロップ・デバイスにそれぞれ関連付けられた複数の回路サブシステムに分離して、各フリップフロップ・デバイスが 1 対の回路サブシステムを相互接続するようにすることができる。一例として、回路システムを回路サブシステムに分離することは、合成ツールによりレジスタのリバランシング動作を実行することに基づくことができる。

【 0 0 0 9 】

次いで、ユーザは、フリップフロップ・デバイスによって相互接続された回路サブシステム間の結合を提供するために、入力によりフリップフロップ・デバイスを除去することができる。クロック信号は、クロック信号の個々の位相に基づいて回路サブシステムのシーケンシャルトリガを提供するように、回路サブシステムに提供される。一例として、クロック信号は、4 つの回路サブシステムをシーケンシャルにトリガするために直交クロック信号を提供することができるように、一对の直交クロック信号を含む。さらに、フリップフロップ・デバイスの除去に続いて、各回路サブシステムの位相情報を互いに分析して、クロック信号の位相に対する回路サブシステムのシーケンシャル結合を確実にすることができる。このように、シーケンシャルクロック信号の位相を有していないシーケンシャル結合された回路サブシステムに回答して、ユーザは、ジョセフソン伝送ライン（J T L）を追加して、シーケンシャル結合された回路サブシステムを相互接続することができる。たとえば、多数の J T L を 1 より大きな各位相セグメントの差に対して追加することができる。したがって、シーケンシャルに結合された回路サブシステムは、R Q L ネットリスト回路の適切な動作を提供するためにシーケンシャルに位相トリガされ得る。

【 0 0 1 0 】

図 1 は、回路合成システム 10 の一例を示す。回路合成システム 10 は、相補型金属酸化膜半導体（C M O S）回路、レシプロカル量子論理（R Q L）回路、またはその両方の組み合わせなどの回路を設計するために実施することができる。回路合成システム 10 は、プロセッサ 11 と、合成ツール 12 と、メモリ 14 とを含む。図 1 に示すように、回路合成システム 10 は、シミュレータ 16 を含むものとして示されているが、シミュレータ 16 は、例として提供され、本明細書に記載されている回路合成に必要ではない。合成ツール 12 は、例えば、C M O S および / または R Q L 回路を（例えば、プロセッサ 11 を介して）設計するように典型的に構成された様々な市販されている合成ツールのいずれかとして構成することができる。一例として、合成ツール 12 は、動作レジスタ転送レベル（R T L）コード、V H S I C ハードウェア記述言語（V H D L）コード、またはヴェリログ（V e r i l o g）コードに基づいて動作することができる。図 1 の例において、合成ツール 12 は、様々なインタフェースのいずれかを介してなど、所望の R Q L 回路設計に関連する動作データおよび / または制約データに対応することができるユーザからの入力 B / C _ D T を受信する。例えば、入力 B / C _ D T は、所望の R Q L 回路設計に関連する所定の動作コードおよび / または動作制約を含むことができる。所望の R Q L 回路設計に関連する入力 B / C _ D T の動作制約データおよび動作コードは、一組の動作 / 制約 18 としてメモリ 14 に保存することができる。さらに、ユーザは、利用可能な回路ツ

10

20

30

40

50

ルに対応するコンポーネント・ライブラリ（コンポーネント・ライブラリから所望のRQL回路を設計することができる）に対応する入力CL（例えば、結果として得られる所望のRQL回路を製作し得るユーザまたはASIC製造者から提供される「.lib」ファイル）を提供することができる。図1の例において、入力CLに関連するコンポーネント・ライブラリは、コンポーネント・ライブラリ20としてメモリ14に保存される。

【0011】

合成ツール12は、動作/制約18およびコンポーネント・ライブラリ20を介して（例えば、プロセッサ11により）RQLネットリスト回路22を生成するように構成することができる。一例として、合成ツール12は、メモリ14に記憶され、メモリ14から実行可能であるか、または別個のメモリに記憶され、別個のメモリから実行可能である。図1の例において、RQLネットリスト回路22は、メモリ14に記憶される。RQLネットリスト回路22は、超伝導コンピューティングデバイスならびにCMOS回路デバイス・プレースホルダを含み、本明細書に記載するように、RQLネットリスト回路22が、コンポーネント・ライブラリ20からの既存のCMOS回路ツールおよび/またはRQL回路ツールに基づいてCMOS回路設計を類似させるようにする。例えば、合成ツール12は、動作/制約18に基づいて精巧な機能を実施して、RQLネットリスト回路22の初期機能コンセプト回路を提供することができ、かつコンポーネント・ライブラリ20に基づいてコンパイルまたは最適化機能を実施して、RQLネットリスト回路22を生成することができる。したがって、本明細書に記載するように、ユーザは、手作業とは対照的に、（例えば、特定用途向け集積回路（ASIC）を構築するために配置およびルーティング動作を実施する他のツールを介して）回路合成システム10により最適化されるRQLネットリスト回路22に基づいてRQL回路を設計することができ、これは、労働集約型設計およびシミュレーションプロセスを実質的に緩和する。

【0012】

一例として、いくつかのCMOS回路デバイスは、合成ツール12のコンポーネント・ライブラリ20で通常利用可能なツールに基づくRQL回路設計において複製することができない。一例は、クロックトリガ型フリップフロップ（FF）回路デバイスである。合成ツール12のような典型的な合成ツールのそのような制限は、CMOS回路の厳密な動作またはシーケンシャル動作とは対照的に、RQL回路のシーケンシャル動作および組み合わせ動作の組み合わせに基づいて合成ツール12を使用したRQL回路の設計を制限する可能性がある。したがって、合成ツール12内のコンポーネント・ライブラリ20において利用可能なコンポーネントを使用して、クロックトリガ型フリップフロップ回路デバイスと同等の能力を有するRQL回路を設計しシミュレートすることは困難または不可能である可能性がある。しかしながら、本明細書で説明するように、入力スクリプトSCRIPTの特定のシーケンスと、RQL回路設計においてフリップフロップ・デバイス機能をエミュレートするコンポーネント・ライブラリ20内のプレースホルダFFの追加とを提供することによって、ユーザは、CMOSを最適化するための合成ツールを用いてRQL回路を合成し最適化することができる。本明細書で説明するように、フリップフロップ・デバイス・プレースホルダは、RQLにおけるレジスタを表現し、かつ回路システムをサブシステムに分離する目的で、回路システムにおけるプレースホルダとして実装されるフリップフロップまたは他のデバイスを記述する。したがって、「プレースホルダFF」という用語は、プレースホルダとして実際のFFデバイスを実装することに限定されるものではなく、そのような目的のためのプレースホルダとしての役割を持つことができるコンポーネント・ライブラリ20内の任意のタイプのデバイス（例えば、RTLで概念的に表されるような）とすることができる。入力スクリプトSCRIPTは、例えば、合成ツール12により提供される初期の精巧なコンパイル機能に続いて提供することができる。一例として、入力スクリプトSCRIPTは、RQLネットリスト回路22を編集するためのネットリスト・ファイル・エディット、動作/制約18に対する変更、コンポーネント・ライブラリ20に対する変更、またはRQLネットリスト回路22の構造を変更するための合成回路12に対するコマンドのうちの少なくとも1つを含む。

10

20

30

40

50

【 0 0 1 3 】

一例として、合成ツール 1 2 は、動作 / 制約 1 8 に基づいて R Q L ネットリスト回路 2 2 の初期機能コンセプト回路を生成して、回路システムに結合された C M O S フリップフロップ・デバイス・プレースホルダ（例えば、少なくとも C M O S フリップフロップ・デバイス・プレースホルダの入力または出力のうちの 1 つ）を含むようにすることができるが、C M O S フリップフロップ・デバイス・プレースホルダを合成 R Q L ネットリスト回路 2 2 にコンパイルすることができない。したがって、入力スクリプト S C P T は、R Q L ネットリスト回路 2 2 内に回路システムに結合され C M O S フリップフロップ・デバイス・プレースホルダを置き換え、回路システムを複数の回路サブシステムに分離することを含む。例えば、ユーザは、入力スクリプト S C P T を提供して、フリップフロップ・デバイス・プレースホルダを、クロック信号の所与の個々の位相にそれぞれ関連付けられ、かつ複数の回路サブシステムの個々の 1 つに関連付けられた複数のシーケンシャル・フリップフロップ・デバイスに置き換えることができる。以前に説明したのと同様に、シーケンシャル・フリップフロップ・デバイスは、実際のフリップフロップ・デバイスに限定されることを意図するものではなく、様々な他のレジスタ・タイプ・デバイスのいずれかとして実施することができる。図 1 の例において、合成ツール 1 2 は、回路システム全体にわたって許容可能なタイミング分布を提供するために、（例えば、グラフ理論に基づいて）回路システム全体にわたって複数のシーケンシャル・フリップフロップ・デバイスを分配するように構成することができるレジスタ・リバランス機能 2 4 を含み、分配されたフリップフロップ・デバイス間にそれぞれがクロック信号の別個の個々の位相に関連する複数の回路サブシステムを確立する。本明細書で説明するように、用語「レジスタ・リバランス機能」は、レジスタ（例えば、レジスタ・リバランス、バランス・レジスタ、最適化レジスタ、リタイムなど）に関する様々な等価なタイミング分配動作のいずれかを記述するために使用される。例えば、レジスタ・リバランス機能 2 4 は、フリップフロップ・デバイス・プレースホルダに置き換えられたフリップフロップ・デバイスの各々を、回路サブシステムの別個の個々の 1 つに関連付けることができる。次いで、ユーザは、スクリプト入力 S C P T を介してフリップフロップ・デバイス（例えば、置換フリップフロップ・デバイス）を除去して、回路サブシステムの各々がクロック信号の個々の別個の位相で動作する状態で、回路サブシステム同士を結合させて、合成 R Q L ネットリスト回路 2 2 を提供することができる。さらに、ユーザは、入力スクリプト S C P T を介して追加のジョセフソン伝送ライン（J T L）を提供して、R Q L ネットリスト回路 2 2 の適切な位相シーケンシングのための連続する回路サブシステム間の位相タイミング遅延を提供することができる。

【 0 0 1 4 】

図 2 は、R Q L ネットリスト回路 5 0 の一例を示す図である。R Q L ネットリスト回路 5 0 は、図 1 の例における R Q L ネットリスト回路 2 2 の設計の初期段階に相当する。したがって、R Q L ネットリスト回路 5 0 は、回路合成システム 1 0 を介して設計および最適化が望まれる R Q L 回路に対応することができる。

【 0 0 1 5 】

R Q L ネットリスト回路 5 0 は、フリップフロップ・デバイス 5 2 および回路システム 5 4 を含む。フリップフロップ・デバイス 5 2 は、C M O S クロックトリガ型フリップフロップ（例えば、D フリップフロップ）に対応することができ、（例えば、合成ツール 1 2 の精巧な機能を介して）初期 R Q L ネットリスト回路 5 0 に設けられ、かつフィードバックループ 5 6 を介した入力および出力信号 5 8 を介して出力において回路システム 5 4 に結合される（例えば、合成ツール 1 2 の精巧な機能により R Q L ネットリスト回路 5 0 にも追加される）。フリップフロップ・デバイス 5 2 はまた、クロック信号 C L K を受信するクロック入力を含む。回路システム 5 4 は、R Q L 回路デバイス、C M O S 回路デバイス（例えば、プレースホルダ）、または R Q L 回路および C M O S 回路デバイスの組み合わせを含む様々な回路デバイスおよび / または論理デバイスに対応することができる。例えば、回路システム 5 4 は、C M O S 回路コンポーネントをシミュレートするために、

10

20

30

40

50

RQL回路デバイスに関するシーケンシャル回路から組み合わせ回路への遷移を表すことができる。前述したように、RQL回路は、CMOS回路によって提供されるような、厳密にシーケンシャルにまたは厳密に組み合わせることとは対照的に、より詳細には、CMOSフリップフロップ・デバイスが動作するのは対照的に、シーケンシャル信号動作と組み合わせ信号動作との組み合わせに基づいて動作する。したがって、フリップフロップ・デバイス52は、合成RQLネットリスト回路22において適切に機能することができない。したがって、ユーザは、入力スクリプトSCRIPTのシーケンスを提供して、最初にフリップフロップ・デバイス52をプレースホルダとして追加することから開始して、RQLネットリスト回路22におけるクロックトリガ型フリップフロップの機能を提供することができる。RQLネットリスト回路50が単一のフリップフロップ・デバイス52を含むように図2の例で示されているが、本明細書で説明する技術は、複数（例えば、数百または数千）のフリップフロップ・デバイスを含むことに適用可能であることが理解される。

10

【0016】

図3は、RQLネットリスト回路100の他の例を示す。RQLネットリスト回路100は、図1の例におけるRQLネットリスト回路22を設計する段階に対応することができる。例えば、RQLネットリスト回路100は、図2の例のRQLネットリスト回路50によって示される初期段階の直後の段階に対応することができる。

【0017】

図3の例において、ユーザは、入力スクリプトSCRIPTを合成ツール12に供給して、フリップフロップ・デバイス52を、シーケンシャルに接続された第1のフリップフロップ・デバイス102、第2のフリップフロップ・デバイス104、第3のフリップフロップ・デバイス106、および第4のフリップフロップ・デバイス108として示されている複数のシーケンシャル・フリップフロップ・デバイスに置き換える。第1のフリップフロップ・デバイス102は、フィードバックループ56を介して回路システム54に結合され、かつ出力信号110を介して第2のフリップフロップ・デバイス104に結合される。第2のフリップフロップ・デバイス104は、出力信号112を介して第3のフリップフロップ・デバイス106に結合され、第3のフリップフロップ・デバイス106は、出力信号114を介して第4のフリップフロップ・デバイス108に結合され、第4のフリップフロップ・デバイス108は、出力信号58を介して回路システム54に結合される。

20

30

【0018】

図3の例において、各フリップフロップ・デバイス102、104、106、および108は、個々のクロック信号CLKを受信するクロック入力を含むが、クロック入力は位相がそれぞれ90°ずれている。したがって、第1のフリップフロップ・デバイス102はクロック信号CLKを受信し、第2のフリップフロップ・デバイス104はクロック信号 $CLK + 90^\circ$ を受信し、第3のフリップフロップ・デバイス106はクロック信号 $CLK + 180^\circ$ を受信し、フリップフロップ・デバイス108はクロック信号 $CLK + 270^\circ$ を受信する。例えば、入力スクリプトSCRIPTは、最初に、フリップフロップ・デバイス52を、それぞれ共通のクロック信号CLKが提供される個々のフリップフロップ・デバイス102、104、106、および108に置き換え、続いて、（例えば、「カラーリング（coloring）」手順に基づいて）クロック信号CLKの位相を連続するフリップフロップ・デバイス102、104、106、および108に対して個々の90°位相外れクロック信号に変換する。したがって、プレースホルダ・フリップフロップ・デバイス52をフリップフロップ・デバイス102、104、106および108に置き換える際に、ユーザは、クロック信号CLKの別個の個々の位相をフリップフロップ・デバイス102、104、106および108の各個々の1つに関連付けることができる。フリップフロップ・デバイス102、104、106、108はフリップフロップとして説明されているが、フリップフロップ・デバイス102、104、106、108は、ラッチ（例えば、Dラッチ）に対応することができることが理解される。

40

50

【 0 0 1 9 】

図4は、RQLネットリスト回路150のさらに別の例を示す。RQLネットリスト回路150は、合成ツール12を使用する図1の例におけるRQLネットリスト回路22を設計する段階に対応することができる。例えば、RQLネットリスト回路150は、図3の例におけるRQLネットリスト回路100によって示される段階の直後の段階に対応することができる。

【 0 0 2 0 】

図4の例において、ユーザは、レジスタ・リバランス機能24を実行して、回路システム54を、回路システム54に集会的に対応する第1の回路サブシステム152、第2の回路サブシステム154、第3の回路サブシステム156、および第4の回路サブシステム158として示されている複数の回路サブシステムに分離する。第1の回路サブシステム152は、第1のフリップフロップ・デバイス102と第2のフリップフロップ・デバイス104とを相互接続し、第2の回路サブシステム154は、第2のフリップフロップ・デバイス104と第3のフリップフロップ・デバイス106とを相互接続する。同様に、第3の回路サブシステム156は、第3のフリップフロップ・デバイス106と第4のフリップフロップ・デバイス108とを相互接続し、第4の回路サブシステム158は、第4のフリップフロップ・デバイス108と第1のフリップフロップ・デバイス102とをフィードバックループ56を介して相互接続する。

【 0 0 2 1 】

本明細書でより詳細に説明するように、回路サブシステム152、154、156、および158は、(例えば、グラフ理論に基づいて)レジスタ・リバランス機能24に基づいて分配される。一例として、レジスタ・リバランス機能24は、回路サブシステム152、154、156、158を生成する際に、回路システム54をほぼ等しいシーケンシャル部分に分割することができる。したがって、レジスタ・リバランス機能24は、各回路サブシステム152、154、156、および158がクロック信号CLKの位相の個々の1つに関連するように、回路サブシステム152、154、156、158をフリップフロップ・デバイス102、104、106、および108の間に分配することができる。その結果、フリップフロップ・デバイス102、104、106、108は、クロック信号CLKの1/4サイクルに対応する位相境界に対応することができる。

【 0 0 2 2 】

図4の例において、フリップフロップ・デバイス102、104、106、および108は、回路サブシステム152、154、156、および158の個々の1つによってそれぞれ分離されているものとして示されている。しかしながら、レジスタ・リバランス機能24にตอบสนองして、RQLネットリスト回路150は、クロック信号CLKの別個の位相(例えば、CLK、 $CLK + 90^\circ$ 、 $CLK + 180^\circ$ 、 $CLK + 270^\circ$)に関連する追加のフリップフロップ・デバイスおよび/または回路サブシステムを含み得る。さらに、レジスタ・リバランス機能24は、クロック信号CLKの別個の位相のうちの一つにそれぞれ関連付けられ、かつ先行するフリップフロップ・デバイス、または進行中のフリップフロップ・デバイスに関してマージまたは分割することができる複数の回路サブシステムを作成することができる。

【 0 0 2 3 】

図5は、RQLネットリスト回路200の一例を示す図である。RQLネットリスト回路200は、合成ツール12を使用する図1の例におけるRQLネットリスト回路22を設計する段階に対応する。例えば、RQLネットリスト回路200は、図4の例におけるRQLネットリスト回路200によって示される段階の直後の段階に対応することができる。

【 0 0 2 4 】

図5の例において、ユーザは、フリップフロップ・デバイス102、104、106、108を除去するために入力スクリプトSCRIPTを合成ツール12に提供することができる。その結果、回路サブシステム152、154、156、158の各対は、互いに導電

10

20

30

40

50

的に結合されている。RQL ネットリスト回路 200 における回路サブシステム 152, 154, 156, および 158 の導電性結合は、JTL に基づき、回路サブシステム 152, 154, 156, および 158 の 1 つから回路サブシステム 152, 154, 156, および 158 の次の連続する 1 つにシーケンシャルに単一磁束量子 (SFQ: single flux quantum) パルスを伝搬するように構成される。図 5 の例において、第 1 の回路サブシステム 152 は、第 1 の JTL 202 を介して第 2 の回路サブシステム 154 に結合され、第 2 の回路サブシステム 154 は、第 2 の JTL 204 を介して第 3 の回路サブシステム 156 に結合され、第 3 の回路サブシステム 156 は、第 3 の JTL 206 を介して第 4 の回路サブシステム 158 に結合され、第 4 の回路サブシステム 158 は、フィードバックループ 56 に対応する第 4 の JTL 208 を介して第 1 の回路サブシステム 152 に結合される。

10

【0025】

また、クロック信号 CLK は、各回路サブシステム 152, 154, 156, 158 に供給される。図 5 の例において、第 1 の回路サブシステム 152 は第 1 の位相 ϕ_1 を有するものとして示され、第 2 の回路サブシステム 154 は第 2 の位相 ϕ_2 を有するものとして示され、第 3 の回路サブシステム 156 は第 3 の位相 ϕ_3 を有するものとして示され、第 4 の回路サブシステム 158 は第 4 の位相 ϕ_4 を有するものとして示される。位相 ϕ_1 , ϕ_2 , ϕ_3 , および ϕ_4 の各々は、約 90° だけ連続的に位相がずれている。例えば、クロック信号 CLK の別個の位相 ϕ_1 , ϕ_2 , ϕ_3 , および ϕ_4 の関連付けは、回路サブシステム 152, 154, 156, および 158 に対する位相 ϕ_1 , ϕ_2 , ϕ_3 , および ϕ_4 の個々の 1 つを決定するために入力スクリプト SCPT により除去されたフリップフロップに関して JTL 202, 204, 206, および 208 の各々に沿ったトレースアルゴリズムに基づく。

20

【0026】

一例として、RQL ネットリスト回路 200 において、クロック信号 CLK は、図 3 及び図 4 の例では、クロック信号 CLK の 4 つの個々の位相を含む直交クロック信号 (例えば、CLK, CLK + 90° , CLK + 180° , および CLK + 270°) として構成することができる。例えば、直交クロック信号 CLK は、互いに約 90° 位相がずれた 2 つの AC 信号を含み、かつ各々が、回路サブシステム 152, 154, 156, および 158 の 1 つおきに順方向極性接続および逆極性接続を介して誘導接続されている。したがって、クロック信号 CLK は、クロック信号 CLK の各 4 分の 1 周期で回路サブシステム 152, 154, 156, および 158 の各々にシーケンシャル・タイミングパルスを提供するように構成される。したがって、RQL ネットリスト回路 200 は、所望の RQL 回路設計に対応して回路システム 54 に関してクロックトリガ型フリップフロップ・デバイスの能力を含むように設計され、かつ合成される。

30

【0027】

図 6 は、RQL ネットリスト回路 250 の他の例を示す。RQL ネットリスト回路 250 は、RQL ネットリスト回路 150 に関連する連続的な位相セグメントのタイミングの問題を補正するように、図 4 の例における RQL ネットリスト回路 150 にほぼ対応することができる。図 6 の例では、RQL ネットリスト回路 250 は、回路サブシステム 152, 154, および 156、ならびにフリップフロップ・デバイス 104 および 106 のみを示している。しかしながら、RQL ネットリスト回路 250 は、RQL ネットリスト回路 150 の一部として示され、残りの部分 (すなわち、回路サブシステム 150 およびフリップフロップ・デバイス 102 および 108) は、簡潔かつ明瞭にするために省略されていることを理解されたい。

40

【0028】

前に説明したように、回路サブシステム 152, 154, 156, および 158 は、レジスタ・リバランス機能 24 に基づいて (例えば、グラフ理論に基づいて) 分配させることができる。しかしながら、回路システム 54 の分割は、回路サブシステム 152, 154, 156, および 158 のうちの 1 つまたは複数が実質的に空である (例えば、回路要

50

素がない)結果となるなど、不均一となり得るので、クロック信号の非連続的な位相₁、₂、₃、₄を有する回路サブシステム152, 154, 156, 158のうちの2つは、フリップフロップ・デバイス102, 104, 106, 108の除去後に導電的に結合することができる。したがって、回路サブシステム152, 154, 156, および158の一对間の結合は、連続していなくてもよく、回路サブシステム152, 154, 156, および158の位相トリガは、回路サブシステム152, 154, 156および158の潜在的な非連続的な結合に基づいて位相₁、₂、₃、および₄の適切なシーケンスで生じなくてもよい。換言すれば、回路サブシステム152, 154, 156, および158の所与の1つに関連し、かつ位相₁、₂、₃、および₄の個々の1つに関連づけられた回路デバイスは、回路サブシステム152, 154, 156, および158の非連続的な他の1つ、したがって、位相₁、₂、₃、₄の非連続的な個々の1つに直接的に結合することができない。したがって、ユーザは、1つまたは複数の追加のJTLを所与の空の1つまたは複数の回路サブシステム152, 154, 156および158に追加して、十分な付加的な遅延を提供して、適切な個々の位相₁、₂、₃、および₄を用いてクロック信号CLKによってトリガされることになっている別個の非連続的な回路サブシステム152, 154, 156, および158において導電的に結合された回路デバイス間の関連性を提供することができる。

【0029】

図6の例において、フリップフロップ・デバイス102, 104, 106, および108を除去する前に、回路サブシステム154は、回路コンポーネントを全く含まないか、または非常に僅かな回路コンポーネントを含んでいるなど、実質的に空であることが明らかとなる可能性があり、回路サブシステム154の入力112および回路サブシステム154の出力114(フリップフロップ・デバイス106からの出力として示されている)は導電的に結合されたものとして提供される。例えば、ユーザは、レジスタ・リバランス機能24を実施した後、回路サブシステム154が実質的に空であると判断することができる。したがって、フリップフロップ・デバイス102, 104, 106, 108、特にフリップフロップ・デバイス104および106の除去により、結果的に回路サブシステム152および156の導電的な結合が得られる。しかしながら、回路サブシステム152および156は、非連続的な位相₁および₃を有するので、回路サブシステム152および156がクロックの位相₁及び₃にตอบสนองしてトリガするタイミングは、タイミングに関して回路システム54の誤った動作をもたらすこととなる。

【0030】

実質的に空の回路サブシステム(例えば、図6の例における回路サブシステム154)に起因するタイミング問題の判定にตอบสนองして、ユーザは、入力スクリプトSCRIPTを介して回路サブシステム154に追加のJTL252を追加して、フリップフロップ・デバイス104および106を相互接続する。したがって、追加のJTL252は、付加的な位相遅延を提供して、適切な個々の位相₁および₃を用いてクロック信号CLKによってトリガされることになっている非連続的な回路サブシステム152および156間の関連性を提供することができる。図6の例において、位相₁を有する第1の回路サブシステム152と位相₃を有する第3の回路サブシステム156との間の導電性結合は、位相セグメントの差が1より大きいこと(例えば、この例では、位相セグメントの差が2)に基づく非連続的な導電性結合である。したがって、ユーザは、第1および第3の回路サブシステム152および156の間の導電性結合において単一の追加のJTL252を追加して、第1および第3の回路サブシステム152および156の間の導電性結合における付加的な1つの位相セグメント遅延を提供することができる。したがって、フリップフロップ・デバイス102, 104, 106, および108、特にフリップフロップ・デバイス104および106を除去すると、JTL252は、(例えば、クロック信号CLKの位相₂によってトリガされるように)位相₁と₃との間に十分な1つの位相セグメント遅延を与えて、クロック信号CLKの個々の位相₁および₃での回路サブシステム152および156の適切なトリガを提供することができる。

【 0 0 3 1 】

図6は、回路サブシステム154がJTL252が追加される実質的に空の回路サブシステムであることを示しているが、本明細書に記載の方法は、他の回路サブシステム152, 156, または158のいずれかに適用可能であり、かつ同様に2以上の回路サブシステムに適用可能である。一例として、ユーザは、実質的に空の回路サブシステムである回路サブシステム152, 154, 156および158のいずれかに追加の1つのJTL252を追加して、追加のJTL252が個々の位相 ϕ_1 , ϕ_2 , ϕ_3 , ϕ_4 における回路サブシステム152, 154, 156, および158の対応するトリガに対する十分な遅延を提供する。例えば、ユーザは、回路サブシステム152, 154, 156, および158間の導電性結合に沿って前後にトレースして、回路サブシステム152, 154, 156, および158に関連する個々の位相 ϕ_1 , ϕ_2 , ϕ_3 , および ϕ_4 に基づいて位相セグメントの差を決定することができる。したがって、非連続的な位相 ϕ_1 , ϕ_2 , ϕ_3 , および ϕ_4 を有する各導電性結合済みの回路サブシステム152, 154, 156, および158の間に1つまたは複数のJTL252を追加することによって、回路サブシステム152, 154, 156, および158は、クロック信号CLKによって適切にシケンシャルにトリガされて、シミュレータ16による正確なシミュレーションをもたらす、かつ結果として得られるRQL回路設計の適切な動作を提供することができる。

10

【 0 0 3 2 】

図2~図6の例は、クロックトリガ型フリップフロップ・デバイスの能力を含むことができるRQL回路を合成するために、ユーザが合成ツール12に提供することができる一連の入力スクリプトSCRIPTを提供する。方法の段階は、図2~図6の例によって順次示されるが、入力スクリプトSCRIPTおよびRQL回路の設計段階は、図2~図6の例によって示される段階の順序に限定されないことが理解されるべきである。例えば、前述の代わりに、ブレースホルダ・フリップフロップ・デバイス52は、(例えば、レジスタ・リバランス機能24を介して)回路システム54の分離に続いて、複数のフリップフロップ・デバイス102, 104, 106, および108によって置き換えることができる。同様に、追加のJTL252は、フリップフロップ・デバイス102, 104, 106, および108を除去する前に、回路サブシステム152, 154, 156, 158の間の導電性結合に追加することができる。したがって、RQL回路を設計および合成するための方法は、様々な方法で実施することができる。

20

30

【 0 0 3 3 】

上記の構造的及び機能的特徴を考慮して、本発明の様々な態様による方法は、図7~図9を参照することにより、より良く理解されるであろう。説明の簡略化のために、図7~図9の方法は、連続して実行されるものとして示され説明されているが、本発明は説明された順番に制限されず、本発明によれば、いくつかの態様が、本明細書に示され記載されている態様とは別の態様で異なる順序で、および/または並行して実施されてもよい。さらに、本発明の一態様による方法を実施するために示された特徴の全てが必要とされるわけではない。

【 0 0 3 4 】

図7は、合成ツール(例えば、合成ツール12)によりRQL回路設計(例えば、RQL回路250)を生成する方法300の一例を示す。302において、RQL回路設計の動作および制約(例えば、動作/制約18)に関連するデータおよびコンポーネント・ライブラリ(例えば、コンポーネント・ライブラリ20)が合成ツールに提供される。304において、データおよびコンポーネント・ライブラリに基づいて合成ツールによりフリップフロップ・デバイス(例えば、フリップフロップ・デバイス52)と、フリップフロップ・デバイスの入力および出力のうち少なくとも1つに結合された回路システム(例えば、回路システム54)とを含むRQLネットリスト回路(例えば、RQLネットリスト回路22)が生成される。306において、入力(例えば、スクリプト入力SCRIPT)に基づいて合成ツールにより回路システムが、クロック信号(例えば、クロック信号CLK)の別個の個々の位相にそれぞれ関連する複数の回路サブシステム(例えば、回路サブ

40

50

システム 152, 154, 156, および 158) に分離される。308 において、フリップフロップ・デバイスが、入力に基づいて合成ツールにより RQL ネットリスト回路から除去されて、RQL 回路設計に対応する合成 RQL ネットリスト回路 (例えば、RQL ネットリスト回路 22) が生成される。

【0035】

図 8 は、合成ツール (例えば、合成ツール 12) により RQL 回路設計 (例えば、RQL 回路 250) を生成する方法 350 の別の例を示す。352 において、RQL 回路設計 (例えば、動作 / 制約 18) の動作および制約に関連するデータおよびコンポーネント・ライブラリ (例えば、コンポーネント・ライブラリ 20) が合成ツールに提供される。354 において、データおよびコンポーネント・ライブラリに基づいて合成ツールによりフリップフロップ・デバイス (例えば、フリップフロップ・デバイス 52) と、(例えば、フィードバックループ 56 および出力 58 を介して) フリップフロップ・デバイスの入力および出力のうちの少なくとも 1 つに結合された回路システム (例えば、回路システム 54) とを含む RQL ネットリスト回路 (例えば、RQL ネットリスト回路 22) が生成される。356 において、入力 (例えば、入力スクリプト SCRIPT) に基づいて、フリップフロップ・デバイスは、クロック信号の各別個の位相 (例えば、位相 $_1$ 、 $_2$ 、 $_3$ 、および $_4$) にそれぞれ対応する別個のクロック信号 (CLK、 $CLK + 90^\circ$ 、 $CLK + 180^\circ$ 、および $CLK + 270^\circ$) によって制御される複数のシーケンシャル・フリップフロップ・デバイス (例えば、フリップフロップ・デバイス 102, 104, 106, および 108) に置き換えられる。358 において、回路システムは、複数のシーケンシャル・フリップフロップ・デバイスのうちの別個の 1 つにそれぞれ関連する複数の回路サブシステム (例えば、回路サブシステム 152, 154, 156, および 158) に分離され、入力に基づいて複数のシーケンシャル・フリップフロップの各々が複数の回路サブシステムの個々の対を相互接続するようにする。360 において、複数のシーケンシャル・フリップフロップ・デバイスの各々が、入力に基づいて合成ツールにより RQL ネットリスト回路から除去され、RQL 回路設計に対応する合成 RQL ネットリスト回路 (例えば、RQL ネットリスト回路 22) が生成される。

【0036】

図 9 は、合成ツール (例えば、合成ツール 12) により RQL 回路設計 (例えば、RQL 回路 250) を生成する方法 400 のさらに別の例を示す。402 において、RQL 回路設計 (例えば、動作 / 制約 18) の動作および制約に関連するデータおよびコンポーネント・ライブラリ (例えば、コンポーネント・ライブラリ 20) が合成ツールに提供される。404 において、データおよびコンポーネント・ライブラリに基づいて合成ツールによりフリップフロップ・デバイス (例えば、フリップフロップ・デバイス 52) と、(例えば、フィードバックループ 56 および出力 58 を介して) フリップフロップ・デバイスの入力および出力のうちの少なくとも 1 つに結合された回路システム (例えば、回路システム 54) とを含む RQL ネットリスト回路 (例えば、RQL ネットリスト回路 22) が生成される。一例として、フリップフロップ・デバイスは、それぞれが最終的に対応することができるような、クロック信号の別個の位相にそれぞれ対応する複数のフリップフロップ・デバイスに置き換えられ、リバランスされた回路サブシステムが登録される。406 において、(例えば、レジスタ・リバランス機能 24 を介した) レジスタ・リバランス動作が、合成ツールにより RQL ネットリスト回路上で実行され、回路システムが、直交クロック信号の別個の個々の位相 (例えば、クロック信号 CLK の位相 $_1$ 、 $_2$ 、 $_3$ 、 $_4$) に関連する第 1 の回路サブシステム (例えば、第 1 の回路サブシステム 152) と、第 2 の回路サブシステム (例えば、第 2 の回路サブシステム 154) と、第 3 の回路サブシステム (例えば、第 3 の回路サブシステム 156) と、第 4 の回路サブシステム (例えば、第 4 の回路サブシステム 158) とに分離される。一例として、レジスタ・リバランス動作は、複数のフリップフロップ・デバイスを含む RQL ネットリスト回路上で実行され、フリップフロップ・デバイスは、いくつかのフリップフロップ・デバイスのうちの 1 つとすることができるか、または複数のフリップフロップ・デバイスに対応できるよ

10

20

30

40

50

うにする。408において、入力（例えば、入力スクリプトSCRIPT）に基づいて合成ツールによりフリップフロップ・デバイス（例えば、フリップフロップ・デバイスのうちの1つ以上）がRQLネットリスト回路から除去され、RQL回路設計に対応する合成RQLネットリスト回路（例えば、RQLネットリスト回路22）が生成される。

【0037】

前述の構造的および機能的記述を考慮して、当業者は、本明細書で開示されるシステムおよび方法の一部が、方法、データ処理システム、または非一時的なコンピュータ可読媒体等のコンピュータプログラム製品として実施され得ることを認識するであろう。したがって、本明細書に開示されたアプローチの一部は、完全にハードウェアの実施形態、完全にソフトウェアの実施形態（例えば、非一時的な機械で可読媒体）、またはソフトウェアとハードウェアを組み合わせた実施形態の形態を取ることができる。さらに、本明細書に開示されるシステムおよび方法の一部は、媒体上にコンピュータ可読プログラムコードを有するコンピュータ使用可能記憶媒体上のコンピュータプログラム製品であってもよい。静的及び動的ストレージデバイス、ハードディスク、光ストレージデバイス、及び磁気ストレージデバイスを含むが、これらに限定されない任意の適切なコンピュータ可読媒体を利用することができる。

【0038】

特定の実施形態はまた、方法、システム、およびコンピュータプログラム製品のブロック図を参照して本明細書に記載されている。例示のブロック、および図のブロックの組み合わせは、コンピュータ実行可能命令によって実施できることが理解されよう。これらのコンピュータ実行可能命令は、汎用コンピュータ、特殊目的コンピュータ、または他のプログラム可能なデータ処理装置（または装置および回路の組み合わせ）の1つまたは複数のプロセッサに提供されて、機械を生成して、1つまたは複数のプロセッサにより実行される命令が、1つまたは複数のブロックで指定された機能を実行するようにしてもよい。

【0039】

コンピュータまたは他のプログラム可能なデータ処理装置に特定の機能するように指示するこれらのコンピュータ実行可能命令は、コンピュータ可読メモリにも格納され、コンピュータ可読メモリに格納された命令が、フローチャートの1つまたは複数のブロックで指定された機能を実行する命令を含む製造品となってもよい。コンピュータプログラム命令は、コンピュータまたは他のプログラム可能なデータ処理装置にロードされて、コンピュータまたは他のプログラム可能な装置上で一連の動作ステップを実行して、コンピュータ実装プロセスを生成し、コンピュータまたは他のプログラム可能な装置で実行される命令が、フローチャートの1つまたは複数のブロックで指定された機能を実行するステップを提供する。

【0040】

上記の説明は、本発明の実施例である。もちろん、本発明を説明する目的で構成要素または方法のあらゆる考えられる組み合わせを説明することは不可能であるが、当業者であれば、本発明の多くのさらなる組み合わせおよび置換が可能であることを認識するであろう。したがって、本発明は、添付の特許請求の範囲の思想および範囲内に入るそのような変更、修正および変形をすべて包含することを意図している。

以下に、上記実施形態から把握できる技術思想を付記として記載する。

〔付記1〕

実行時に、合成ツールによりレシプロカル量子論理（RQL）回路設計を生成する方法を実行するように構成された命令を格納するように構成された非一時的なコンピュータ可読媒体であって、前記方法は、

RQL回路設計の動作および制約に関連するデータおよびコンポーネント・ライブラリを前記合成ツールに提供するステップと、

前記データおよび前記コンポーネント・ライブラリに基づいて前記合成ツールによりフリップフロップ・デバイス・プレースホルダと、前記フリップフロップ・デバイス・プレースホルダの入力および出力のうちの少なくとも1つに結合された回路システムとを含む

10

20

30

40

50

R Q L ネットリスト回路を生成するステップと、

合成ツールにより前記 R Q L ネットリスト回路上でレジスタ・リバランス動作を実行して、回路システムを、それぞれ直交クロック信号の別個の個々の位相に関連する第 1 の回路サブシステム、第 2 の回路サブシステム、第 3 の回路サブシステム、および第 4 の回路サブシステムに分割するステップと、

入力に基づいて前記合成ツールにより前記 R Q L ネットリスト回路からフリップフロップ・デバイス・ブレースホルダを除去して、前記 R Q L ネットリスト回路に基づいて R Q L 回路設計を生成するステップと
を含む、媒体。

[付記 2]

入力を提供するステップは、前記フリップフロップ・デバイス・ブレースホルダを、前記第 1、第 2、第 3、および第 4 の回路サブシステムに結合され、かつ入力により直交クロック信号の各別個の位相に対応する別個のクロック信号によってそれぞれ制御される第 1 のフリップフロップ・デバイス、第 2 のフリップフロップ・デバイス、第 3 のフリップフロップ・デバイス、および第 4 のフリップフロップ・デバイスに置き換えることを含む、付記 1 に記載の媒体。

[付記 3]

前記フリップフロップ・デバイス・ブレースホルダを除去するステップは、前記第 1、第 2、第 3 および第 4 のフリップフロップ・デバイスの各々を除去して、前記第 1、第 2、第 3 および第 4 の回路サブシステムの連続する対の相互接続を提供すること、

前記入力により前記直交クロック信号を前記複数の回路サブシステムの各々に関連付けて、前記第 1、第 2、第 3、および第 4 の回路サブシステムのシーケンシャルトリガを提供すること
を含む、付記 2 に記載の媒体。

[付記 4]

前記第 1、第 2、第 3 及び第 4 の回路サブシステムの各々に関連するクロックの位相を評価するステップと、

複数のシーケンシャル・フリップフロップの除去にตอบสนองして非連続的なクロックの位相を有する前記第 1、第 2、第 3 および第 4 の回路サブシステムの一対の導電性結合をもたらす前記第 1、第 2、第 3 および第 4 の回路サブシステムの実質的に空いている回路サブシステムに入力により少なくとも 1 つのジョセフソン伝送線路 (J T L) を追加するステップと

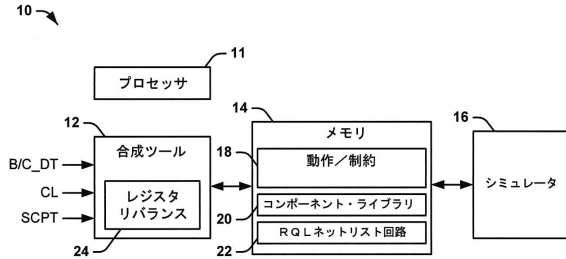
をさらに含む、付記 2 に記載の媒体。

10

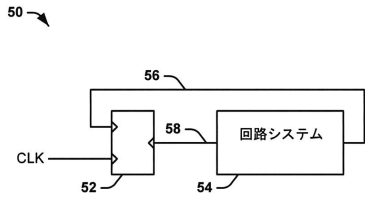
20

30

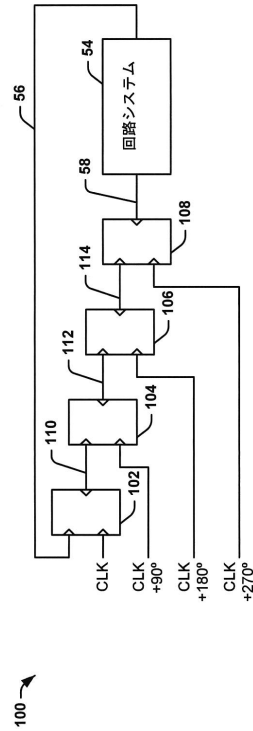
【図1】



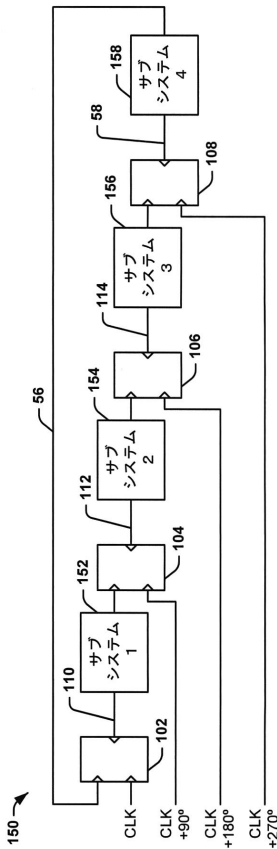
【図2】



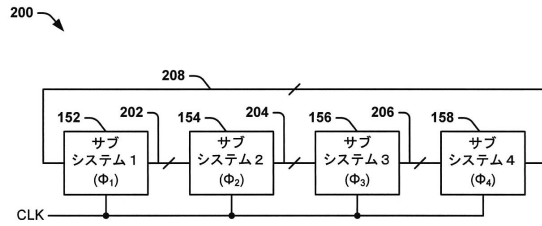
【図3】



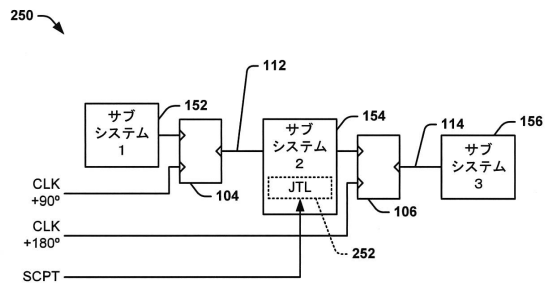
【図4】



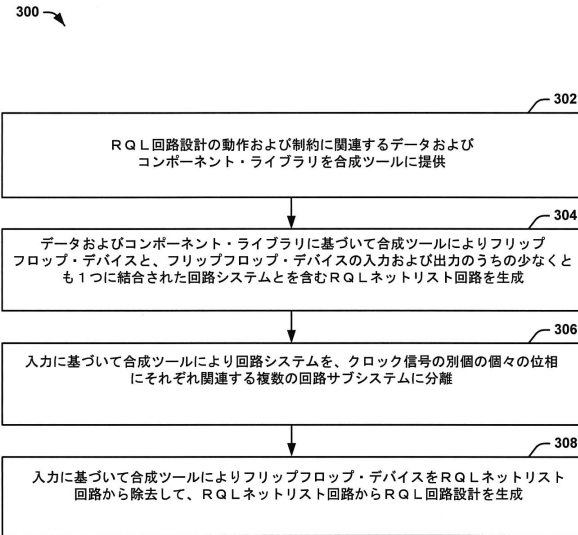
【図5】



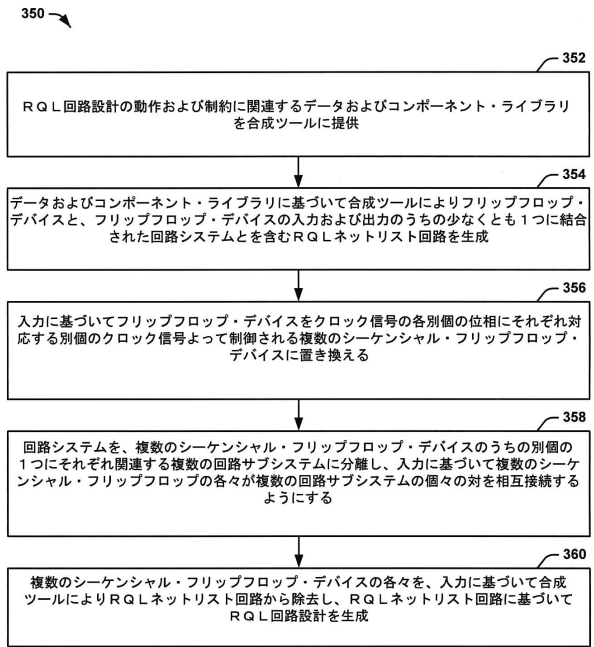
【図6】



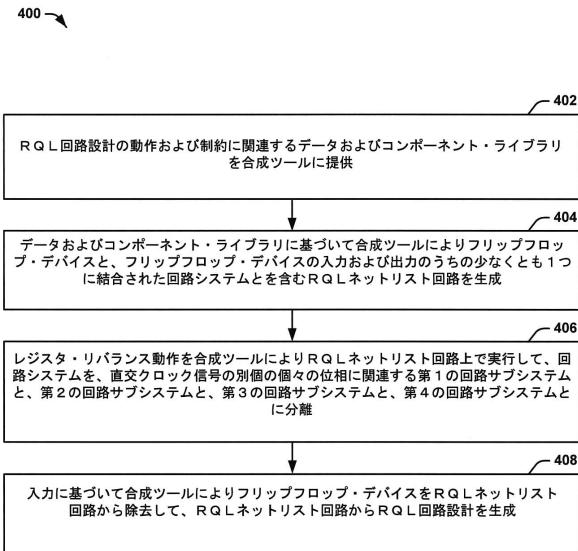
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

- (72)発明者 シャウク、スティーブン ビー .
アメリカ合衆国 21114 メリーランド州 クロフトン ペアツリー レーン 1700
- (72)発明者 ファイファー、ゲイリー エル .
アメリカ合衆国 19438 ペンシルベニア州 ハーリーズビル ヘンドリックス ステーショ
ン ロード 2091

審査官 平野 崇

- (56)参考文献 特開平08-139379(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 17/50
B82Y 10/00
IEEE Xplore
JSTPlus(JDreamIII)