

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-33230

(P2009-33230A)

(43) 公開日 平成21年2月12日(2009.2.12)

(51) Int.Cl.			F I	テーマコード (参考)		
<b>H03F</b>	<b>3/45</b>	<b>(2006.01)</b>	H03F 3/45	Z	2H093	
<b>H03F</b>	<b>1/08</b>	<b>(2006.01)</b>	H03F 1/08		5C006	
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G 3/36		5C080	
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G 3/20	623B	5J500	
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G09G 3/20	623R		

審査請求 未請求 請求項の数 3 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2007-192102 (P2007-192102)  
 (22) 出願日 平成19年7月24日 (2007.7.24)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100080160  
 弁理士 松尾 憲一郎  
 (72) 発明者 鈴木 登志生  
 神奈川県横浜市保土ヶ谷区神戸町134  
 ソニーエルエスアイデザイン株式会社内  
 Fターム(参考) 2H093 NC11 NC13 ND31 ND39 ND42  
 ND49  
 5C006 AA16 AC11 AC21 AF43 AF69  
 AF82 BB16 BC06 BC16 BF25  
 BF50 FA41 FA47  
 5C080 AA10 BB05 DD22 DD26 FF11  
 JJ02 JJ03 JJ05  
 最終頁に続く

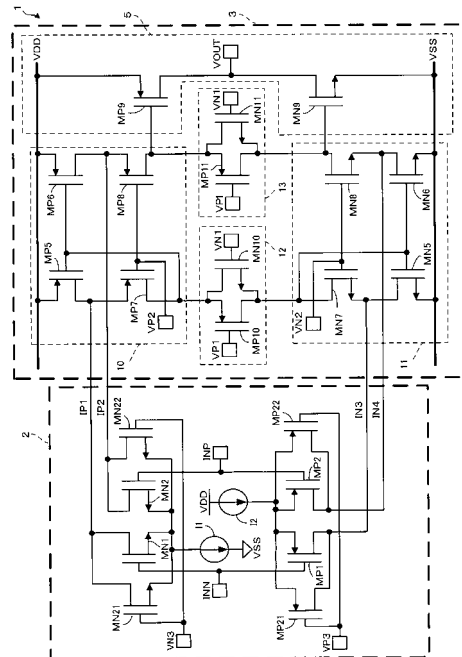
(54) 【発明の名称】 増幅器及びそれを備えた液晶駆動回路

(57) 【要約】 (修正有)

【課題】回路規模や消費電流の増加を抑えつつ、安定度を向上しつつスルーレートを改善することができるレールトゥレール型の増幅器を提供する。

【解決手段】入力にそれぞれ接続されたNMOSトランジスタの差動対MN1, 2及びPMOSトランジスタの差動対MP1, 2を有し、差動対を構成する各NMOSトランジスタのドレイン-ソース間に並列にドレイン-ソースを接続し、かつ所定のバイアス電圧をゲートに入力した一対のNMOSトランジスタMN21, 22と、差動対を構成する各PMOSトランジスタのドレイン-ソース間にそのドレイン-ソースを接続し、かつ所定のバイアス電圧をゲートに入力した一対のPMOSトランジスタMP21, 22とを設け、出力段のDCバイアスを一定にする。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

入力信号をそれぞれ入力する第 1 導電型トランジスタの差動対及び第 2 導電型トランジスタの差動対と、

前記第 1 導電型トランジスタの差動対において共通に接続されたソースにバイアス電流を供給する第 1 電流源と、

前記第 2 導電型トランジスタの差動対において共通に接続されたソースにバイアス電流を供給する第 2 電流源と、を有する入力段を備えた増幅器であって、

前記差動対を構成する各第 1 導電型トランジスタのドレイン及びソースにそれぞれドレイン及びソースを接続し、かつ所定のバイアス電圧をゲートに入力した一対の第 1 導電型トランジスタと、

前記差動対を構成する各第 2 導電型トランジスタのドレイン及びソースにそれぞれドレイン及びソースを接続し、かつ所定のバイアス電圧をゲートに入力した一対の第 2 導電型トランジスタと、を備えた増幅器。

## 【請求項 2】

高電位電源と低電位電源との間に設けられ、前記第 1 導電型トランジスタの差動対及び第 2 導電型トランジスタの差動対の各ドレインからの出力に基づいた電圧を出力する出力段を備え、

前記一対の第 1 導電型トランジスタに入力する前記所定のバイアス電圧を、前記低電位電源の電圧値に、前記第 1 導電型トランジスタが ON 状態であるときのそのゲート - ソース間電圧の値と、前記第 1 電流源の動作電圧の値とを加算した値の電圧とし、

前記一対の第 2 導電型トランジスタに入力する前記所定のバイアス電圧を、前記高電位電源の電圧値から、当該第 2 導電型トランジスタが ON 状態であるときのそのゲート - ソース間電圧の値と、前記第 2 の電流源の動作電圧の値とを減算した値の電圧としたことを特徴とする請求項 1 に記載の増幅器。

## 【請求項 3】

液晶パネルを駆動する液晶駆動回路であって、

入力されるシリアル画像信号をデコードすると共に、前記液晶パネルの垂直ライン毎の駆動用デジタル信号を出力するレジスタと、

前記駆動用デジタル信号をそれぞれ駆動用アナログ信号に変換する D / A 変換回路と、

前記 D / A 変換回路から出力される垂直ライン毎の駆動用アナログ信号を電流増幅して前記液晶パネルに出力する増幅器を複数有する増幅器群と、を有し、

前記増幅器は、

前記駆動用アナログ信号を入力する第 1 導電型トランジスタの差動対及び第 2 導電型トランジスタの差動対と、

前記第 1 導電型トランジスタの差動対において共通に接続されたソースにバイアス電流を供給する第 1 電流源と、

前記第 2 導電型トランジスタの差動対において共通に接続されたソースにバイアス電流を供給する第 2 電流源と、を有する入力段を備えた増幅器であって、

前記差動対を構成する各第 1 導電型トランジスタのドレイン及びソースにそれぞれドレイン及びソースを接続し、かつ所定のバイアス電圧をゲートに入力した一対の第 1 導電型トランジスタと、

前記差動対を構成する各第 2 導電型トランジスタのドレイン及びソースにそれぞれドレイン及びソースを接続し、かつ所定のバイアス電圧をゲートに入力した一対の第 2 導電型トランジスタと、を備えた液晶駆動回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、増幅器及びそれを備えた液晶駆動回路に関し、特に、増幅器の出力信号をレ

10

20

30

40

50

ールトゥレール (Rail to Rail) 動作させ、低消費電力で高い出力ダイナミックレンジ動作が可能な増幅器及びそれを備えた液晶駆動回路に関する。

【背景技術】

【0002】

従来のレールトゥレール型の増幅器として、入力信号 (入力電圧) を NMOS トランジスタの差動対と PMOS トランジスタの差動対を有する入力段と、この入力段からの出力電流を加算して出力電圧を生成する出力部とを有しているものが知られている。ここで、レールトゥレールとは、高電位電源の電圧 (VDD) から低電位電源の電圧 (VSS) までの電圧範囲を意味する。そして、レールトゥレール型の増幅器とは、入力信号及び出力信号を高電位電源 VDD の電圧から低電位電源 VSS の電圧までの電圧範囲で駆動させる増幅器である。図 5 は、このような従来の増幅器を示すものである。

10

【0003】

図 5 に示すように、従来の増幅器 100 の入力段 101 は、NMOS トランジスタ MN101, MN102 の差動対と PMOS トランジスタ MP101, MP102 の差動対を有しており、これらの差動対には入力信号 INN、INP が入力される。NMOS トランジスタ MN101, MN102 のソースは共通に接続され、電流源 I101 を介して低電位電源 VSS に接続される。また、PMOS トランジスタ MP101, MP102 のソースは共通に接続され、電流源 I102 を介して高電位電源 VDD に接続される。そして、NMOS トランジスタ MN101, MN102 のドレイン、PMOS トランジスタ MP101, MP102 のドレインがそれぞれ入力段 101 の出力となる。

20

【0004】

増幅器 100 の出力部 102 は、入力段 101 の出力電流 IP1, IP2, IN3, IN4 を電流加算し、その結果に応じた電圧 VOUT を出力する回路であり、第 1 カレントミラー部 110 と、第 2 カレントミラー部 111 と、これらのカレントミラー部 110, 111 に接続された一対のトランジスタ組 112 (トランジスタ MN110, MP110 の組), 113 (トランジスタ MN111, MP111 の組) と、出力段 104 とを有している。

【0005】

各カレントミラー部 110, 111 を構成する各 2 つのトランジスタのカスコード接続部に入力段 101 からの出力電流 IP1, IP2, IN3, IN4 がそれぞれ接続されて、入力段 101 から入力信号 INN、INP に応じて出力される電流が加算され、この加算結果に応じた電圧 VOUT が出力段 104 から出力されることになる。なお、第 1 カレントミラー部 110 及び第 2 カレントミラー部 111 にはそれぞれ所定のバイアス電圧 VP2, VN2 が印加され、各トランジスタ組 112、113 には所定のバイアス電圧 VN1, VP1 が印加される。

30

【0006】

ところが、以下に説明するように、入力信号の電圧値に応じて出力段 104 のアイドル電流の値が変わることから、セトリング時間の悪化、安定度の悪化、オフセット電圧の入力電圧依存などが発生してしまう。

【0007】

図 5 に示す増幅器 100 の出力段 104 におけるアイドル電流の値の変化について、図面を参照して具体的に説明する。図 6 は図 5 に示す増幅器 100 の出力段 104 におけるアイドル電流の値の変化を説明するための図である。なお、図 6 においては、増幅器 100 の高電位電源 VDD の電圧が 3.0V、低電位電源 VSS の電圧が 0V であるときの特性例を示している。

40

【0008】

入力信号 INN, INP として、高電位電源 VDD の電圧と低電位電源 VSS の電圧との中間付近の電圧が増幅器 100 の入力段 101 に入力されると、第 1 カレントミラー部 110 のカスコード接続部と第 2 カレントミラー部 111 のカスコード接続部とに、それぞれ同等の正負が反転した電流が入力される。例えば、図 6 (a) に示すように、中間電

50

圧 1.5 V の入力があると、入力段 101 から  $5 \mu\text{A}$  の負電流が第 1 カレントミラー部 110 の各カスコード接続部へ出力され、入力段 101 から  $5 \mu\text{A}$  の正電流が第 2 カレントミラー部 111 の各カスコード接続部へ出力される。従って、出力段 104 の PMOS トランジスタ MP109 と NMOS トランジスタ MN109 には同等の電流（例えば、 $10 \mu\text{A}$ ）が流れる。従って、出力段 104 におけるアイドル電流は、PMOS トランジスタ MP109 と NMOS トランジスタ MN109 とで同じ電流値になる。

【0009】

また、入力信号 INN, INP として、高電位電源 VDD の電圧に近い電圧が増幅器 100 の入力段 101 に入力されると、例えば、図 6 (b) に示すように、第 1 カレントミラー部 110 のカスコード接続部に  $5 \mu\text{A}$  の負電流が入力され、第 2 カレントミラー部 111 のカスコード接続部には電流が流れない ( $0 \mu\text{A}$ )。従って、出力段 104 におけるアイドル電流は、PMOS トランジスタ MP109 の電流値 ( $10 \mu\text{A}$ ) が NMOS トランジスタ MN109 の電流値 ( $5 \mu\text{A}$ ) よりも高くなる。

10

【0010】

逆に、入力信号 INN, INP として、低電位電源 VSS の電圧に近い電圧が増幅器 100 の入力段 101 に入力されると、例えば、図 6 (c) に示すように、第 1 カレントミラー部 110 のカスコード接続部には電流が流れず ( $0 \mu\text{A}$ )、第 2 カレントミラー部 111 のカスコード接続部には  $5 \mu\text{A}$  の電流が流れる。従って、出力段 104 におけるアイドル電流は、PMOS トランジスタ MP109 の電流値 ( $5 \mu\text{A}$ ) よりも NMOS トランジスタ MN109 の電流値 ( $10 \mu\text{A}$ ) が高くなる。

20

【0011】

このように、従来の増幅器 100 では、入力信号の電圧値により出力段 104 のアイドル電流の値が変わってしまい、その結果、セトリング時間の悪化、安定度の悪化、オフセット電圧の入力電圧依存などが発生してしまう。

【0012】

このような安定度の悪化に対して、図 5 に図示していない位相補償コンデンサの容量値を増加させることが一般的に行われてきた。

【0013】

ところが、位相補償コンデンサの容量値の増加は、セトリング時間の悪化によるスルーレートの悪化を招き、しかもレイアウト面積の増加を及ぼす。従って、液晶駆動回路のように増幅器が多数使われる回路に対しては影響が大きい。

30

【0014】

これらの問題を解決する手段として、特許文献 1 には、入力信号を入力するトランジスタ差動対と電流源からなる差動入力回路に、この差動入力回路に対応して、更にダミーのトランジスタ対とダミーの電流源からなる差動入力回路と設け、ダミーの電流源を制御する増幅器が開示されている。

【0015】

また、上記問題を解決する手段として、特許文献 2 には、入力信号を入力する差動トランジスタ対のバイアス電圧をバイアス回路によって制御する増幅器が開示されている。

【0016】

更に、上記問題を解決する手段として、特許文献 3 には、図 7 に示すように、入力段 101' における NMOS トランジスタ MN101, MN102 の差動対と PMOS トランジスタ MP101, MP102 の差動対とにそれぞれ、逆の導電型のトランジスタからなるトランジスタ対 MP131, MP132 と MN131, MN132 を設けることにより、このトランジスタ対も入力信号 INN, INP に応じて動作させて、出力段のアイドル電流を一定にする増幅器が記載されている。

40

【特許文献 1】特開 2004 - 201064 号公報

【特許文献 2】特開 2000 - 1983672 号公報

【特許文献 3】特開平 11 - 270644 号公報

【発明の開示】

50

## 【発明が解決しようとする課題】

## 【0017】

しかしながら、特許文献1に記載の増幅器では、トランスコンダクタンス $g_m$ を一定化するために複雑な回路が必要になってしまい、返ってレイアウト面積の増加を及ぼしてしまうことになる。また消費電流の増加が発生してしまうことにもなる。

## 【0018】

また、特許文献2に記載の増幅器では、バックゲート電圧を制御しなければならず、半導体プロセス上においてバックゲートに任意の電圧を与えることができなくてはならないという制約がある。しかも、バックゲート制御のためラッチアップを起こしやすい問題がある。

10

## 【0019】

また、特許文献3に記載の増幅器では、並列に接続したダミーのNMOSトランジスタとPMOSトランジスタの閾値のバラツキの影響を受けるため、入力差動対がオフする入力電圧において並列に接続したダミーのトランジスタ対に電流が切り替わることを保証することができない。また、ダミーのトランジスタ対がオンして差動対のMOSトランジスタがオフした状態では、オフした差動対のMOSトランジスタのソース電位（電流源が接続されたノード）が変動してしまい、過渡応答の悪化を招くことになる。

## 【0020】

このように、上記の改善方法ではいずれも、回路電流の増加や回路の複雑化（レイアウト面積増大）あるいは、スルーレート悪化、オフセット電圧の入力電圧依存性、プロセス上の制約、ラッチアップなどといった問題があった。

20

## 【0021】

本発明は、かかる課題を解決するためになされたものであり、回路規模や消費電流の増加を抑え、安定度を向上しつつスルーレートの改善を実現する増幅器を提供することを目的とする。

## 【課題を解決するための手段】

## 【0022】

請求項1に記載の発明は、入力信号をそれぞれ入力する第1導電型トランジスタの差動対及び第2導電型トランジスタの差動対と、前記第1導電型トランジスタの差動対において共通に接続されたソースにバイアス電流を供給する第1電流源と、前記第2導電型トランジスタの差動対において共通に接続されたソースにバイアス電流を供給する第2電流源と、を有する入力段を備えた増幅器であって、前記差動対を構成する各第1導電型トランジスタのドレイン及びソースにそれぞれドレイン及びソースを接続し、かつ所定のバイアス電圧をゲートに入力した一对の第1導電型トランジスタと、前記差動対を構成する各第2導電型トランジスタのドレイン及びソースにそれぞれドレイン及びソースを接続し、かつ所定のバイアス電圧をゲートに入力した一对の第2導電型トランジスタとを備える。

30

## 【0023】

また、請求項2に記載の発明は、請求項1に記載の発明において、高電位電源と低電位電源との間に設けられ、前記第1導電型トランジスタの差動対及び第2導電型トランジスタの差動対の各ドレインからの出力に基づいた電圧を出力する出力段を備え、前記一对の第1導電型トランジスタに入力する前記所定のバイアス電圧を、前記低電位電源の電圧値に、前記第1導電型トランジスタがON状態であるときのそのゲート-ソース間電圧の値と、前記第1電流源の動作電圧の値とを加算した値の電圧とし、前記一对の第2導電型トランジスタに入力する前記所定のバイアス電圧を、前記高電位電源の電圧値から、当該第2導電型トランジスタがON状態であるときのそのゲート-ソース間電圧の値と、前記第2の電流源の動作電圧の値とを減算した値の電圧としたことを特徴とする。

40

## 【0024】

また、請求項3に記載の発明は、液晶パネルを駆動する液晶駆動回路であって、入力されるシリアル画像信号をデコードすると共に、前記液晶パネルの垂直ライン毎の駆動用デジタル信号を出力するレジスタと、前記駆動用デジタル信号をそれぞれ駆動用アナログ信

50

号に変換する D / A 変換回路と、前記 D / A 変換回路から出力される垂直ライン毎の駆動用アナログ信号を電流増幅して前記液晶パネルに出力する増幅器を複数有する増幅器群と、を有し、前記増幅器は、前記駆動用アナログ信号を入力する第 1 導電型トランジスタの差動対及び第 2 導電型トランジスタの差動対と、前記第 1 導電型トランジスタの差動対において共通に接続されたソースにバイアス電流を供給する第 1 電流源と、前記第 2 導電型トランジスタの差動対において共通に接続されたソースにバイアス電流を供給する第 2 電流源と、を有する入力段を備えた増幅器であって、前記差動対を構成する各第 1 導電型トランジスタのドレイン及びソースにそれぞれドレイン及びソースを接続し、かつ所定のバイアス電圧をゲートに入力した一対の第 1 導電型トランジスタと、前記差動対を構成する各第 2 導電型トランジスタのドレイン及びソースにそれぞれドレイン及びソースを接続し、かつ所定のバイアス電圧をゲートに入力した一対の第 2 導電型トランジスタとを備えた。

【発明の効果】

【0025】

本発明によれば、入力電圧によらず出力段の DC バイアス電圧やアイドル電流を一定にすることができ、その結果、セトリング時間の悪化、安定度の悪化、オフセット電圧の入力電圧依存を抑制することができる。しかも、位相補償容量値を削減することができることから、スルーレートを改善することができる。

【発明を実施するための最良の形態】

【0026】

本発明に係る実施形態における液晶表示回路は、NMOS トランジスタ（第 1 導電型トランジスタ）の差動対と PMOS トランジスタ（第 2 導電型トランジスタ）の差動対を有する入力段を含むレールトゥレール型の増幅器を備えている。

【0027】

入力段には、入力信号にそれぞれ接続された NMOS トランジスタの差動対及び PMOS トランジスタの差動対と、NMOS トランジスタの差動対において共通に接続されたソースにバイアス電流を供給する第 1 の電流源と、PMOS トランジスタの差動対において共通に接続されたソースにバイアス電流を供給する第 2 の電流源とを有する。

【0028】

しかも、差動対を構成する各 NMOS トランジスタのドレイン及びソースにドレイン及びソースをそれぞれ接続し、かつ所定のバイアス電圧をゲートに入力した一対の NMOS トランジスタ（以下、「ダミー NMOS トランジスタ」とも呼ぶ。）と、差動対を構成する各 PMOS トランジスタのドレイン及びソースにそれぞれドレイン及びソースを接続し、かつ所定のバイアス電圧をゲートに入力した一対の PMOS トランジスタ（以下、「ダミー PMOS トランジスタ」とも呼ぶ。）とを有する。

【0029】

そして、同相の入力信号 INN, INP に対して、上記一対のダミー NMOS トランジスタは、NMOS トランジスタの差動対に対して相補的に動作し、また、上記一対のダミー PMOS トランジスタは、PMOS トランジスタの差動対に対して相補的に動作する。

【0030】

従って、入力電圧によらずに、出力段の DC バイアス電流及びバイアス電圧が一定になり、増幅器において、回路規模や消費電流の増加を抑え、安定度を向上しつつスルーレートの改善を実現することが可能となる。

【0031】

第 1 実施形態

以下、本実施形態の増幅器の具体的構成について図面を参照して説明する。本実施形態の増幅器は、以下に説明する液晶駆動回路に内蔵されるものであり、以下、まず液晶駆動回路の構成について説明する。

【0032】

図 1 は本実施形態における液晶駆動回路の構成を示す図である。この液晶駆動回路は、

10

20

30

40

50

半導体集積回路で構成され、入力されたデータに基づいて液晶パネルを駆動する液晶ドライバである。以下、この発明の実施の形態について図面を参照して説明する。

【0033】

図1に示す液晶駆動回路(ソースドライバ回路)は、入力されるシリアル画像信号に基づいて、液晶パネルのデータ線に駆動信号を水平ライン毎に順次切り替えて出力する機能を有するものである。

【0034】

この液晶駆動回路20は、図1に示すように、入力されるシリアル画像信号をデコードすると共に、液晶パネルの垂直ライン毎の駆動用デジタル信号を出力するレジスタ21と、これらの駆動用デジタル信号をそれぞれ駆動用アナログ信号に変換するD/A変換回路部(デジタル-アナログ変換回路部)22と、このD/A変換回路部22から出力される垂直ライン毎の駆動用アナログ信号を電流増幅して液晶パネルに出力する増幅器群23とを有している。

10

【0035】

D/A変換回路部22は、複数の基準電圧を発生する基準電圧発生器31と、複数の基準電圧から駆動用デジタル信号に応じた電圧を選択して出力する複数のセクタ30とからなり、垂直ライン毎の駆動用デジタル信号に基づいて、各セクタ30を制御して複数の駆動用アナログ信号へ変換して出力する。

【0036】

増幅器群23は、複数のレールトゥレール型の増幅器1から構成され、各セクタ30から出力される駆動用アナログ信号を電流増幅して液晶パネルに出力する。

20

【0037】

ここで、液晶駆動回路20は、液晶パネルを駆動するものであることから、増幅器1の数(CH数)が数百以上必要とされる。そして、CH数の多い高精細な用途の液晶駆動回路においては、そのレイアウト面積の削減が要求され、加えてモバイル用途向けには特に低消費電力が求められる。

【0038】

そこで、本実施形態における増幅器1を以下のように構成しており、レイアウト面積の削減を可能としている。すなわち、本実施形態における増幅器1は、その回路規模や消費電流の増加を抑えつつ、安定度を向上しつつスルーレートの改善を実現するものであり、以下その構成を具体的に図面を参照し説明する。図2は図1に示す増幅器1の構成を示す図である。

30

【0039】

図2に示すように、本実施形態における増幅器1は、D/A変換回路部22から出力される駆動用アナログ信号を入力信号INN、INPとして入力する入力段2と、この入力段2からの出力に応じた出力電圧VOUTを生成する出力部3とを備えている。

【0040】

入力段2は、NMOSトランジスタMN1、MN2の差動対とPMOSトランジスタMP1、MP2の差動対とを有しており、NMOSトランジスタMN1とPMOSトランジスタMP1とに入力信号INNが入力され、NMOSトランジスタMN2とPMOSトランジスタMP2とに入力信号INPが入力される。また、NMOSトランジスタMN1、MN2の各ソースは共通に接続され、さらにバイアス電流を供給する第1の電流源I1を介して低電位電源VSSに接続される。また、PMOSトランジスタMP1、MP2の各ソースは共通に接続され、さらにバイアス電流を供給する第2の電流源I2を介して高電位電源VDDに接続される。

40

【0041】

そして、NMOSトランジスタMN1、MN2の差動対とPMOSトランジスタMP1、MP2の差動対は、入力信号INN、INPが低位レベルの入力のときには、PMOSトランジスタMP1、MP2の差動対が動作し、入力信号INN、INPが高位レベルの入力のときには、NMOSトランジスタMN1、MN2の差動対が動作し、入力信号IN

50

N, INPが中位レベルの入力の際には、PMOSトランジスタMP1, MP2の差動対とNMOSトランジスタMN1, MN2とが共に動作する。

【0042】

さらに、増幅器1の入力段2には、差動対を構成するトランジスタのドレイン-ソースに同導電型のトランジスタ(以下、「ダミートランジスタ」とも呼ぶ。)のドレイン-ソースを並列に接続しており、各ダミートランジスタのゲートには所定のバイアス電圧を印加している。

【0043】

より具体的には、入力段2には、NMOSトランジスタMN1のドレインとソースとにそれぞれドレインとソースとを接続したダミーNMOSトランジスタMN21と、NMOSトランジスタMN2のドレインとソースとにそれぞれドレインとソースとを接続したダミーNMOSトランジスタMN22と、PMOSトランジスタMP1のドレインとソースとにそれぞれドレインとソースとを接続したダミーPMOSトランジスタMP21と、PMOSトランジスタMP2のドレインとソースとにそれぞれドレインとソースとを接続したダミーPMOSトランジスタMP22とを備えている。

10

【0044】

そして、ダミーNMOSトランジスタMN21のゲートとダミーNMOSトランジスタMN22のゲートは、共通のバイアス入力ノードに接続され、所定のバイアス電圧VN3が印加される。また、ダミーPMOSトランジスタMP21のゲートとダミーPMOSトランジスタMP22のゲートは、共通のバイアス入力ノードに接続され、所定のバイアス電圧VP3が印加される。

20

【0045】

このように、ダミーNMOSトランジスタMN21, MN22のゲート電圧を電圧VN3でバイアスすることにより、入力信号INN, INPの電圧がVN3以下になると、NMOSトランジスタMN1, MN2の差動対はオフになるが、相補的に一对のダミーNMOSトランジスタMN21, MN22に、入力信号INN, INPの電圧に応じた電流が流れるようになる。同様に、ダミーPMOSトランジスタMP21, MP22のゲート電圧を電圧VP3でバイアスすることにより、入力信号INN, INPの電圧がVP3以上になると、PMOSトランジスタMP1, MP2の差動対はオフになるが、相補的に一对のダミーPMOSトランジスタMP21, MP22に、入力信号INN, INPの電圧に応じた電流が流れるようになる。従って、出力段のDCバイアス電流を一定にすることができる。なお、図示していないが位相補償容量の値は、従来の値よりも小さくすることができる。

30

【0046】

このように入力段2を構成していることから、入力信号INN, INPの電圧値の変化に係りなく、後述する出力段5のDCバイアス電流及びバイアス電圧を一定にすることができ、回路規模や消費電流の増加を抑えつつ、安定度を向上しつつスルーレートの改善を実現することが可能となる。

【0047】

すなわち、従来の増幅器(例えば、図5参照)では、上述したように入力信号INN, INPの電圧の状態により出力段104のPMOSトランジスタMP109及びNMOSトランジスタMN109のDCバイアス電流が変化することから、このバイアス電流の変化が入力オフセット電圧の変化として現れていた。また、入力信号の電圧によってDCバイアス電圧が変化するために、大振幅動作をさせた場合にオーバーシュートやアンダーシュートが発生したり(図3に示す(1)の特性を参照)、微少発振をしたりするなど安定度の悪化があり、これを防ぐため位相補償容量の増加が必要であった。

40

【0048】

しかし、本実施形態における増幅器1では、DCバイアス電流が一定となることから出力段5のバイアス電流の減少に伴う位相余裕の減少もなく、また、DCバイアスの電圧値が一定であるため、大振幅動作時にオーバーシュートやアンダーシュートの発生や入力オ

50



フセット電圧の変化も発生しなくなる。図3には、入力信号INN, INPが中間電圧から低位レベルの電圧へ変化したとき、及び中間電圧から高位レベルの電圧に変化したときの増幅器1の出力電圧VOUTの波形(図3に示す(2)参照)と、従来の増幅器100の出力電圧VOUTの波形(図3に示す(1)参照)をそれぞれ示す。この図3に示すように、本実施形態における増幅器1では、オーバーシュートやアンダーシュートの発生が抑制されていることがわかる。

【0049】

しかも、本実施形態における増幅器1では、図7に示す従来の増幅器100'のようなNMOSトランジスタとPMOSトランジスタの閾値のパラツキによる影響を受けず、ダミートランジスタ対と差動対との電流を切り替えることができ、差動対を構成するMOSトランジスタのソース電位の変動による過渡応答悪化も抑止することができることになる。

10

【0050】

従って、上述のように、本実施形態における増幅器1では、回路規模や消費電流の増加を抑えつつ、安定度を向上しつつスルーレートの改善を実現することが可能となる。

【0051】

ここで、バイアス電圧VN3, VP3の電圧値は、レールトゥレール入力範囲を実現するために、以下のように設定すること望ましい。なお、VmngsはダミーNMOSトランジスタMN21, MN22のゲート-ソース間電圧(トランジスタオン時)、VmngsはダミーPMOSトランジスタMP21, MP22のゲート-ソース間電圧(トランジスタオン時)、Vov1は第1の電流源I1が動作する最低電圧、Vov2は第2の電流源I2が動作する最低電圧である。

20

$$V_{N3} = V_{SS} + V_{mngs} + V_{ov1} \quad \dots (1)$$

$$V_{P3} = V_{DD} - (V_{mpgs} + V_{ov2}) \quad \dots (2)$$

【0052】

このように、バイアス電圧VN3を、低電位電源VSSの電圧値に、NMOSトランジスタがON状態であるときのそのゲート-ソース間電圧の値Vmngsと、第1の電流源I1の動作電圧の値Vov1とを加算した値の電圧とすることが望ましい。また、バイアス電圧VP3を、高電位電源VDDの電圧値から、PMOSトランジスタがON状態であるときのそのゲート-ソース間電圧の値Vmngsと、前記第2の電流源の動作電圧の値Vov2とを減算した値の電圧とすることが望ましい。なお、Vov1, Vov2は、第1の電流源I1, I2がMOSトランジスタで構成されている場合には、そのMOSトランジスタのオーバードライブ電圧(Vgs - Vth)となる。

30

【0053】

次に、出力部3の構成について、図2を参照して具体的に説明する。

【0054】

出力部3は、入力段2の出力電流IP1, IP2, IN3, IN4を入力し、その入力結果に基づいた電圧VOUTを出力するAB級出力段であり、第1カレントミラー部10と、第2カレントミラー部11と、これらのカレントミラー部10, 11に接続された一対のトランジスタ組12(トランジスタMN10, MP10の組), 13(トランジスタMN11, MP11の組)と、出力段5とを有している。

40

【0055】

第1カレントミラー部10は、カスコード接続された2つのPMOSトランジスタMP5, MP7と、同じくカスコード接続された2つのPMOSトランジスタMP6, MP8とを有している。PMOSトランジスタMP5, MP6のソースはそれぞれ高電位電源VDDの電圧に接続され、そのドレインはそれぞれPMOSトランジスタMP7, MP8のソースに接続される。また、PMOSトランジスタMP5のゲートはPMOSトランジスタMP6のゲート及びPMOSトランジスタMP7のドレインに接続される。また、PMOSトランジスタMP7のゲートはPMOSトランジスタMP8のゲートと所定のバイアス電圧VP2が印加される。また、PMOSトランジスタMP5とMP7とのカスコード

50

接続部には、入力段 2 の出力電流  $I_{P1}$  が入力され、PMOS トランジスタ MP 6 と MP 8 とのカスコード接続部には、入力段 2 の出力電流  $I_{P2}$  が入力される。

【0056】

第 2 カレントミラー部 11 は、カスコード接続された 2 つの NMOS トランジスタ MN 5, MN 7 と、同じくカスコード接続された 2 つの NMOS トランジスタ MN 6, MN 8 とを有している。NMOS トランジスタ MN 5, MN 6 のソースはそれぞれ低電位電源  $V_{SS}$  の電圧に接続され、そのドレインはそれぞれ NMOS トランジスタ MN 7, MN 8 のソースに接続される。また、NMOS トランジスタ MN 5 のゲートは NMOS トランジスタ MN 6 のゲート及び NMOS トランジスタ MN 7 のドレインに接続される。また、NMOS トランジスタ MN 7 のゲートは NMOS トランジスタ MN 8 のゲートと所定のバイアス電圧  $V_{N2}$  が印加される。また、NMOS トランジスタ MN 5 と MN 7 とのカスコード接続部には、入力段 2 の出力電流  $I_{N3}$  が入力され、NMOS トランジスタ MN 6 と MN 8 とのカスコード接続部には、入力段 2 の出力電流  $I_{N4}$  が入力される。

10

【0057】

一对のトランジスタ組 12 は、NMOS トランジスタ MN 10 と PMOS トランジスタ MP 10 とからなり、PMOS トランジスタ MP 7 のドレインと NMOS トランジスタ MN 7 のドレインとの間に接続される。NMOS トランジスタ MN 10 のソースとドレインとはそれぞれ PMOS トランジスタ MP 10 のドレインとソースとに接続される。そして、NMOS トランジスタ MN 10 のゲートには所定バイアス電圧  $V_{N1}$  が印加され、PMOS トランジスタ MP 10 のゲートには所定バイアス電圧  $V_{P1}$  が印加される。

20

【0058】

一对のトランジスタ組 13 は、NMOS トランジスタ MN 11 と PMOS トランジスタ MP 11 とからなり、PMOS トランジスタ MP 8 のドレインと NMOS トランジスタ MN 8 のドレインとの間に接続される。NMOS トランジスタ MN 11 のソースとドレインとはそれぞれ PMOS トランジスタ MP 11 のドレインとソースとに接続される。そして、NMOS トランジスタ MN 11 のゲートには所定バイアス電圧  $V_{N1}$  が印加され、PMOS トランジスタ MP 11 のゲートには所定バイアス電圧  $V_{P1}$  が印加される。

【0059】

ここで、上述したバイアス電圧  $V_{N1}$ ,  $V_{P1}$ ,  $V_{N2}$ ,  $V_{P2}$  は以下の式 (3) ~ (6) で表される電圧に設定される。なお、 $V_{mn5gs}$ ,  $V_{mn7gs}$  及び  $V_{mn10gs}$  はそれぞれ NMOS トランジスタ MN 5, MN 7 及び MN 10 のゲート - ソース間電圧 (トランジスタオン時)、 $V_{mp5gs}$ ,  $V_{mp7gs}$  及び  $V_{mp10gs}$  はそれぞれ PMOS トランジスタ MP 5, MP 7 及び MP 10 のゲート - ソース間電圧 (トランジスタオン時)、 $V_{thn}$  は NMOS トランジスタ MN 5 の閾値電圧、 $V_{thp}$  は PMOS トランジスタ MP 5 の閾値電圧である。

30

$$V_{N1} = V_{SS} + V_{mn5gs} + V_{mn10gs} \quad \dots (3)$$

$$V_{N2} = V_{SS} + V_{mn7gs} + (V_{mn5gs} - V_{thn}) \quad \dots (4)$$

$$V_{P1} = V_{DD} - (V_{mp5gs} + V_{mp10gs}) \quad \dots (5)$$

$$V_{P2} = V_{DD} - \{V_{mp7gs} + (V_{mp5gs} - V_{thp})\} \quad \dots (6)$$

ここで、例えば、高電位電源  $V_{DD}$  の電圧値を 3 V、低電位電源  $V_{SS}$  の電圧を 0 V、各 MOS トランジスタの  $V_{gs}$  を 0.8 V、 $V_{thn}$  を 0.5 V、 $V_{thp}$  を 0.5 V とすると、 $V_{P1} = 1.4$  V、 $V_{P2} = 1.9$  V、 $V_{N1} = 1.6$  V、 $V_{N2} = 1.1$  V となる。

40

【0060】

出力段 5 は、高電位電源  $V_{DD}$  の電圧と低電位電源  $V_{SS}$  の電圧との間に直列に接続された PMOS トランジスタ MP 9 と NMOS トランジスタ MN 9 とからなる。PMOS トランジスタ MP 9 のソースは高電位電源  $V_{DD}$  の電圧に接続され、そのドレインは NMOS トランジスタ MN 9 のドレインに接続される。NMOS トランジスタ MN 9 のソースは低電位電源  $V_{SS}$  の電圧に接続される。また、PMOS トランジスタ MP 9 のゲートには PMOS トランジスタ MP 8 のドレインに接続され、NMOS トランジスタ MN 9 のゲートには NMOS トランジスタ MN 8 のドレインに接続される。

50

## 【 0 0 6 1 】

以上のように出力部 3 が構成されており、第 1 カレントミラー部 1 0 の P M O S トランジスタ M P 5 , M P 6 には、それぞれ入力段 2 からの出力電流  $I P 1$  ,  $I P 2$  が加算された電流が流れる。また、第 2 カレントミラー部 1 1 の N M O S トランジスタ M N 5 , M N 6 には、それぞれ入力段 2 からの出力電流  $I N 3$  ,  $I N 4$  が加算された電流が流れる。そして、このように加算された電流に応じた電圧  $V O U T$  が出力段 5 から出力される。

## 【 0 0 6 2 】

以上のように構成されていることから、本実施形態における増幅器 1 は、入力信号  $I N N$  ,  $I N P$  の電圧によらず出力段 5 の D C バイアス電圧やアイドル電流を一定にすることができ、その結果、セトリング時間の悪化、安定度の悪化、オフセット電圧の入力電圧依存を抑制することができる。また、入力信号  $I N N$  ,  $I N P$  の電圧範囲によらず軽負荷時の安定度を高めることができ、またセトリング時間の短縮化が可能になる。しかも、位相補償容量値を削減することができることから、スルーレートを改善することができ、さらに、レイアウト面積の減少につながり、液晶駆動回路における多 C H 化が可能となる。なお、出力段 5 の構成は、上述したものに限られず、適宜選択が可能である。

10

## 【 0 0 6 3 】

## 第 2 実施形態

次に、第 2 実施形態の液晶駆動回路における増幅器 1 ' の構成について図面を参照して具体的に説明する。図 4 は第 2 実施形態の液晶駆動回路における増幅器の構成を示す図である。本第 2 実施形態における増幅器 1 ' は、第 1 実施形態の増幅器 1 と同一の回路であるが、ダミートランジスタ M N 2 1 , M N 2 2 , M P 2 1 , M P 2 2 のゲートへ印加するバイアス電圧  $V N 3$  ,  $V P 3$  を、第 2 カレントミラー部 1 1 及び第 1 カレントミラー部 1 0 のバイアス電圧  $V N 2$  ,  $V P 2$  と同一にしたものである。

20

## 【 0 0 6 4 】

このように、ダミートランジスタへのバイアス電圧  $V N 3$  ,  $V P 3$  を、カレントミラー部のバイアス電圧  $V N 2$  ,  $V P 2$  と共通にすることによって、ダミートランジスタへのバイアス電圧  $V N 3$  ,  $V P 3$  を生成するための電圧生成回路が不要となり、レイアウト面積を更に減少させることができる。

## 【 0 0 6 5 】

このとき、バイアス電圧  $V N 2$  ,  $V P 2$  の電圧は、上述した式 ( 1 ) , ( 2 ) に示される値に調整することが望ましい。

30

## 【 0 0 6 6 】

以上、本発明の実施の形態のいくつかを図面に基づいて詳細に説明したが、これらは例示であり、当業者の知識に基づいて種々の変形、改良を施した他の形態で本発明を実施することが可能である。

## 【 0 0 6 7 】

例えば、上述した実施形態においては、トランジスタとして M O S トランジスタを用いて説明したが、これに限定しているわけではなくバイポーラ T R にも適用可能である。

## 【 図面の簡単な説明 】

## 【 0 0 6 8 】

【 図 1 】 本発明の一実施形態における液晶表示装置用ドライバの構成を示す図である。

40

【 図 2 】 図 1 に示す増幅器の構成を示す図である。

【 図 3 】 図 1 に示す増幅器の特性を示す図である。

【 図 4 】 第 2 実施形態における他の増幅器の構成を示す図である。

【 図 5 】 従来の増幅器の構成を示す図である。

【 図 6 】 従来の増幅器のアイドル電流の変化を示す図である。

【 図 7 】 従来の増幅器の他の構成を示す図である。

## 【 符号の説明 】

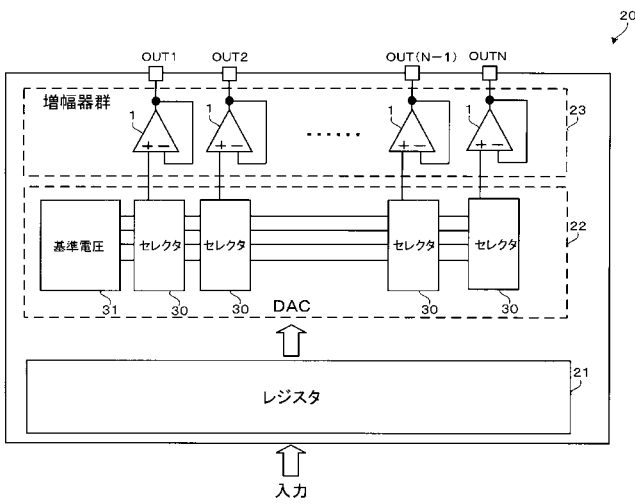
## 【 0 0 6 9 】

1 増幅器

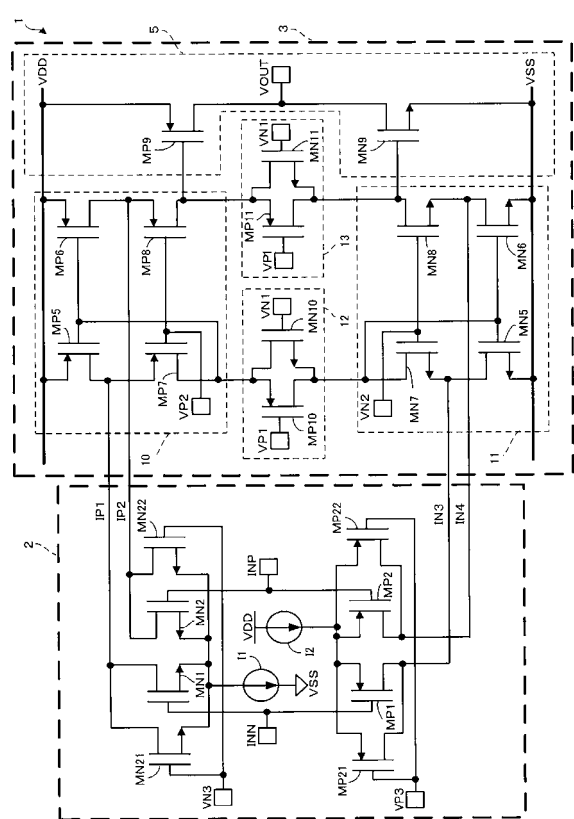
50

- 2 入力段
- 3 出力部
- 5 出力段
- 10 第1カレントミラー部
- 11 第2カレントミラー部
- 12, 13 トランジスタ組
- 20 液晶駆動回路
- 21 レジスタ
- 22 D/A変換回路ブロック
- 23 増幅器ブロック

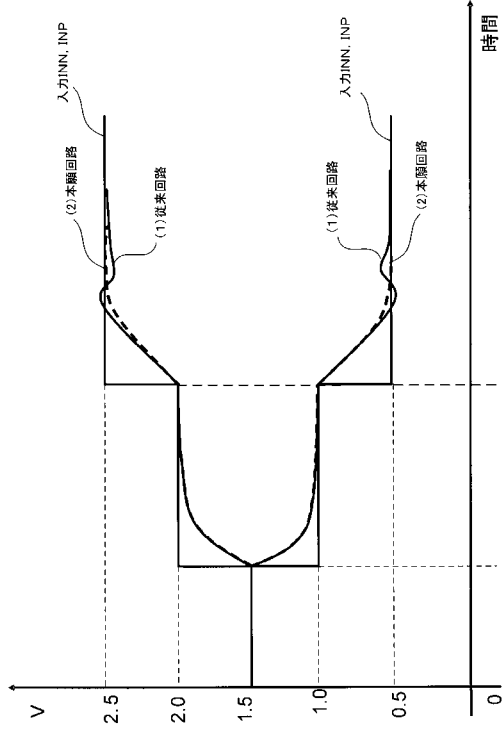
【図1】



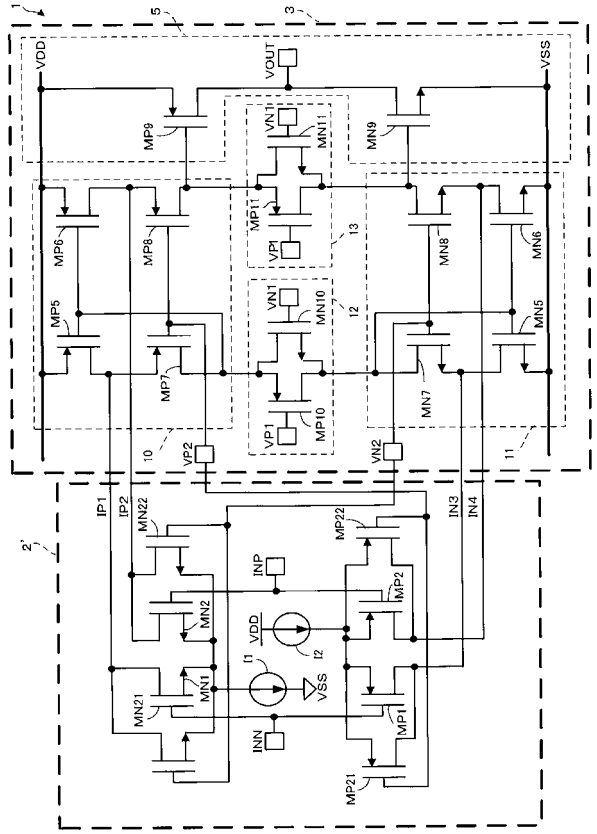
【図2】



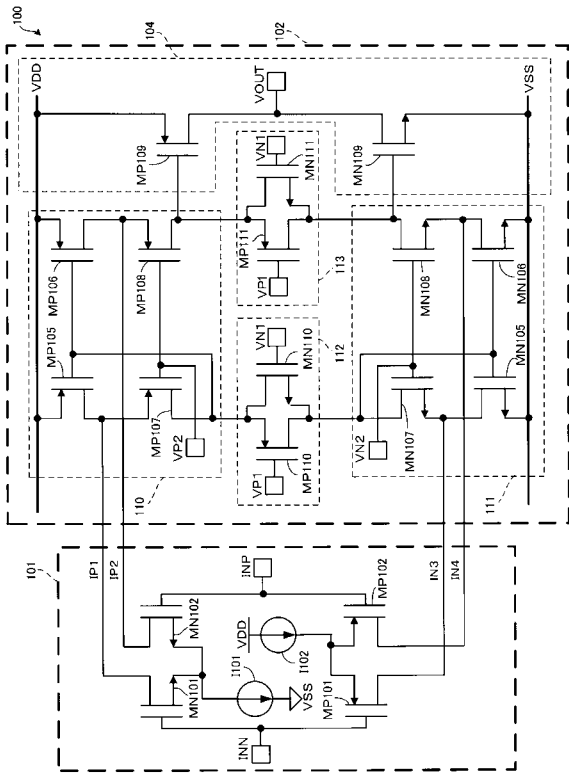
【図 3】



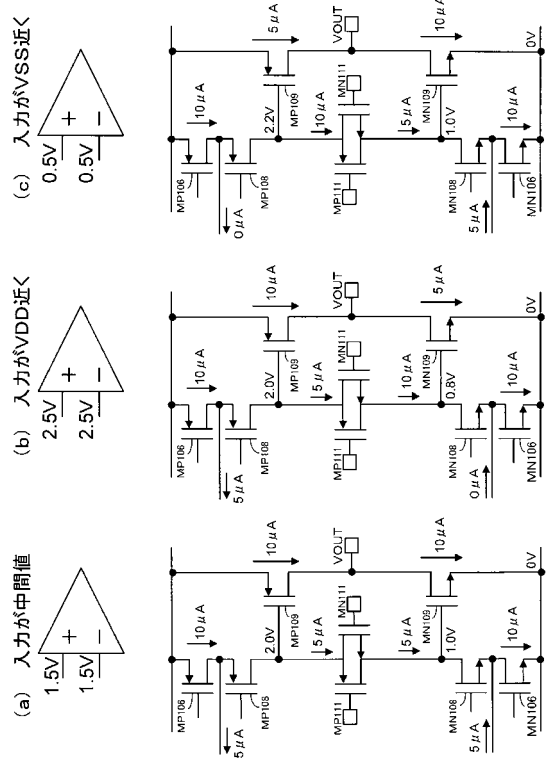
【図 4】



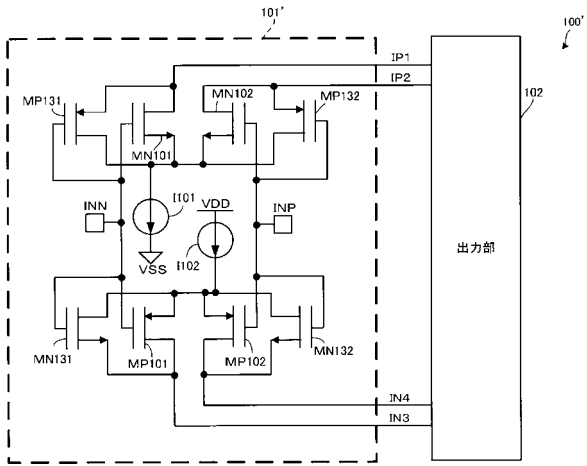
【図 5】



【図 6】



【 図 7 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 1 1 A  
G 0 2 F 1/133 5 0 5

Fターム(参考) 5J500 AA01 AA12 AC54 AC65 AF01 AF04 AF09 AF13 AH10 AH17  
AK05 AM19 AS08 AT06 DN02 DN04 DN14 DN23 DP01 DP03