

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-28885
(P2004-28885A)

(43) 公開日 平成16年1月29日(2004.1.29)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO 1 R 31/28	GO 1 R 31/28	2 GO 1 4
GO 1 R 31/02	GO 1 R 31/02	2 G 1 3 2
GO 1 R 31/319	HO 1 L 25/08	5 FO 3 8
HO 1 L 21/82	GO 1 R 31/28	5 FO 6 4
HO 1 L 21/822	HO 1 L 27/04	
審査請求 未請求 請求項の数 10 O L (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2002-187994 (P2002-187994)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成14年6月27日 (2002.6.27)	(74) 代理人	100068755 弁理士 恩田 博宣
		(74) 代理人	100105957 弁理士 恩田 誠
		(72) 発明者	田中 裕幸 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
		(72) 発明者	伊藤 由人 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
		最終頁に続く	

(54) 【発明の名称】 半導体装置、半導体パッケージ及び半導体装置の試験方法

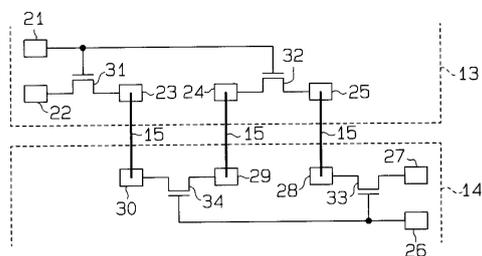
(57) 【要約】

【課題】 MCP の試験精度を向上させることのできる半導体装置を提供すること。

【解決手段】 MCP に搭載される各チップ13, 14の外部端子22, 27間において、両チップ13, 14間を接続するワイヤ15は、トランジスタ31~34を介して直列に接続される。従って、チップ13, 14の外部端子21, 26を介してトランジスタ31~34がオンされると、それらオンしたトランジスタ31~34及びワイヤ15を介して両チップ13, 14の各内部端子23~25, 28~30が電氣的に接続される。これにより、両チップ13, 14間の接続不良を検出することができる。

【選択図】 図2

接続不良を検出するための構成を示す概略図



【特許請求の範囲】

【請求項 1】

2以上の半導体チップから構成され、各半導体チップが各々の内部端子を介して接続線で接続される半導体装置において、

前記各半導体チップ間を接続する接続線がそれぞれ直列に接続されるように前記各半導体チップ内の内部端子間をスイッチ素子を介して接続し、該直列に接続したときの両端に位置する2つの内部端子を、該内部端子を含む半導体チップの外部端子とスイッチ素子を介して接続したことを特徴とする半導体装置。

【請求項 2】

前記内部端子間を接続するスイッチ素子及び前記内部端子と前記外部端子との間を接続するスイッチ素子のオン/オフ制御を半導体チップの外部端子を用いて行うことを特徴とする請求項 1記載の半導体装置。

10

【請求項 3】

2以上の半導体チップから構成され、各半導体チップが各々の内部端子を介して接続線で接続される半導体装置において、

前記各半導体チップは、

それぞれ同数の1又は複数の冗長端子と、

前記各半導体チップ間の接続不良を検出する試験回路と、

前記試験回路から出力される信号に応答して、前記接続不良となる内部端子を含む複数の内部端子を他の内部端子又は前記冗長端子にそれぞれ切り替える端子切替回路と

20

を備えることを特徴とする半導体装置。

【請求項 4】

前記端子切替回路は、

前記試験回路から出力される信号を保持して出力する判定保持回路と、

前記判定保持回路の出力信号に基づいて、2つの内部端子のうち何れか一方、或いは、内部端子と冗長端子のうち何れか一方に接続位置を切り替える切替スイッチと

を備えることを特徴とする請求項 3記載の半導体装置。

【請求項 5】

前記判定保持回路はヒューズを含み、前記試験回路により前記接続不良となる内部端子が検出される場合に前記ヒューズを切断して出力を一定にすることを特徴とする請求項 4記載の半導体装置。

30

【請求項 6】

2以上の半導体チップから構成され、各半導体チップが各々の内部端子を介して接続線で接続される半導体装置において、

前記各半導体チップは、

それぞれ同数の1又は複数の冗長端子と、

前記各半導体チップ間の接続不良を検出する試験回路と、

前記試験回路から出力される信号に応答して、前記接続不良となる内部端子を前記冗長端子に切り替える端子切替回路と

を備えることを特徴とする半導体装置。

40

【請求項 7】

前記端子切替回路は、

前記試験回路から出力される信号に応答して、前記接続不良となる内部端子を前記冗長端子に切り替えるための信号を生成する判定回路と、

前記試験回路及び前記判定回路の出力信号に基づいて、内部端子と冗長端子のうち何れか一方に接続位置を切り替える切替スイッチと

を備えることを特徴とする請求項 6記載の半導体装置。

【請求項 8】

請求項 3乃至7の何れか一項記載の構成を備えたことを特徴とする請求項 1又は2記載の半導体装置。

50

【請求項 9】

請求項 1 乃至 8 の何れか一項記載の半導体装置が実装された半導体パッケージ。

【請求項 10】

2 以上の半導体チップから構成され、各半導体チップが各々の内部端子を介して接続線で接続される半導体装置の試験方法であって、

前記各半導体チップ間を接続する接続線をそれぞれ直列に接続すると共に、該直列に接続したときの両端に位置する 2 つの内部端子を、該内部端子を含む半導体チップの外部端子と接続し、該外部端子を用いて導通試験を行うことを特徴とする半導体装置の試験方法。

【発明の詳細な説明】**【0001】**

10

【発明の属する技術分野】

本発明は半導体装置、半導体パッケージ及び半導体装置の試験方法に関する。近年、半導体チップの小型化が進み、様々な機能を持つ複数のチップを単一パッケージに搭載したマルチチップパッケージ(MCP)が注目されている。MCPでは、メモリやロジック回路などの機能を持つチップを組み合わせ、それらチップ間を配線したシステムインパッケージ(SIP)を実現することができる。このようなMCPにおいては、バス幅を広くしてデータ転送の効率化を図るために、各チップ間を互いに接続するための端子数(即ち1チップ当りの端子数)が増加してきている。このため、パッケージ組立て後に行うMCPの試験効率及び試験精度の向上が要求されている。

【0002】

20

【従来の技術】

MCPは、それに搭載されるチップが有する外部接続用の端子(外部端子)を用いて種々の試験が実施される。この試験により、MCPは良品/不良品の何れかに選別され、その結果、良品と判定されたMCPが製品として出荷される。

【0003】**【発明が解決しようとする課題】**

ところで、従来より実施されてきたMCPの試験では、それによる良品/不良品の選別がパッケージ単位で行われる。このため、試験により不良品となった場合に、MCP内に搭載されるチップそのものが不良であるのか、或いは各チップ間の接続が不良であるのかを判別することができなかった。従って、例えば各チップ間の接続不良が生じている場合には、仮にチップ単体は良品であったとしても、そのMCPは不良品として判定されていた。このように、従来では、MCPが不良品として判定された場合に、その原因を特定できないために、不良箇所の救済を行うことができず、MCPが破棄されてしまうこともあった。この結果、歩留まりを向上させることができないという問題を有していた。

30

【0004】

本発明は上記問題点を解決するためになされたものであって、その目的はMCPの試験精度を向上させることのできる半導体装置、半導体パッケージ及び半導体装置の試験方法を提供することにある。

【0005】**【課題を解決するための手段】**

40

上記目的を達成するため、請求項 1, 8, 10 に記載の発明によれば、2 以上の半導体チップから構成され、各チップが各々の内部端子を介して接続線で接続される半導体装置において、各チップ間を接続する接続線がそれぞれ直列に接続されるように各チップ内の内部端子間をスイッチ素子を介して接続し、該直列に接続したときの両端に位置する 2 つの内部端子を、該内部端子を含むチップの外部端子とスイッチ素子を介して接続するようにした。これにより、各チップの内部端子を電氣的に接続して、導通試験を行うことにより、各チップ間に接続不良がないかどうかを検査することが可能である。

【0006】

請求項 2 に記載の発明によれば、各チップ内の内部端子間を接続するスイッチ素子及び内部端子と外部端子との間を接続するスイッチ素子は、外部端子を用いてオン/オフ制御さ

50

れる。これにより、各チップ間の導通試験を外部から行うことが可能である。

【0007】

請求項3に記載の発明によれば、各半導体チップは、それぞれ同数の1又は複数の冗長端子と、各チップ間の接続不良を検出する試験回路と、その試験回路の出力信号にตอบสนองして、接続不良となる内部端子を含む複数の内部端子を他の内部端子又は冗長端子にそれぞれ切り替える端子切替回路とを備えている。この構成では、接続不良が検出される場合に、その不良端子を冗長端子により救済することが可能である。

【0008】

請求項4に記載の発明によれば、端子切替回路において、判定保持回路は試験回路から出力される信号を保持して出力し、切替スイッチはその判定保持回路の出力信号に基づいて2つの内部端子のうち何れか一方、或いは、内部端子と冗長端子のうち何れか一方に接続位置を切り替える。

10

【0009】

請求項5に記載の発明によれば、判定保持回路はヒューズを含み、試験回路により前記接続不良となる内部端子が検出される場合には該ヒューズを切断して出力を一定にする。これにより、接続不良が検出される際に切り替えられた端子の接続位置は固定される。

【0010】

請求項6に記載の発明によれば、各半導体チップは、それぞれ同数の1又は複数の冗長端子と、各チップ間の接続不良を検出する試験回路と、その試験回路の出力信号にตอบสนองして、接続不良となる内部端子を冗長端子に切り替える端子切替回路とを備えている。この構成では、接続不良が検出される場合に、その不良端子を冗長端子により救済することが可能である。

20

【0011】

請求項7に記載の発明によれば、端子切替回路において、判定回路は、試験回路の出力信号にตอบสนองして、接続不良となる内部端子を冗長端子に切り替えるための信号を切替スイッチに出力する。そして、切替スイッチは、試験回路及び判定回路の出力信号に基づいて、内部端子と冗長端子のうち何れか一方に接続位置を切り替える。

【0012】

請求項9に記載の発明によれば、パッケージ内に搭載される各チップの導通試験を行い、それにより各チップ間の接続不良を検出することができるため、試験精度の向上を図ることができる。また、その際、接続不良がある場合には、不良端子を冗長端子により救済することができるため、歩留まりを向上させることもできる。

30

【0013】

【発明の実施の形態】

(第一実施形態)

以下、本発明を具体化した第一実施形態を図1～図5に従って説明する。尚、本実施形態は、2以上の半導体チップが積層状に接続されてなる半導体装置が実装されたスタック型マルチチップパッケージ(以下、スタック型MCP)に具体化したものである。

【0014】

図1は、スタック型MCPの概略構造図である。

40

このスタック型MCP11は、基板12上に例えば2つのチップ13,14が上下に接続されて実装されている。チップ13,14は、パッケージ内部にて互いのチップと接続するための複数(図では2つずつ示す)の内部端子13a,14aをそれぞれ有し、各端子13a,14aはワイヤ15を介して互いに接続されている。また、チップ13,14は、外部と接続するための複数(図では2つずつ示す)の外部端子13b,14bをそれぞれ有し、各端子13b,14bは基板12上に設けられた端子12aとワイヤ15を介して接続されている。基板12には、MCP11を実装する基板(図示略)に接続するための複数の電極(半田ボール)16が設けられている。

【0015】

図2は、MCP11内における両チップ13,14間の接続不良を検出するための構成を

50

示す概略図である。

ここで、チップ 13 は端子 21 ~ 25 を含み、それらのうち端子 21, 22 は外部端子 (図 1 の外部端子 13b に含まれる) であり、端子 23 ~ 25 は内部端子 (図 1 の内部端子 13a に含まれる) である。また、チップ 14 は端子 26 ~ 30 を含み、それらのうち端子 26, 27 は外部端子 (図 1 の外部端子 14b に含まれる) であり、端子 28 ~ 30 は内部端子 (図 1 の内部端子 14a に含まれる) である。

【0016】

両チップ 13, 14 間において、チップ 13 の内部端子 23, 24, 25 は、チップ 14 の内部端子 30, 29, 28 とそれぞれワイヤ 15 を介して接続されている。

【0017】

チップ 13 において、外部端子 22 及び内部端子 23 間、内部端子 24, 25 間はスイッチ素子としての N チャネル MOS トランジスタ 31, 32 を介して接続され、それらトランジスタ 31, 32 のゲートは外部端子 21 と接続されている。同様に、チップ 14 において、外部端子 27 及び内部端子 28 間、内部端子 29, 30 間は N チャネル MOS トランジスタ 33, 34 (スイッチ素子) を介して接続され、それらトランジスタ 33, 34 のゲートは外部端子 26 と接続されている。

【0018】

即ち、チップ 13, 14 の外部端子 22, 27 間において、両チップ 13, 14 間を接続する各ワイヤ 15 (図 2 では 3 つ) が、トランジスタ 31 ~ 34 を介して直列に接続されている。言い換えれば、チップ 13, 14 の各内部端子 23 ~ 25, 28 ~ 30 が、トランジスタ 31 ~ 34 及び各ワイヤ 15 を介して直列に接続されている。

【0019】

この構成では、外部端子 21, 26 から入力される H レベルの信号によりトランジスタ 31 ~ 34 がオンすると、それらオンしたトランジスタ 31 ~ 34、内部端子 23 ~ 25, 28 ~ 30 及びワイヤ 15 を介して両チップ 13, 14 の外部端子 22, 27 間が導通状態になる。従って、このようなチップ 13, 14 を搭載する MCP 11 では、外部端子 21, 22, 26, 27 を用いて導通試験を行うことにより、両チップ 13, 14 間に接続不良がないか否か (即ち各ワイヤ 15 の接続に異常がないか否か) を検出することができる。

【0020】

次に、上記のような導通試験により接続不良が検出された端子 (以下、不良端子) の冗長救済を行うための構成について詳述する。

図 3 は、その冗長救済のための回路構成を示す概略図である。

【0021】

ここで、チップ 13 は端子 41 ~ 45 を含み、それらのうち端子 41 ~ 44 は内部端子 (図 1 の内部端子 13a に含まれる) であり、端子 45 は冗長端子である。また、チップ 14 は端子 46 ~ 50 を含み、それらのうち端子 46 ~ 49 は内部端子 (図 1 の内部端子 14a に含まれる) であり、端子 50 は冗長端子である。冗長端子 45, 50 は、不良端子の救済を目的として各チップ 13, 14 に 1 又は複数 (本実施形態では両チップ 13, 14 に 1 つずつ) 予め余分に設けられる端子である。尚、図 3 では、上述した接続不良を検出するための構成を省略している。

【0022】

両チップ 13, 14 間において、チップ 13 の内部端子 41 ~ 44 は、チップ 14 の内部端子 46 ~ 49 とそれぞれワイヤ 15 を介して接続され、両チップ 13, 14 の冗長端子 45, 50 は、ワイヤ 15 を介して互いに接続されている。

【0023】

チップ 13 において、内部端子 41 ~ 44 及び冗長端子 45 は、端子切替回路 51 を介して内部回路 (図示略) の入出力端子 I1 ~ I4 と接続されている。また、同様にチップ 14 において、内部端子 46 ~ 49 及び冗長端子 50 は、端子切替回路 52 を介して内部回路 (図示略) の入出力端子 I5 ~ I8 と接続されている。

10

20

30

40

50

【0024】

以下、端子切替回路51の具体的構成について詳述する。尚、本実施形態において、両チップ13, 14の端子切替回路51, 52はそれぞれ同様な構成を持つ。従って、ここでは、チップ14の端子切替回路52についての詳細な説明は省略する。

【0025】

端子切替回路51は、第1～第4判定保持回路53a～53dと、それら判定保持回路53a～53dとそれぞれ対に接続される第1～第4切替スイッチ54a～54dとを備える。各判定保持回路53a～53dは、チップ13が有する各内部端子41～44に対応して(4つ)設けられる。

【0026】

第1切替スイッチ54aは、インバータ回路61と、NチャネルMOSトランジスタで構成される第1及び第2トランジスタ62, 63とを備える。尚、第2～第4切替スイッチ54b～54dは、第1切替スイッチ54aと同様に構成されているため、同様な構成部分には同一符号を付してそれらの詳細な説明を一部省略する。

【0027】

第1トランジスタ62は入出力端子I1と内部端子41とに接続され、そのゲートには第1判定保持回路53aの出力信号が入力される。また、第2トランジスタ63は入出力端子I1と内部端子42とに接続され、そのゲートには第1判定保持回路53aの出力信号がインバータ回路61を介して入力される。従って、第1切替スイッチ54aは、第1判定保持回路53aの出力信号に応じて、入出力端子I1と接続する端子を内部端子41, 42のうち何れかに切り替える。

【0028】

同様に、第2切替スイッチ54bは、第2判定保持回路53bの出力信号に応じて、入出力端子I2と接続する端子を内部端子42, 43のうち何れかに切り替える。また、同様に、第3切替スイッチ54cは、第3判定保持回路53cの出力信号に応じて、入出力端子I3と接続する端子を内部端子43, 44のうち何れかに切り替える。

【0029】

また、第4切替スイッチ54dにおいて、第1トランジスタ62は入出力端子I4と内部端子44とに接続され、そのゲートには第4判定保持回路53dの出力信号が入力される。第2トランジスタ63は入出力端子I4と冗長端子45とに接続され、そのゲートには第4判定保持回路53dの出力信号がインバータ回路61を介して入力される。従って、第4切替スイッチ54dは、第4判定保持回路53dの出力信号に応じて、入出力端子I4と接続する端子を内部端子44及び冗長端子45のうち何れかに切り替える。

【0030】

第1～第4判定保持回路53a～53dには、チップ13が内蔵する組み込み自己試験回路(以下、BIST(Build In Self Test)回路)64からのテスト信号TB1～TB4が入力される。このBIST回路64は、両チップ13, 14間の接続不良(チップ13, 14の不良端子)を検出し、その検出結果に応じてテスト信号TB1～TB4を生成する。

【0031】

図4は、第1判定保持回路53aの回路図である。尚、第2～第4判定保持回路53b～53dは、第1判定保持回路53aと同様に構成されているため、ここでは、それらの詳細な説明は省略する。

【0032】

第1判定保持回路53aは、PチャネルMOSトランジスタ71, 72、NチャネルMOSトランジスタ73, 74、フリップフロップ回路75、抵抗76及びノア回路77を備える。

【0033】

トランジスタ71のソースは電源VCCに接続され、ドレインは抵抗76を介してグラウンドGNDに接続されている。また、トランジスタ71のゲートはトランジスタ73を介し

10

20

30

40

50

て入力端子TE1と接続されている。トランジスタ73のゲートは、フリップフロップ回路75を介してトランジスタ71及び抵抗76の接続ノードに接続されると共に、トランジスタ72, 74のゲートに接続されている。トランジスタ72のソースは電源VCCに接続され、ドレインはトランジスタ74のドレインと接続されている。そのトランジスタ74のソースはグランドGNDに接続されている。ノア回路77は2入力のノア回路であって、一方の入力端子はトランジスタ72, 74の接続ノードに接続され、他方の入力端子はグランドGNDに接続されている。そして、このノア回路77の出力信号が第1判定保持回路53aの出力信号として出力端子TE2から出力される。

【0034】

このような第1判定保持回路53aでは、通常、入力端子TE1にHレベルの信号が入力されており(即ち、BIST回路64からHレベルの信号が出力されている)、トランジスタ71はオフしている。これにより、フリップフロップ回路75はHレベルの信号を出力し、トランジスタ74はオンしている。従って、ノア回路77はHレベルの信号を出力している。

10

【0035】

この状態で、入力端子TE1にLレベルの信号が入力される(即ち、BIST回路64からLレベルの信号が出力される)と、そのLレベルの信号がトランジスタ73を介してトランジスタ71のゲートに入力され、該トランジスタ71がオンする。これにより、フリップフロップ回路75はLレベルの信号を出力し、トランジスタ72がオンする。従って、ノア回路77はLレベルの信号を出力する。

20

【0036】

ちなみに、この状態では、入力端子TE1にHレベルの信号が再度入力されても、トランジスタ73がオフしているため、トランジスタ71はオン状態のままである。従って、フリップフロップ回路75はLレベルの信号を出力し、ノア回路77はLレベルの出力信号を保持する。

【0037】

尚、上述した第1判定保持回路53a(第1~第4判定保持回路53a~53d)の構成を図5に示す構成に変更してもよい。即ち、同図に示す判定保持回路80は、PチャンネルMOSトランジスタ81, 82、NチャンネルMOSトランジスタ83、抵抗84、ヒューズ85及びノア回路86を備える。

30

【0038】

詳述すると、トランジスタ81のソースは電源VCCHに接続され、ドレインはトランジスタ83のソースに接続されるとともにヒューズ85を介してグランドGNDに接続されている。このトランジスタ81のゲートは、トランジスタ82, 83のゲートと接続され、それらの各ゲートは入力端子TE1と接続されている。トランジスタ82のソースは電源VCCに接続され、ドレインはトランジスタ83のドレインと接続されている。そのトランジスタ83のドレインは抵抗84を介して電源VCCに接続されている。ノア回路86は2入力のノア回路であって、一方の入力端子はトランジスタ82, 83の接続ノードに接続され、他方の入力端子はグランドGNDに接続されている。そして、このノア回路86の出力信号が判定保持回路80の出力信号として出力端子TE2から出力される。

40

【0039】

このような判定保持回路80では、入力端子TE1にHレベルの信号が入力される時、トランジスタ83がオンする。これにより、ノア回路86はHレベルの信号を出力する。逆に、入力端子TE1にLレベルの信号が入力される時、トランジスタ81, 82がオンする。これにより、ノア回路86はLレベルの信号を出力する。その際、オンしたトランジスタ81を介して高電圧の電源VCCHがヒューズ85に印加され、ヒューズ85が切断される。

【0040】

即ち、この状態では、入力端子TE1にHレベルの信号が再度入力されても、ヒューズ85が切断されているため、ノア回路86はHレベルの信号を出力しない。従って、判定保

50

持回路 80 は、上記判定保持回路 53 a と同様にして、BIST 回路 64 から出力される H レベル / L レベルの信号を保持して出力する。

【0041】

次に、端子切替回路 51 の作用を図 3 を参照しながら説明する。

まず、上述した導通試験により接続不良が検出されない（即ち、各端子間を接続するワイヤ 15 が正常に接続されている）場合について説明する。

【0042】

このとき、チップ 13 において、BIST 回路 64 は、第 1 ~ 第 4 判定保持回路 53 a ~ 53 d に H レベルの信号を出力し、各判定保持回路 53 a ~ 53 d は、その H レベルの信号を保持して出力する。これにより、第 1 ~ 第 4 切替スイッチ 54 a ~ 54 d の第 1 トランジスタ 62 がオンし、入出力端子 I1 ~ I4 は、それぞれ内部端子 41 ~ 44 と接続される。

10

【0043】

その際、同様にチップ 14 において、端子切替回路 52 は、該チップ 14 が有する BIST 回路（図示略）からの出力信号に应答して端子の接続位置を切り替え、入出力端子 I5 ~ I8 は、それぞれ内部端子 46 ~ 49 と接続される。即ち、接続不良が検出されない場合には、チップ 13, 14 の冗長端子 45, 50 は使用されない。

【0044】

次いで、上述した導通試験の結果、例えば内部端子 43, 48 が不良端子である（即ち、内部端子 43, 48 間を接続するワイヤ 15 が接続不良である）場合について説明する。

20

【0045】

このとき、チップ 13 において、BIST 回路 64 は、第 1 及び第 2 判定保持回路 53 a, 53 b に H レベルの信号を出力し、第 3 及び第 4 判定保持回路 53 c, 53 d に L レベルの信号を出力する。これにより、第 1 及び第 2 切替スイッチ 54 a, 54 b の第 1 トランジスタ 62 がオンし、第 3 及び第 4 切替スイッチ 54 c, 54 d の第 2 トランジスタ 63 がオンする。従って、入出力端子 I1, I2 は内部端子 41, 42 と接続され、入出力端子 I3 は内部端子 44 と接続され、入出力端子 I4 は冗長端子 45 と接続される。

【0046】

その際、同様にチップ 14 において、端子切替回路 52 は、BIST 回路（図示略）からの出力信号に应答して端子の接続位置を切り替え、入出力端子 I5 ~ I8 がそれぞれ内部端子 46, 47, 49, 冗長端子 50 と接続される。

30

【0047】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) チップ 13, 14 の外部端子 22, 27 間において、両チップ 13, 14 間を接続するワイヤ 15 は、トランジスタ 31 ~ 34 を介して直列に接続される。各トランジスタ 31 ~ 34 は、チップ 13, 14 の外部端子 21, 26 を介してオン・オフ制御される。この構成では、チップ 13, 14 の外部端子 21, 22, 26, 27 を用いてチップ 13, 14 の接続状態を電氣的に検査することができ、この導通試験により MCP 11 内の両チップ 13, 14 間に接続不良があるかどうかを検出することができる。これにより、MCP 11 の試験精度の向上化を図ることができる。

40

【0048】

(2) 本実施形態では、デバイスを実動作させずに導通試験を行うため、ワイヤオープン異常（ワイヤ 15 の接続不良）を容易に検出することができる。

(3) 本実施形態では、導通試験の結果、両チップ 13, 14 間の接続不良が検出される場合に、あらかじめ備えた冗長端子 45, 50 を用いて不良端子の救済を行うことが可能である。これにより、歩留まりの向上に貢献できる。

【0049】

（第二実施形態）

以下、本発明を具体化した第二実施形態を図 6 に従って説明する。

尚、本実施形態は、第一実施形態の端子切替回路 51, 52 の構成を変更したものであり

50

、同様な構成部分には同一符号を付してその詳細な説明を一部省略する。

【0050】

図6は、第二実施形態の冗長救済のための回路構成を示す概略図である。

ここで、チップ13は端子91～94を含み、それらのうち端子91～93は内部端子であり、端子94は冗長端子である。また、チップ14は端子95～98を含み、それらのうち端子95～97は内部端子であり、端子98は冗長端子である。

【0051】

両チップ13, 14間において、チップ13の内部端子91～93は、チップ14の内部端子95～97とそれぞれワイヤ15を介して接続され、両チップ13, 14の冗長端子94, 98は、ワイヤ15を介して互いに接続されている。

10

【0052】

チップ13において、内部端子91～93及び冗長端子94は、端子切替回路101を介して入出力端子I11～I13と接続されている。同様に、チップ14において、内部端子95～97及び冗長端子98は、端子切替回路102を介して入出力端子I14～I16と接続されている。尚、本実施形態において、両チップ13, 14の端子切替回路101, 102はそれぞれ同様に構成されている。

【0053】

以下、端子切替回路101について説明する。

端子切替回路101は、第1～第3判定回路103a～103cと、それら判定回路103a～103cとそれぞれ対に設けられた第1～第3切替スイッチ104a～104cと、インバータ回路105a, 105bとを含む。各切替スイッチ104a～104cは、NチャンネルMOSトランジスタ111～115及びインバータ回路116～118を含む。

20

【0054】

第1切替スイッチ104aにおいて、トランジスタ111, 112のゲートにはBIST回路(図示略)からの信号が入力され、トランジスタ113, 114のゲートには該BIST回路からの信号がインバータ回路116を介して入力される。従って、トランジスタ111, 112とトランジスタ113, 114とはBIST回路から出力される信号に基づいて相補的にオン・オフ制御される。

【0055】

そして、BIST回路の出力信号に応答してトランジスタ113, 114がオンするとき、それらオンしたトランジスタ113, 114及びインバータ回路117, 118を介して入出力端子I11が内部端子91と接続される。一方、トランジスタ111, 112がオンするとき、第1判定回路103aからHレベルの信号が出力され、そのHレベルの信号に応答してトランジスタ115がオンする。これにより、オンしたトランジスタ115及びインバータ回路105a, 105bを介して入出力端子I11が冗長端子94と接続される。

30

【0056】

同様にして、第2切替スイッチ104bは、BIST回路及び第2判定回路103bの出力信号に基づいて、入出力端子I12を内部端子92及び冗長端子94の何れかと接続する。また、同様に第3切替スイッチ104cは、BIST回路及び第2判定回路103cの出力信号に基づいて、入出力端子I13を内部端子93及び冗長端子94の何れかと接続する。

40

【0057】

即ち、本実施形態では、端子切替回路101は、内部端子91～93のうち接続不良となる端子(不良端子)を冗長端子94と切り替える。その際、同様に、チップ14において、端子切替回路102は、該チップ14が有するBIST回路(図示略)の出力信号に応じて、内部端子95～97のうち接続不良となる端子(不良端子)を冗長端子98と切り替える。

【0058】

50

従って、上記記述したように、本実施形態の端子切替回路 101, 102 を用いた場合にも、両チップ 13, 14 間の接続不良が検出される場合に、不良端子の救済を行うことが可能である。

【0059】

尚、上記各実施形態は、以下の態様で実施してもよい。

・各実施形態では、MCP11 に 2 つのチップ 13, 14 が搭載される場合について具体化した。3 以上搭載される場合に具体化してもよい。

【0060】

・各実施形態では、チップ 13, 14 を上下に積み重ねるスタック型 MCP11 に具体化した。チップ 13, 14 を基板 12 上に並べて接続するプレーン型 MCP 等に具体化して S もよい。

10

【0061】

・図 2 では、端子間を接続するためのトランジスタ 31 ~ 34 は N チャネル MOS トランジスタを用いて構成したが、P チャネル MOS トランジスタを用いて構成してもよい。

【0062】

・第一実施形態の端子切替回路 51 は、図 3 に示す構成のみに限定されるものではない。即ち、内部端子 41 ~ 44 の何れかが不良端子として検出される場合に、切替スイッチ 54a ~ 54d が、判定保持回路 53a ~ 53d の出力信号に応じて、入出力端子 I1 ~ I4 の接続位置を、2 つの端子 (2 つの内部端子あるいは内部端子と冗長端子) のうち何れか一方に切り替えることのできる構成であればよい。

20

【0063】

・第二実施形態の端子切替回路 101 は、図 6 に示す構成のみに限定されるものではない。即ち、内部端子 91 ~ 93 の何れかが不良端子として検出される場合に、各切替スイッチ 104a ~ 104d が、BIST 回路の出力信号に応じて、入出力端子 I11 ~ I13 の接続位置を該不良端子から冗長端子 94 に切り替えることのできる構成であればよい。

【0064】

・図 5 に示す判定保持回路 80 では、ヒューズ 85 を過電圧 (電源 VCC H) により切断することで BIST 回路 64 の出力信号を保持する構成としたが、BIST 回路 64 の出力信号を不揮発性のメモリ等に記憶して保持する構成としてもよい。

【0065】

上記各実施形態の特徴をまとめると以下のようになる。

30

(付記 1) 2 以上の半導体チップから構成され、各半導体チップが各々の内部端子を介して接続線で接続される半導体装置において、

前記各半導体チップ間を接続する接続線がそれぞれ直列に接続されるように前記各半導体チップ内の内部端子間をスイッチ素子を介して接続し、該直列に接続したときの両端に位置する 2 つの内部端子を、該内部端子を含む半導体チップの外部端子とスイッチ素子を介して接続したことを特徴とする半導体装置。

(付記 2) 前記内部端子間を接続するスイッチ素子及び前記内部端子と前記外部端子との間を接続するスイッチ素子のオン/オフ制御を半導体チップの外部端子を用いて行うことを特徴とする付記 1 記載の半導体装置。

40

(付記 3) 2 以上の半導体チップから構成され、各半導体チップが各々の内部端子を介して接続線で接続される半導体装置において、

前記各半導体チップは、

それぞれ同数の 1 又は複数の冗長端子と、

前記各半導体チップ間の接続不良を検出する試験回路と、

前記試験回路から出力される信号に応答して、前記接続不良となる内部端子を含む複数の内部端子を他の内部端子又は前記冗長端子にそれぞれ切り替える端子切替回路と

を備えることを特徴とする半導体装置。

(付記 4) 前記端子切替回路は、

前記試験回路から出力される信号を保持して出力する判定保持回路と、

50

前記判定保持回路の出力信号に基づいて、2つの内部端子のうち何れか一方、或いは、内部端子と冗長端子のうち何れか一方に接続位置を切り替える切替スイッチと

を備えることを特徴とする付記3記載の半導体装置。

(付記5) 前記判定保持回路はヒューズを含み、前記試験回路により前記接続不良となる内部端子が検出される場合に前記ヒューズを切断して出力を一定にすることを特徴とする付記4記載の半導体装置。

(付記6) 2以上の半導体チップから構成され、各半導体チップが各々の内部端子を介して接続線で接続される半導体装置において、

前記各半導体チップは、

それぞれ同数の1又は複数の冗長端子と、

前記各半導体チップ間の接続不良を検出する試験回路と、

前記試験回路から出力される信号に応答して、前記接続不良となる内部端子を前記冗長端子に切り替える端子切替回路と

を備えることを特徴とする半導体装置。

(付記7) 前記端子切替回路は、

前記試験回路から出力される信号に応答して、前記接続不良となる内部端子を前記冗長端子に切り替えるための信号を生成する判定回路と、

前記試験回路及び前記判定回路の出力信号に基づいて、内部端子と冗長端子のうち何れか一方に接続位置を切り替える切替スイッチと

を備えることを特徴とする付記6記載の半導体装置。

(付記8) 付記3乃至7の何れか一記載の構成を備えたことを特徴とする付記1又は2記載の半導体装置。

(付記9) 付記1乃至8の何れか一記載の半導体装置が実装された半導体パッケージ。

(付記10) 2以上の半導体チップから構成され、各半導体チップが各々の内部端子を介して接続線で接続される半導体装置の試験方法であって、

前記各半導体チップ間を接続する接続線をそれぞれ直列に接続すると共に、該直列に接続したときの両端に位置する2つの内部端子を、該内部端子を含む半導体チップの外部端子と接続し、該外部端子を用いて導通試験を行うことを特徴とする半導体装置の試験方法。

(付記11) 前記各半導体チップが内蔵する試験回路により前記各半導体チップ間の接続不良を検出し、該接続不良となる内部端子を含む複数の内部端子を他の内部端子又は冗長端子にそれぞれ切り替えるようにしたことを特徴とする付記10記載の半導体装置の試験方法。

(付記12) 前記各半導体チップが内蔵する試験回路により前記各半導体チップ間の接続不良を検出し、該接続不良となる内部端子を冗長端子に切り替えるようにしたことを特徴とする付記10記載の半導体装置の試験方法。

【0066】

【発明の効果】

以上詳述したように、本発明によれば、MCPの試験精度を向上させることのできる半導体装置、半導体パッケージ及び半導体装置の試験方法を提供することができる。

【図面の簡単な説明】

【図1】スタック型MCPの概略構造図である。

【図2】接続不良を検出するための構成を示す概略図である。

【図3】第一実施形態の冗長救済のための回路構成を示す概略図である。

【図4】判定保持回路の回路図である。

【図5】別の判定保持回路の回路図である。

【図6】第二実施形態の冗長救済のための回路構成を示す概略図である。

【符号の説明】

13, 14 半導体チップ

13a, 14a, 23~25, 28~30, 41~44, 46~49, 91~93, 95~97 内部端子

10

20

30

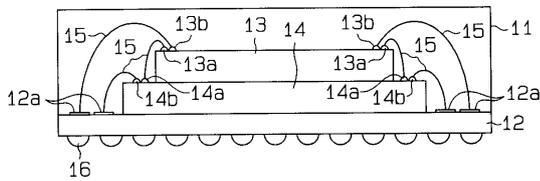
40

50

- 13b, 14b, 21, 22, 26, 27 外部端子
- 15 接続線としてのワイヤ
- 31 ~ 34 スイッチ素子としてのNチャネルMOSトランジスタ
- 45, 50, 94, 98 冗長端子
- 64 試験回路としてのBIST回路
- 51, 52, 101, 102 端子切替回路

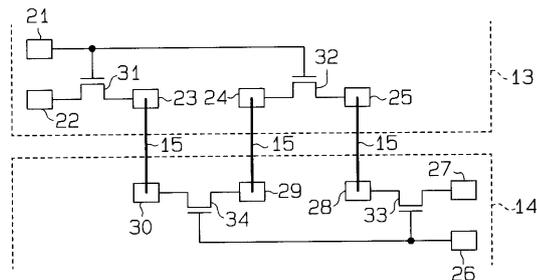
【図1】

スタック型MCPを示す概略構成図



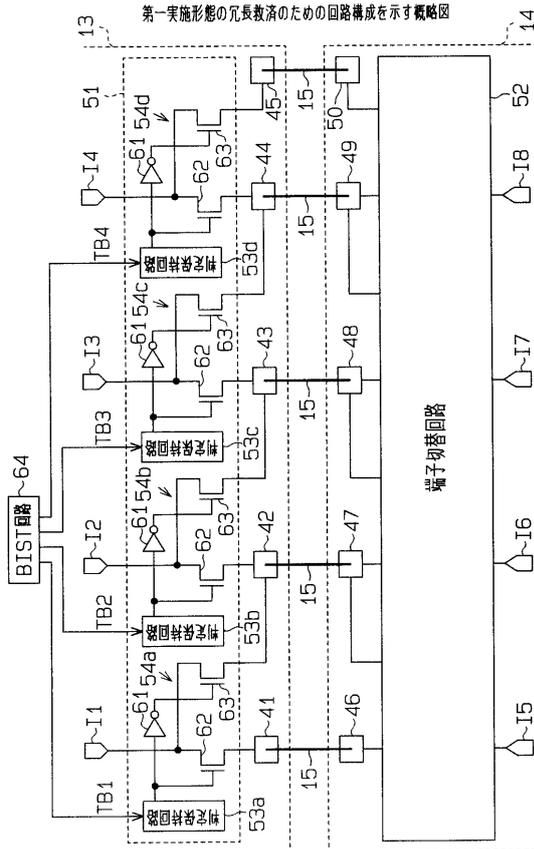
【図2】

接続不良を検出するための構成を示す概略図

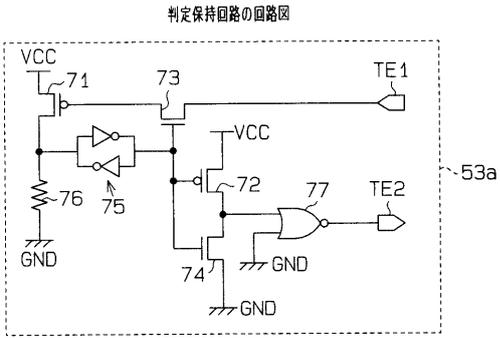


【図3】

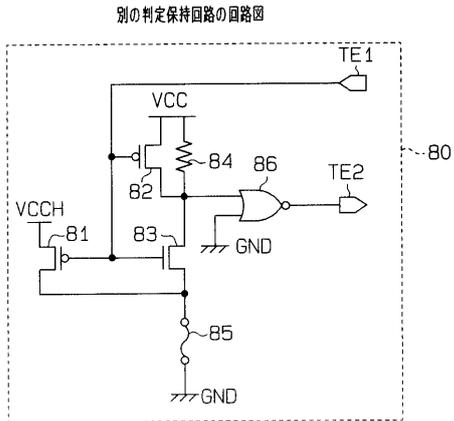
第一実施形態の冗長救済のための回路構成を示す概略図



【 図 4 】

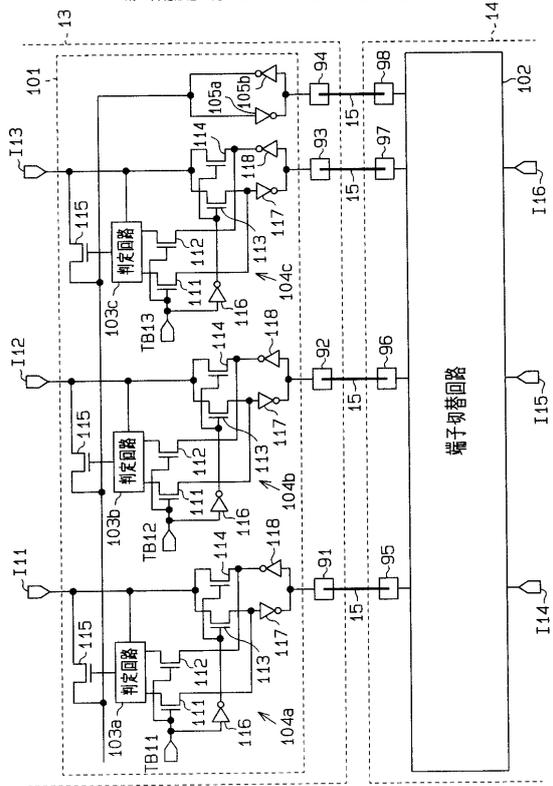


【 図 5 】



【 図 6 】

第二実施形態の冗長救済のための回路構成を示す概略図



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 25/065	H 0 1 L 27/04	V
H 0 1 L 25/07	H 0 1 L 21/82	F
H 0 1 L 25/18		
H 0 1 L 27/04		

(72)発明者 関山 昭則

愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内

Fターム(参考) 2G014 AA01 AB59 AC09

2G132 AA14 AC03 AD15 AH00 AK07 AK09 AK29 AL11

5F038 AV13 AV15 BE04 BE07 DF16 DT04 DT08 DT18 EZ07 EZ20

5F064 AA11 BB07 BB19 BB31 BB37 CC12 CC22 DD46 FF02 FF04

FF14 FF27 FF45