

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-165230

(P2008-165230A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 有 請求項の数 16 O L (全 19 頁)

(21) 出願番号	特願2007-325641 (P2007-325641)	(71) 出願人	501426046 エルジー ディスプレイ カンパニー リミテッド
(22) 出願日	平成19年12月18日 (2007.12.18)		
(31) 優先権主張番号	10-2006-0137517		
(32) 優先日	平成18年12月29日 (2006.12.29)		
(33) 優先権主張国	韓国 (KR)		
		(74) 代理人	100064447 弁理士 岡部 正夫
		(74) 代理人	100085176 弁理士 加藤 伸晃
		(74) 代理人	100094112 弁理士 岡部 譲
		(74) 代理人	100096943 弁理士 臼井 伸一
		(74) 代理人	100101498 弁理士 越智 隆夫

最終頁に続く

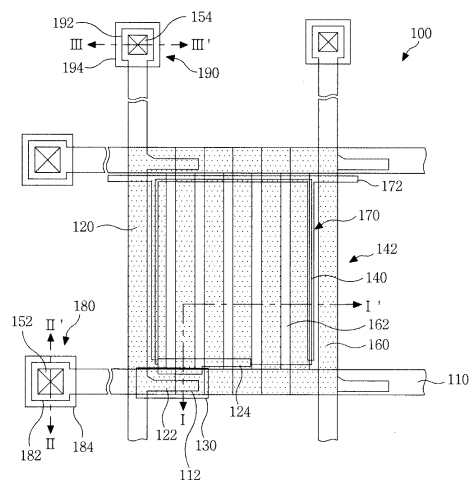
(54) 【発明の名称】 フリンジフィールド型液晶表示パネル及びその製造方法

(57) 【要約】

【課題】本発明は、保護膜上に形成される共通電極をデータラインと重畳するように形成することによって、画素領域の開口率を増加させることのできるフリンジフィールド型液晶表示パネル及びその製造方法に関する。

【解決手段】本発明に係るフリンジフィールド型液晶表示パネルは、基板上に形成されるゲートライン；ゲート絶縁膜を介して前記ゲートラインと交差して形成されるデータライン；ゲートライン及びデータラインの交差領域に形成される薄膜トランジスタ；ゲート絶縁膜上に形成され、薄膜トランジスタと直接接続される画素電極；ゲート絶縁膜上に形成され、画素電極及び薄膜トランジスタを覆う保護膜；及び保護膜上に画素電極及びデータラインと重畳するように形成され、画素電極と共に、液晶配向のためのフリンジフィールドを形成する共通電極を含んで構成されることを特徴とする。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

基板上に形成されるゲートライン；
ゲート絶縁膜を介して前記ゲートラインと交差して形成されるデータライン；
前記ゲートライン及びデータラインの交差領域に形成される薄膜トランジスタ；
前記ゲート絶縁膜上に形成され、薄膜トランジスタと直接接続される画素電極；
前記ゲート絶縁膜上に形成され、画素電極及び薄膜トランジスタを覆う保護膜；及び
前記保護膜上に画素電極及びデータラインと重畳するように形成され、前記画素電極と共に、液晶配向のためのフリンジフィールドを形成する共通電極を含んで構成されることを特徴とするフリンジフィールド型液晶表示パネル。

10

【請求項 2】

前記薄膜トランジスタは、
前記ゲートラインに接続されるゲート電極；
前記データラインに接続されるソース電極及びチャンネルを介して前記ソース電極と対向すると共に、前記画素電極と直接接続されるドレイン電極；及び
前記ゲート絶縁膜を介してゲート電極と重畳するように形成され、前記ソース電極及びドレイン電極の間にチャンネルを形成する活性層及びオーミック接触層からなる半導体パターンを含んで構成されることを特徴とする請求項1に記載のフリンジフィールド型液晶表示パネル。

20

【請求項 3】

前記ソース電極はデータラインから突出された形態に構成され、前記ドレイン電極はチャンネルを介してソース電極と対向する「 Γ 」字状であることを特徴とする請求項2に記載のフリンジフィールド型液晶表示パネル。

【請求項 4】

前記ソース電極は前記データラインから突出された形態に構成され、前記ドレイン電極はチャンネルを介して前記ソース電極と対向する「 Γ 」字状であり、前記ソース電極及びドレイン電極の間には一字状のチャンネルが形成されることを特徴とする請求項2に記載のフリンジフィールド型液晶表示パネル。

【請求項 5】

前記ソース電極はデータラインから突出された「U」字状に構成され、前記ドレイン電極はチャンネルを介してソース電極と対向するように形成され、前記ソース電極及びドレイン電極の間には「U」字状のチャンネルが形成されることを特徴とする請求項2に記載のフリンジフィールド型液晶表示パネル。

30

【請求項 6】

前記ソース電極はデータラインと一体的に形成され、前記ドレイン電極はチャンネルを介してソース電極と対向する「 Γ 」字状を有するように構成されることを特徴とする請求項2に記載のフリンジフィールド型液晶表示パネル。

【請求項 7】

前記画素電極は前記データラインと0～3.0 μm ほどの間隔を置いて形成されることを特徴とする請求項1に記載のフリンジフィールド型液晶表示パネル。

40

【請求項 8】

前記保護膜は、前記共通電極と前記ドレイン電極との間に寄生容量が発生されることを防止するために、6000 \AA 以上の無機絶縁物質からなることを特徴とする請求項1に記載のフリンジフィールド型液晶表示パネル。

【請求項 9】

前記保護膜は、前記共通電極と前記ドレイン電極との間に寄生容量が発生されることを防止するために、1.5 μm 以上の有機絶縁物質からなることを特徴とする請求項1に記載のフリンジフィールド型液晶表示パネル。

【請求項 10】

前記共通電極は、前記薄膜トランジスタが形成された領域を覆うように構成されること

50

を特徴とする請求項 1 に記載のフリッジフィールド型液晶表示パネル。

【請求項 1 1】

前記共通電極は、前記画素電極と共にフリッジフィールドが形成されるスリット溝を有するようにパターンングされることを特徴とする請求項 1 に記載のフリッジフィールド型液晶表示パネル。

【請求項 1 2】

前記共通電極は、ITO あるいはIZO等の透明導電性物質からなることを特徴とする請求項 1 に記載のフリッジフィールド型液晶表示パネル。

【請求項 1 3】

前記ゲートラインと同一な物質で同時に形成されるストレージ電極；及び

10

前記ゲート絶縁膜を介して前記ストレージ電極と重畳するように形成される前記画素電極からなるストレージキャパシタを更に含んで構成されることを特徴とする請求項 1 に記載のフリッジフィールド型液晶表示パネル。

【請求項 1 4】

前記ゲートラインに接続されるゲートパッド下部電極及び前記保護膜に形成された第 1 コンタクトホールを通じて前記ゲートパッド下部電極と接続されるゲートパッド上部電極からなるゲートパッド；及び

前記データラインに接続されるデータパッド下部電極及び前記保護膜に形成された第 2 コンタクトホールを通じて前記データパッド下部電極と接続されるデータパッド上部電極からなるデータパッドを更に含んで構成されることを特徴とする請求項 1 に記載のフリッジフィールド型液晶表示パネル。

20

【請求項 1 5】

前記ゲートパッド下部電極は前記ゲートラインと同一な物質で同時に形成され、前記ゲートパッド上部電極は前記共通電極と同一な物質で同時に形成されることを特徴とする請求項 1 4 に記載のフリッジフィールド型液晶表示パネル。

【請求項 1 6】

前記データパッド下部電極は前記データラインと同一な物質で同時に形成され、前記データパッド上部電極は前記共通電極と同一な物質で同時に形成されることを特徴とする請求項 1 4 に記載のフリッジフィールド型液晶表示パネル。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、フリッジフィールド型平板表示パネル及びその製造方法に関し、特に、共通電極をデータラインと重畳するように形成することによって、画素領域の開口率を増加させることのできるフリッジフィールド型液晶表示パネル及びその製造方法に関する。

【背景技術】

【0002】

液晶表示パネルは、電界を用いて液晶の光透過率を調節することによって画像を示す。このような液晶表示パネルは、液晶を駆動させる電界方向に応じて、垂直電界印加型と水平電界印加型とに大別される。

40

【0003】

垂直電界印加型の液晶表示パネルは、上下部基板と対向するように配置された画素電極と共通電極の間に形成される垂直電界によりTN (Twisted Nematic) モードの液晶を駆動する。このような垂直電界印加型の液晶表示装置は開口率が大きいという利点を有する反面、視野角が90度程に狭いという問題点を有する。

【0004】

水平電界印加型の液晶表示パネルは、下部基板に並べて配置された画素電極と共通電極間の水平電界によりイン・プレーン・スイッチ (In Plane Switch: IPS) モードの液晶を駆動する。このような水平電界印加型の液晶表示パネルは視野角が160度程に大きいという利点を有する反面、開口率及び透過率が小さいという問題点を有す

50

る。

【0005】

このような水平電界印加型の液晶表示パネルの問題点を改善するために、フリッジフィールドによって動作されるフリッジ・フィールド・スイッチング型の液晶表示パネルが提案されている。

【0006】

ここで、フリッジ・フィールド・スイッチング型の液晶表示パネルは、各画素領域に絶縁膜を介在した共通電極板と画素電極とを備え、その共通電極板と画素電極との間隔を上下部基板の間隔より狭くなるように形成して、上下部基板間に満たされた液晶分子を駆動させるためのフリッジフィールドを形成させる。

10

【0007】

前述のように構成されたフリッジ・フィールド・スイッチング型の液晶表示パネルの場合、データラインと隣接した画素領域にもフリッジフィールドを形成して液晶を駆動させることによって、データラインとこれに隣接した画素電極の間に光が漏洩される問題（垂直クロストーク）が発生した。

【0008】

従来、このような問題点を解消するために、データラインと画素電極との間に漏洩される光を遮断するためのブラックマトリクスあるいはシールドリング金属が形成され、これによって、画素領域の開口率が低くなることによって光透過率が低下するという問題点があった。

20

【発明の開示】

【発明が解決しようとする課題】

【0009】

従って、本発明の目的は、共通電極をデータラインと重畳するように形成することによって、画素領域の開口率を増加させることのできるフリッジフィールド型液晶表示パネル及びその製造方法を提供することにある。

【0010】

更に、本発明は、画素電極と共通電極との間に形成される保護膜を所定の高さを有する無機及び有機絶縁膜に形成することによって、データライン及びそれに重畳する共通電極の間の寄生容量の発生を防止することのできるフリッジフィールド型液晶表示パネル及びその製造方法を提供することにある。

30

【0011】

更に、本発明は、共通電極を薄膜トランジスタのチャンネル領域を覆うように形成することによって、チャンネル領域に発生される漏洩電流及びオフカーラントを防止することのできるフリッジフィールド型液晶表示パネル及びその製造方法を提供することにある。

【課題を解決するための手段】

【0012】

前記目的の達成のため、本発明に係るフリッジフィールド型液晶表示パネルは、基板上に形成されるゲートライン；ゲート絶縁膜を介して前記ゲートラインと交差して形成されるデータライン；ゲートライン及びデータラインの交差領域に形成される薄膜トランジスタ；ゲート絶縁膜上に形成され、薄膜トランジスタと直接接続される画素電極；ゲート絶縁膜上に形成され、画素電極及び薄膜トランジスタを覆う保護膜；及び保護膜上に画素電極及びデータラインと重畳するように形成され、画素電極と共に、液晶配向のためのフリッジフィールドを形成する共通電極を含んで構成されることを特徴とする。

40

【0013】

ここで、本発明に係るフリッジフィールド型液晶表示パネルは、ゲートラインと同一な物質で同時に形成されるストレージ電極；及びゲート絶縁膜を介してストレージ電極と重畳するように形成される画素電極からなるストレージキャパシタを更に含んで構成されることを特徴とする。

【0014】

50

本発明に係るフリンジフィールド型液晶表示パネルは、ゲートラインに接続されるゲートパッド下部電極及び保護膜に形成された第1コンタクトホールを通じてゲートパッド下部電極と接続されるゲートパッド上部電極からなるゲートパッド；及びデータラインに接続されるデータパッド下部電極及び保護膜に形成された第2コンタクトホールを通じてデータパッド下部電極と接続されるデータパッド上部電極からなるデータパッドを更に含んで構成されることを特徴とする。

【0015】

ここで、本発明に係るゲートパッド下部電極はゲートラインと同一な物質で同時に形成され、ゲートパッド上部電極は共通電極と同一な物質で同時に形成されることを特徴とする。

10

【0016】

更に、本発明に係るデータパッド下部電極はデータラインと同一な物質で同時に形成され、データパッド上部電極は共通電極と同一な物質で同時に形成されることを特徴とする。

【0017】

本発明に係る薄膜トランジスタは、ゲートラインに接続されるゲート電極；データラインに接続されるソース電極及びチャンネルを介してソース電極と対向すると共に、画素電極と直接接続されるドレイン電極；及びゲート絶縁膜を介在してゲート電極と重畳するように形成され、ソース電極及びドレイン電極の間にチャンネルを形成する活性層及びオーミック接触層からなる半導体パターンを含んで構成されることを特徴とする。

20

【0018】

ここで、本発明に係る薄膜トランジスタを構成するドレイン電極は、ソース電極と一字状のチャンネルを形成する「」字状に形成されることを特徴とする。

【0019】

本発明に係る保護膜は、共通電極とドレイン電極との間に寄生容量が発生されることを防止するために、 6000 \AA 以上の無機絶縁物質からなることを特徴とする。

【0020】

本発明に係る保護膜は、共通電極とドレイン電極との間に寄生容量が発生されることを防止するために、 $1.5 \mu\text{m}$ 以上の有機絶縁物質からなることを特徴とする。

【0021】

本発明に係る共通電極は、チャンネルに発生される漏洩電流及びオフカーラントの発生を防止するために、薄膜トランジスタが形成された領域を覆うように構成されることを特徴とする。

30

【0022】

本発明に係る共通電極は、画素電極と共にフリンジフィールドが形成されるスリット溝を有するようにパターンニングされることを特徴とする。

【0023】

前記目的の達成のため、本発明に係るフリンジフィールド型液晶表示パネルの製造方法は、基板上にゲートラインを形成する段階；ゲート絶縁膜を介してゲートラインと交差して画素領域を定義するデータラインを形成する段階；ゲートライン及びデータラインの交差領域に薄膜トランジスタを形成する段階；ゲート絶縁膜上に薄膜トランジスタと直接接続される画素電極を形成する段階；ゲート絶縁膜上に画素電極及び薄膜トランジスタを覆う保護膜を形成する段階；及び保護膜上に画素電極及びデータラインと重畳するように形成され、画素電極と共に、液晶配向のためのフリンジフィールドを形成する共通電極を形成する段階；を含んで構成されることを特徴とする。

40

【0024】

前記目的の達成のため、本発明に係るフリンジフィールド型液晶表示パネルの製造方法は、基板上に形成されたゲートライン、ゲートラインに接続されるゲート電極及びゲートパッド下部電極とストレージ電極からなる第1導電性パターンを形成する段階；第1導電性パターンが形成された基板を覆うゲート絶縁膜を形成した後、ゲート絶縁膜上にフリ

50

ジフィールドを形成する画素電極を形成する段階；画素電極が形成されたゲート絶縁膜上にチャンネルを形成する活性層及びオーミック接触層を形成するための半導体層を形成する段階；ゲート絶縁膜上にゲートラインと交差して画素領域を定義するデータライン、データラインに接続されてチャンネルを介して相互対向するソース電極、ドレイン電極及びデータパッド下部電極からなる第2導電性パターンと、チャンネルを形成する活性層及びオーミック接触層からなる半導体パターンを形成する段階；半導体パターン及び第2導電性パターンが形成された絶縁膜を覆う保護膜を形成する段階；及び保護膜上に画素電極及びデータラインと重畳するように形成され、フリンジフィールドを形成する共通電極を形成する段階；を含んで構成されることを特徴とする。

【発明の効果】

【0025】

前述のように、本発明に係るフリンジフィールド型液晶表示パネル及びその製造方法は、データラインと共通電極を重畳するように形成することによって、画素領域の開口率を増加させることができるという効果を提供する。

【0026】

本発明は、画素電極と共通電極との間に形成される保護膜を所定の高さを有する無機及び有機絶縁膜に形成することによって、データライン及びそれに重畳する共通電極の間の寄生容量の発生を防止することができるという効果を提供する。

【0027】

本発明は、共通電極を薄膜トランジスタのチャンネル領域を覆うように形成することによって、チャンネル領域に発生される漏洩電流及びオフカーラントを防止することができるという効果を提供する。

【発明を実施するための最良の形態】

【0028】

以下、添付した図面を参照して、本発明に係るフリンジフィールド型液晶表示パネル及びその製造方法について詳細に説明する。

【0029】

まず、本発明に係るフリンジフィールド型液晶表示パネルの構成及び動作について説明する。

【0030】

本発明に係るフリンジフィールド型液晶表示パネル100は、図1及び図2に示すように、基板102上に形成されるゲートライン110、ゲート絶縁膜115を介してゲートライン110と交差して形成されて画素領域142を定義するデータライン120、ゲートライン110とデータライン120の交差領域に形成される薄膜トランジスタT、ゲート絶縁膜115上に形成されて薄膜トランジスタTと直接接続される画素電極140、薄膜トランジスタTを覆う保護膜150及び保護膜150上に画素電極140と重畳するように形成されてフリンジフィールドを形成する共通電極160を含む。

【0031】

ここで、本発明に係るフリンジフィールド型液晶表示パネル100は、ゲートライン110と同一な物質で同時に形成されるストレージ電極172及びゲート絶縁膜115を介してストレージ電極172と重畳するように形成される画素電極140からなるストレージキャパシタ170を更に含む。

【0032】

更に、本発明に係るフリンジフィールド型液晶表示パネル100は、ゲートライン110に接続されるゲートパッド180と、データライン120に接続されるデータパッド190とを含む。

【0033】

ゲートライン110は、ゲートパッド180に接続されるゲートドライバ(図示せず)から供給されるゲート信号を薄膜トランジスタTを構成するゲート電極112に伝える。ここで、ゲートライン110及びゲート電極112は、アルミニウム(Al)系金属、銅

10

20

30

40

50

(Cu)、クロム(Cr)、モリブデン等からなるゲート金属によって構成されている。

【0034】

データライン120は、データパッド190に接続されるデータドライバ(図示せず)から供給されるデータ信号をゲート電極112のオン/オフに連動して、薄膜トランジスタTのソース電極132及びドレイン電極134に伝える役割をする。

【0035】

この際、データライン120はゲート絶縁膜115を介してゲートライン110と交差して、画素電極140が位置する画素領域142を定義する。

【0036】

薄膜トランジスタTは、ゲートライン110のゲート信号に応じて、データライン120の画素信号を画素電極140に充電させる役割をし、ゲートライン110に接続されたゲート電極112、ゲート絶縁膜115を介してゲートライン110と交差して形成されるデータライン120に接続されるソース電極122及びチャンネルを介してソース電極122と対向するように形成されると共に、画素電極140と重畳される形態に接続されるドレイン電極124を含んで構成される。

【0037】

更に、薄膜トランジスタTは、ゲート絶縁膜115を介してゲート電極112と対応するように形成されてチャンネルを形成する活性層132及び活性層132上に形成され、ソース電極122及びドレイン電極124とオーミック接触を施すオーミック接触層134からなる半導体パターン130を更に含んで構成される。

【0038】

ここで、薄膜トランジスタは、データラインから突出されたソース電極と、チャンネルを介してソース電極と対向すると共に、画素電極と直接接続される「」字状を有するドレイン電極に形成される。

【0039】

即ち、薄膜トランジスタTのドレイン電極124が「」字状に画素電極140と一部重畳するようになることによって、従来の画素領域142に突出された構造を有する薄膜トランジスタに比べて、画素領域142の開口率が顕著に増加される。

【0040】

この際、薄膜トランジスタTは、図3Aに示すように、データライン120から突出されたソース電極122と、チャンネルを介してソース電極122と対向すると共に、画素電極140と直接接続される「」字状を有するドレイン電極124によって構成されることができる。この際、ソース電極122とドレイン電極124の間には一字状のチャンネルが形成される。

【0041】

薄膜トランジスタTは、図3Bに示すように、データライン120から突出された「U」字状のソース電極122と、チャンネルを介してソース電極122と対向すると共に、画素電極140と直接接続されるドレイン電極124によって構成されることができる。この際、ソース電極122とドレイン電極124の間には「U」字状のチャンネルが形成される。

【0042】

薄膜トランジスタTは、図3Cに示すように、データライン120と一体的に形成されるソース電極122と、チャンネルを介してソース電極122と対向すると共に、画素電極140と直接接続される「」字状を有するドレイン電極124によって構成されることができる。

【0043】

画素電極140は、薄膜トランジスタTを通じて画素信号が供給される場合、共通電極160に形成されたスリット溝162に液晶配向のためのフリンジフィールドを形成する。この際、画素電極140は、薄膜トランジスタTを構成するドレイン電極124と直接

10

20

30

40

50

接続するように構成される。

【0044】

ここで、画素電極140は、ITO等の透明導電性物質からなり、データライン120と0~3.0 μm ほどの間隔を置いて画素領域に形成される。

【0045】

従って、画素電極140のドレイン電極124を接続させるコンタクトホールを形成するための空間を画素領域142に形成する必要がなく、これによって画素領域142の開口率が增加する。

【0046】

保護膜150は、薄膜トランジスタT及び画素電極140が形成されたゲート絶縁膜115上に所定の厚さを有するように形成され、チャンネルを形成する活性層132を湿気やスクラッチ等から保護する役割をする。

【0047】

この際、保護膜150は、質化シリコン等の無機絶縁物質、フオトアクリル等の有機化合物質、BCB(ベンゾシクロブタン)またはPFGB(パーフルオロシクロブタン)等の有機絶縁物質からなる。

【0048】

ここで、保護膜150が質化シリコン(誘電率6.5)等の無機絶縁物質からなる場合、データライン120及び前記保護膜150を介してデータライン120と重畳される共通電極160の間に発生されるカップリングを防止するために、6000 \AA 以上の厚さを有するように形成されることが好ましい。

【0049】

そして、保護膜150がフオトアクリル(誘電率3.3)等の有機化合物質からなる場合、データライン120と、それに重畳する共通電極160との間に発生されるカップリングを防止するために、1.5 μm 以上の厚さを有するように形成されることが好ましい。

【0050】

この際、保護膜150にはマスク工程を通じて形成された第1及び第2コンタクトホール152、154を備え、ここで第1オープンホール152は保護膜150及びゲート絶縁膜115を貫通してゲートパッド下部電極182をオープンさせて、第2オープンホール154は保護膜170を貫通してデータパッド下部電極192を露出させる。

【0051】

共通電極160は、保護膜150を介して画素電極140と重畳された形態に画素領域に形成され、画素電極140と共に画素領域142に配向された液晶を所定の方向に駆動させるためのフリンジフィールドを形成する。この際、共通電極は透明導電性物質であるITOまたはIZO等からなる。

【0052】

即ち、共通ライン(図示せず)を通じて基準電圧が印加される場合、共通電極160に形成されたスリット溝162と画素電極140との間に液晶配向のためのフリンジフィールドが形成される。

【0053】

共通電極160は、前述のように、保護膜150がカップリングの発生を防止できる高さに形成されることによって、データライン120と整合された形態に形成されることができ、これによって画素領域142の開口率を増加させて透過率を上昇させることができる。

【0054】

ここで、共通電極160は、薄膜トランジスタTのチャンネル領域上に形成され、これによってチャンネル領域に流れる漏洩電流及びオフカーラントの発生を更に防止する役割をする。

【0055】

10

20

30

40

50

ストレージキャパシタ 170 は、ゲートライン 110 と同一な物質で同時に形成されるストレージ電極 172 と、ゲート絶縁膜 115 を介してストレージ電極 172 と一部重畳するように形成される画素電極 140 とを含んで構成される。

【0056】

ゲートパッド 180 はゲートドライバ（図示せず）と接続されてゲートライン 110 にゲート信号を供給し、ゲートライン 110 から延長されるゲートパッド下部電極 182、保護膜 150 及びゲート絶縁膜 115 を貫通する第 1 コンタクトホール 152 を通じてゲートパッド下部電極 182 と接続するゲートパッド上部電極 184 を含んで構成される。

【0057】

この際、ゲートパッド 180 を構成するゲートパッド下部電極 182 はゲートライン 110 と同一な物質で構成され、ゲートパッド上部電極 184 は共通電極 160 と同一な物質で形成される。

【0058】

データパッド 190 はデータドライバ（図示せず）と接続されてデータライン 120 にデータ信号を供給し、データライン 120 から延長されるデータパッド下部電極 192 と保護膜 150 を貫通する第 2 コンタクトホール 154 を通じてデータパッド下部電極 192 と接続するデータパッド上部電極 194 を含んで構成される。

【0059】

この際、データパッド 190 を構成するデータパッド下部電極 192 はデータラインと同一な物質で構成され、データパッド上部電極 194 は共通電極 160 と同一な物質で同時に形成される。

【0060】

以下、本発明に係るフリンジフィールド型液晶表示パネルの製造方法について説明する。

【0061】

まず、本発明に係る第 1 マスク工程を施すことによって、図 4 A 及び図 4 B に示すように、基板 102 上にゲートライン 110、ゲート電極 112、ストレージ電極 172 及びゲートパッド下部電極 182 からなる第 1 導電性パターンを形成する。

【0062】

これを更に詳細に説明すると、基板 102 上にスパッタリング等の蒸着工程を通じてゲート金属層を全面蒸着させる。ここで、ゲート金属層は、アルミニウム（Al）系金属、銅（Cu）、クロム（Cr）、モリブデン等からなる。

【0063】

以後、基板 102 上にフォトリソグロウを全面塗布した後、第 1 マスクを用いるフォトリソグラフィ工程を施すことによって、ゲート金属層を露出させるフォトリソパターン PR を形成する。

【0064】

この際、フォトリソパターン PR によって露出されたゲート金属層をウェットエッチングを通じて除去した後、残留するフォトリソパターンをアッシングすることによって、基板 102 上にゲートライン 110、前記ゲートライン 110 に一体的に形成されたゲート電極 112、ストレージ電極 172 及びゲートパッド下部電極 182 からなる第 1 導電性パターンを形成する。

【0065】

前述のように、基板上に第 1 導電性パターンを形成した後、図 5 A 及び図 5 B に示すように、本発明に係る第 2 マスク工程を通じてゲート絶縁膜上に液晶配向のためのフリンジフィールドを形成する画素電極 140 を形成する。

【0066】

これを更に詳細に説明すると、第 1 導電性パターンが形成された基板 102 上にゲート絶縁膜 115 を形成した後、前記ゲート絶縁膜 115 上に PECVD 等の蒸着工程を通じて透明導電層を全面蒸着させる。

10

20

30

40

50

【0067】

以後、透明導電層にフォトレジストを全面形成した後、第2マスクを用いるフォトリソグラフィ工程を施すことによって、透明導電層の中から画素電極140が形成される領域を除いた残りの領域を露出させるフォトレジストパターンPRを形成する。

【0068】

この際、フォトレジストパターンPRによって露出された透明導電層をエッチングした後、残留するフォトレジストパターンを除去することによって、本発明に係るゲート絶縁膜115の画素領域142に共通電極160と共に液晶配向のためのフリンジフィールドを形成する画素電極140を形成する。

【0069】

ここで、画素電極140は、ゲート絶縁膜115を介してストレージ電極172と一部重畳するように形成されてストレージキャパシタ170を形成する。

【0070】

更に、画素電極140は、ドレイン電極と一部重畳した形態に接続されることによって、ドレイン電極124を露出させるためのコンタクトホールを形成する必要がないため、画素領域142の開口率が増加される。

【0071】

前述のように、ゲート絶縁膜上に画素電極を形成した後、図6A及び図6Bに示すように、本発明に係る第3マスク工程を通じてチャンネル及びオーミック接触のための半導体層を形成する。

【0072】

これを更に詳細に説明すると、画素電極140が形成されたゲート絶縁膜115上に、a-Si層及びn+シリコン層からなる半導体層を順次形成する。

【0073】

以後、半導体層上にフォトレジストを全面塗布した後、第3マスクを用いるフォトリソグラフィ工程を施すことによって、半導体層の中からチャンネル領域に対応する領域を除いた残りの領域を露出させるフォトレジストパターンPRを形成する。

【0074】

この際、フォトレジストパターンPRによって露出された半導体層をエッチングした後、残留するフォトレジストパターンPRを除去することによって、本発明に係るチャンネルを形成する活性層132及びオーミック接触のためのオーミック接触層134からなる半導体パターン130を形成する。

【0075】

前述のように、チャンネル領域に半導体パターンを形成した後、図7A及び図7Bに示すように、本発明に係る第4マスク工程を通じて、データライン120、ソース電極122、ドレイン電極124及びデータパッド下部電極192を含む第2導電性パターンを形成する。

【0076】

これを更に詳細に説明すると、図8Aに示すように、半導体パターン130が形成されたゲート絶縁膜115上にデータ金属層120aを順次蒸着させる。

【0077】

データ金属層120a上にフォトレジストを全面塗布した後、第4マスクを用いるフォトリソグラフィ工程を施すことによって、図8Bに示すように、データ金属層120aを露出させるフォトレジストパターンPRを形成する。

【0078】

ここで、フォトレジストパターンは、データ金属層120aの中、第2導電性パターンが形成される領域には遮断部が形成されていて、チャンネル領域及びその外の領域には開口部が形成されている構造を有する。

【0079】

前述のように構成されたフォトレジストパターンによって露出されたデータ金属層12

10

20

30

40

50

0 aをエッチングして除去することによって、図8Cに示すように、薄膜トランジスタのチャンネル領域に形成されたデータ金属層120aを分離する。

【0080】

以後、データ金属層120aが分離されることによって、チャンネル領域に露出されるn+シリコン層134aをドライエッチングを通じて除去することによって、図8Dに示すように、薄膜トランジスタTのチャンネルを形成する活性層132及びオーミック接触層134からなる半導体パターン130を形成する。

【0081】

前述のように、半導体パターン130を形成した後、データ金属層120a上に残留するフォトレジストパターンPRを除去することによって、図8Eに示すように、ゲート絶縁膜115を介してゲートライン110と交差するデータライン120、前記データライン120に接続されたソース電極122、チャンネルを介してソース電極122と対向するドレイン電極124及びデータパッド下部電極192を含む第2導電性パターンを形成する。

【0082】

ここで、薄膜トランジスタTは、図3A～図3Cに示すように、多様な構造を有するよう形成されて、ドレイン電極は画素電極と一部重畳する構造に形成される。

【0083】

即ち、薄膜トランジスタのドレイン電極が画素電極140と重畳する形態に接続されることによって、従来の画素領域142に突出された構造を有する薄膜トランジスタに比べて、画素領域142の開口率が顕著に増加される。

【0084】

前述のように、ゲート絶縁膜上に第2導電性パターンを形成した後、図9A及び図9Bに示すように、本発明に係る第5マスク工程を通じてコンタクトホールを有する保護膜を形成する。

【0085】

これを更に詳細に説明すると、第2導電性パターンが形成されたゲート絶縁膜115上に保護膜150を全面塗布する。

【0086】

以後、保護膜150上にフォトレジストを全面塗布した後、第5マスクを用いるフォトリソグラフィ工程を施すことによって、保護膜150を露出させるフォトレジストパターンPRを形成する。

【0087】

この際、フォトレジストパターンPRによって露出された保護膜150をエッチングすることによって、保護膜150及びゲート絶縁膜115を貫通してゲートパッド下部電極182を露出させる第1コンタクトホール152及び保護膜150を貫通してデータパッド下部電極192を露出させる第2コンタクトホール154を最終的に形成する。

【0088】

ここで、保護膜150は、質化シリコン等の無機絶縁物質、フオトアクリル等の有機化合物質、BCB(ベンゾシクロブタン)またはPFCB(パーフルオロシクロブタン)等の有機絶縁物質からなる。

【0089】

この際、保護膜150が質化シリコン(誘電率6.5)等の無機絶縁物質からなる場合、相互重畳するデータライン120及び共通電極160の間に発生されるカップリングを防止するために、6000Å以上の厚さを有するように形成される。

【0090】

そして、保護膜150がフオトアクリル(誘電率3.3)等の有機化合物質からなる場合、データライン120と、それに重畳する共通電極160との間に発生されるカップリングを防止するために、1.5µm以上の厚さを有するように形成されることが好ましい。

10

20

30

40

50

【0091】

前述のように、コンタクトホールを有する保護膜を形成した後、図10A及び図10Bに示すように、本発明に係る第6マスク工程を通じて保護膜上にフリンジフィールドを形成する共通電極、ゲートパッド上部電極及びデータパッド上部電極を含んで構成された第3導電性パターンを形成する。

【0092】

これを更に詳細に説明すると、コンタクトホール152、154が形成された保護膜150上にPECVD等の蒸着工程を通じて透明導電層を全面蒸着させる。

【0093】

以後、透明導電層上にフォトレジストを全面塗布した後、第6マスクを用いるフォトリソグラフィ工程を施すことによって、透明導電層を露出させるフォトレジストパターンPRを形成する。

10

【0094】

この際、フォトレジストパターンPRによって露出された透明導電層をエッチングした後、残留するフォトレジストパターンPRを除去することによって、画素電極140と共にフリンジフィールドを形成するスリット162を有する共通電極160、第1コンタクトホール152を通じてゲートパッド下部電極182と接続されるゲートパッド上部電極184及び第2コンタクトホール154を通じてデータパッド下部電極192と接続されるデータパッド上部電極194を含む第3導電性パターンを形成する。

【0095】

ここで、共通電極160は、保護膜150を介して画素電極140及びデータライン120と重畳して形成され、画素電極140と共に画素領域142に配向された液晶を所定の方向に配向させるフリンジフィールドが形成されるスリットパターン162が形成されている。

20

【0096】

ゲートパッド180を構成するゲートパッド上部電極184は共通電極160と同一な物質で同時に形成され、データパッド190を構成するデータパッド上部電極194は共通電極160と同一な物質で同時に形成される。

【図面の簡単な説明】

【0097】

【図1】本発明に係るフリンジフィールド型平板表示パネルの平面図である。

30

【図2】本発明に係るフリンジフィールド型平板表示パネルの構成断面図である。

【図3A】本発明に係るフリンジフィールド型液晶表示パネルに形成された薄膜トランジスタの構成平面図である。

【図3B】本発明に係るフリンジフィールド型液晶表示パネルに形成された薄膜トランジスタの構成平面図である。

【図3C】本発明に係るフリンジフィールド型液晶表示パネルに形成された薄膜トランジスタの構成平面図である。

【図4A】本発明に係る第1導電性パターンが形成された平板表示パネルの平面図である。

40

【図4B】本発明に係る第1導電性パターンが形成された平板表示パネルの断面図である。

【図5A】本発明に係る画素電極が形成された平板表示パネルの平面図である。

【図5B】本発明に係る画素電極が形成された平板表示パネルの断面図である。

【図6A】本発明に係る半導体層が形成された平板表示パネルの平面図である。

【図6B】本発明に係る半導体層が形成された平板表示パネルの断面図である。

【図7A】本発明に係る第2導電性パターンが形成された平板表示パネルの平面図である。

【図7B】本発明に係る第2導電性パターンが形成された平板表示パネルの断面図である。

50

【図 8 A】本発明に係る第 2 導電性パターンを形成する過程を示す工程図である。

【図 8 B】本発明に係る第 2 導電性パターンを形成する過程を示す工程図である。

【図 8 C】本発明に係る第 2 導電性パターンを形成する過程を示す工程図である。

【図 8 D】本発明に係る第 2 導電性パターンを形成する過程を示す工程図である。

【図 8 E】本発明に係る第 2 導電性パターンを形成する過程を示す工程図である。

【図 9 A】本発明に係るコンタクトホールを有する保護膜が形成された平板表示パネルの平面図である。

【図 9 B】本発明に係るコンタクトホールを有する保護膜が形成された平板表示パネルの断面図である。

【図 10 A】本発明に係る第 3 導電性パターンが形成された平板表示パネルの平面図である。

10

【図 10 B】本発明に係る第 3 導電性パターンが形成された平板表示パネルの断面図である。

【符号の説明】

【0098】

100：液晶表示パネル

102：基板

110：ゲートライン

112：ゲート電極

115：ゲート絶縁膜

20

120：データライン

122：ソース電極

124：ドレイン電極

T：薄膜トランジスタ

130：半導体パターン

132：活性層

134：オーミック接触層

140：画素電極

142：画素領域

150：保護膜

30

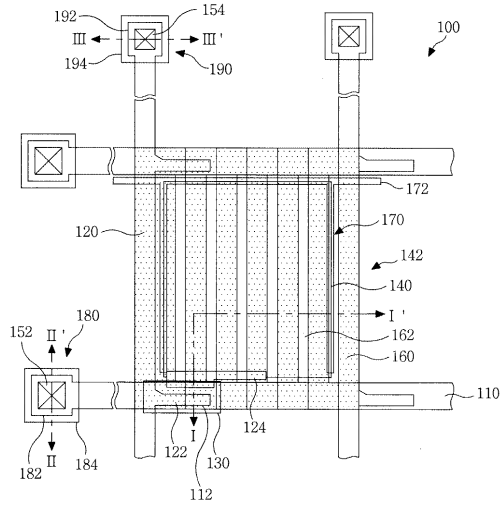
152：第 1 コンタクトホール

154：第 2 コンタクトホール

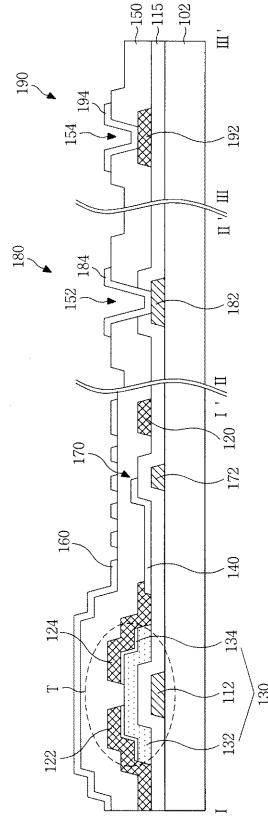
160：共通電極

162：スリット溝

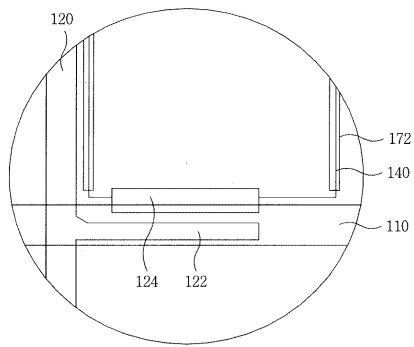
【 図 1 】



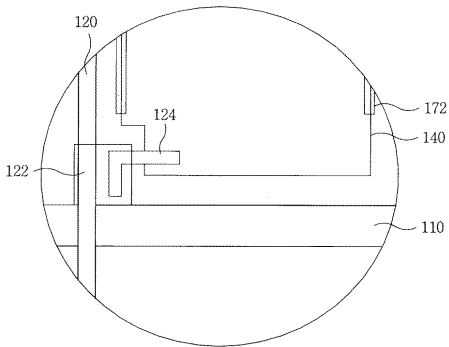
【 図 2 】



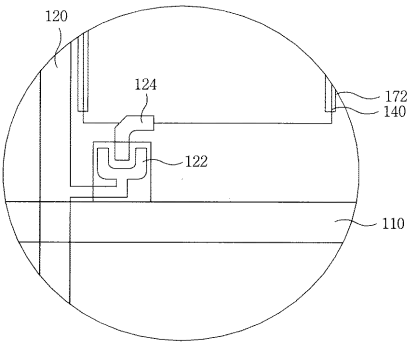
【 図 3 A 】



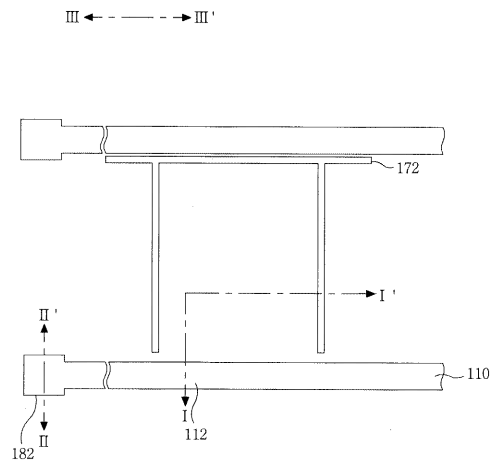
【 図 3 C 】



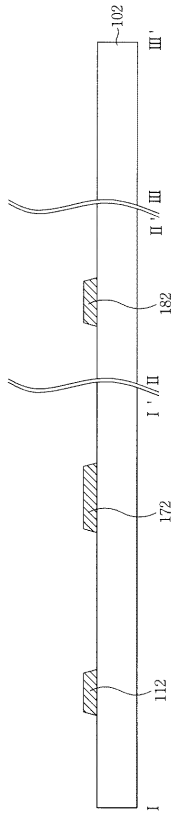
【 図 3 B 】



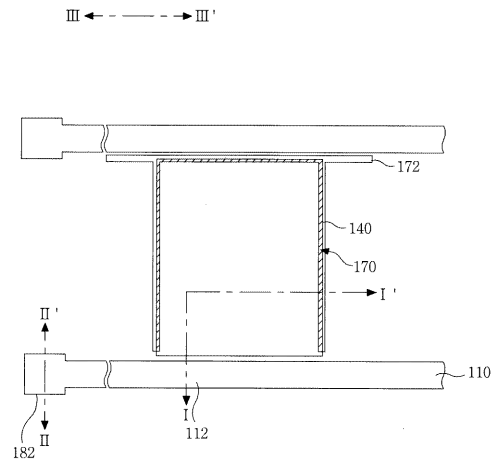
【 図 4 A 】



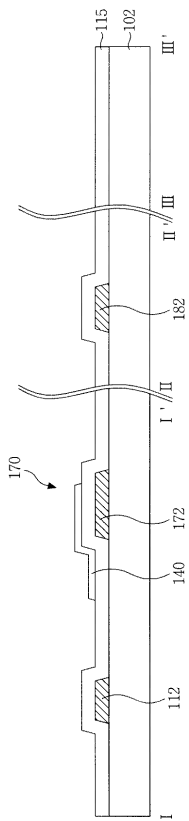
【 図 4 B 】



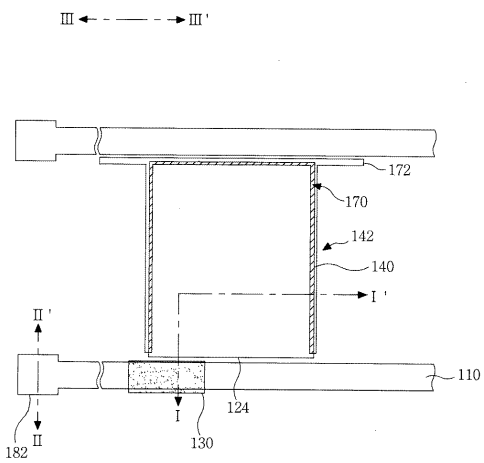
【 図 5 A 】



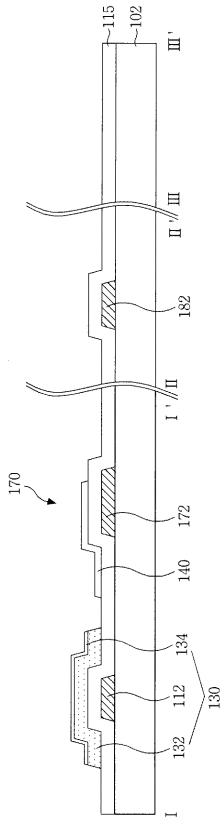
【 図 5 B 】



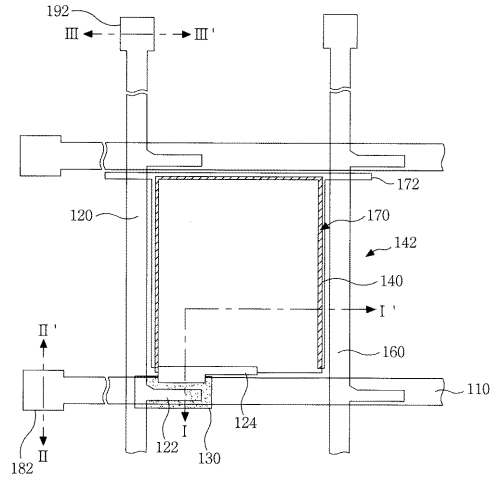
【 図 6 A 】



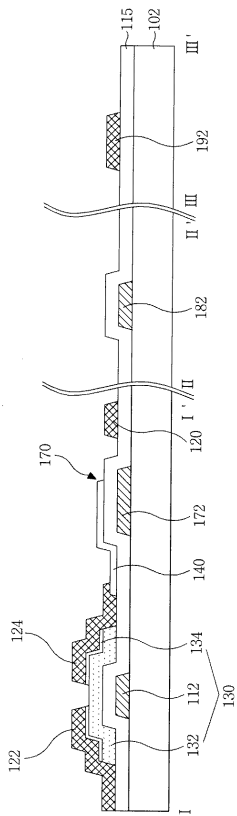
【図 6 B】



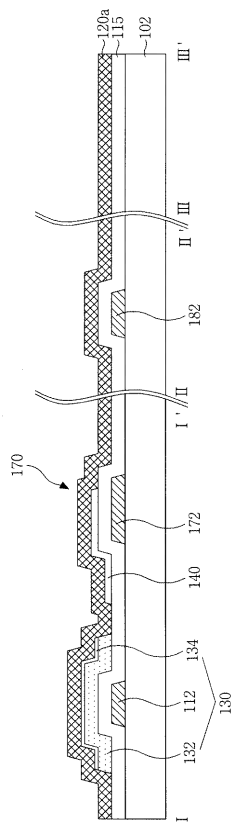
【図 7 A】



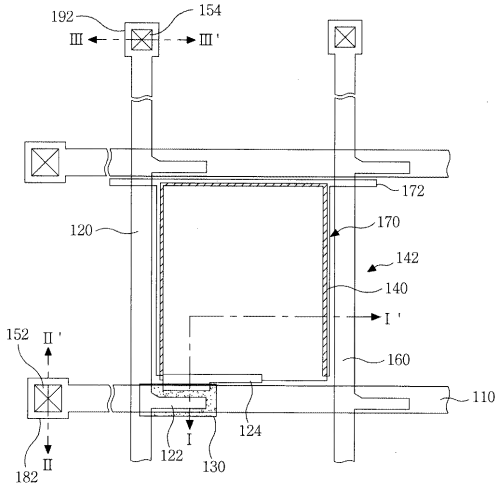
【図 7 B】



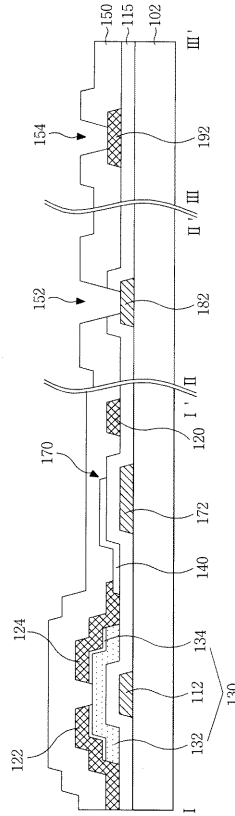
【図 8 A】



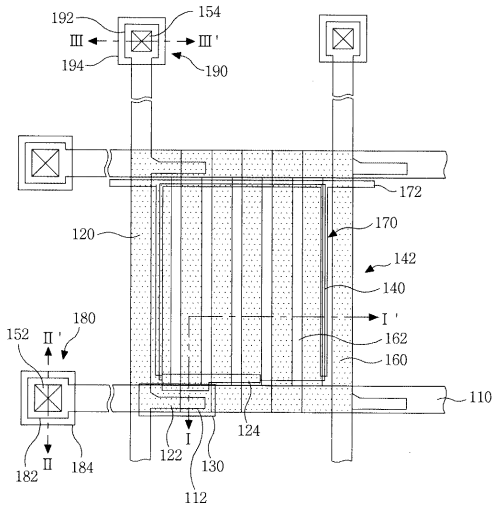
【図 9 A】



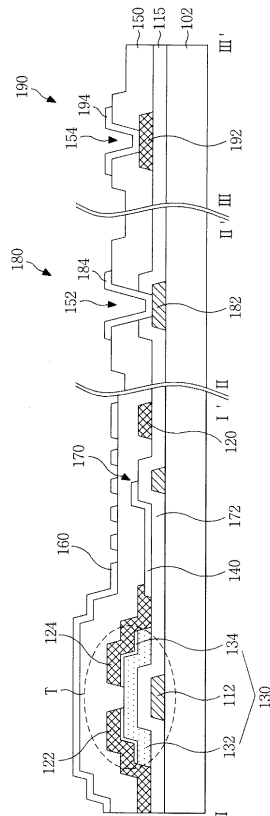
【図 9 B】



【図 10 A】



【図 10 B】



フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 パク ダエリン

大韓民国 キョンブク チルゴックン スジヨクミュン チュンリ 141 3 ゴンダン ブヨン
アパートメント 113 - 808

(72)発明者 チョン ブヨン

大韓民国 キョンギド アンソンシ ジュクサンミュン マエサンリ デオクジン ヴィラ 40
1

(72)発明者 ハン インホ

大韓民国 ソウル チョンノグ サンジン - 2 - ドン ハンソパレス サード アpartment
ビー - 102

Fターム(参考) 2H092 GA14 GA42 JA26 JB14 JB22 JB31 NA07 NA22 NA23