



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월29일
(11) 등록번호 10-0781033
(24) 등록일자 2007년11월23일

(51) Int. Cl.

H01L 21/762 (2006.01)

(21) 출원번호 10-2005-0039865
(22) 출원일자 2005년05월12일
심사청구일자 2005년05월12일
(65) 공개번호 10-2006-0117098
공개일자 2006년11월16일

(56) 선행기술조사문헌
KR1020030002870 A
(뒷면에 계속)

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
이인노
경기도 이천시 창전동 미도아파트 1402호
(74) 대리인
신영무

전체 청구항 수 : 총 25 항

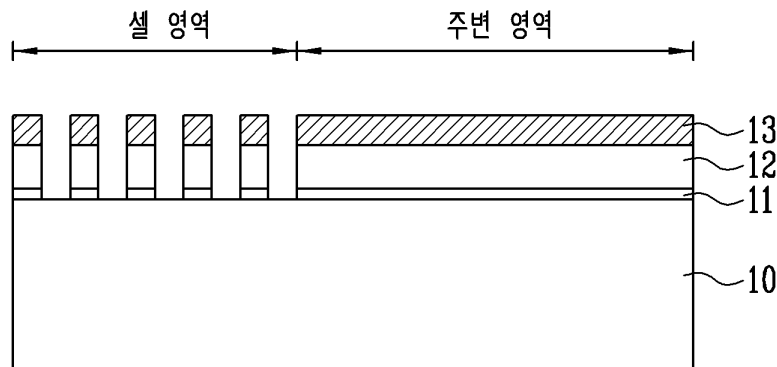
심사관 : 박정식

(54) 반도체 소자의 제조방법

(57) 요약

본 발명은 반도체 소자의 제조방법에 관한 것으로, 셀 영역에 아이솔레이션용 트렌치 형성시 식각 마스크로 하드 마스크막을 사용하므로써, 식각 마스크의 변형이나 손실로 인하여 하부층이 어택(attack)되는 현상을 발생을 방지하기 위한 기술이다.

대표도 - 도1b



(56) 선행기술조사문헌
KR1020040050967 A
JP2000269466 A
KR100476934 B1
KR100535924 B1
KR1020040013363 A
KR1020050037653 A

특허청구의 범위

청구항 1

셀 영역 및 주변 영역을 포함하는 반도체 기판상에 버퍼막과 연마정지막과 하드마스크막을 적층 형성하는 단계;
 상기 셀 영역의 소자분리영역이 정의되도록 상기 하드마스크막을 패터닝하는 단계;
 상기 패터닝된 하드마스크막을 마스크로 하여 상기 셀 영역의 상기 연마정지막과 버퍼막을 식각하는 단계;
 상기 패터닝된 하드마스크막 상부에 상기 주변 영역의 일부가 오픈된 제1 포토레지스트 패턴을 형성하는 단계;
 상기 제1 포토레지스트 패턴에 따라 상기 주변영역의 상기 하드마스크막, 연마 정지막 및 버퍼막을 패터닝하고, 상기 노출된 반도체 기판의 일부를 식각하는 단계;
 상기 제1 포토레지스트 패턴을 제거하고, 상기 패터닝된 하드마스크막에 따라 상기 반도체 기판의 일부를 식각하여 다수의 트렌치들을 형성하는 단계; 및
 상기 트렌치들 내에 소자분리막을 형성하는 단계를 포함하는 반도체 소자의 제조방법.

청구항 2

제 1항에 있어서, 상기 하드마스크막을 패터닝하는 단계는,
 상기 하드마스크막 상부에 제2 포토레지스트를 도포하는 단계;
 상기 셀 영역의 소자분리영역이 정의되도록 노광 및 식각 공정을 실시하여 제2 포토레지스트 패턴을 형성하는 단계;
 상기 제2 포토레지스트 패턴을 마스크로 상기 하드마스크막을 패터닝하는 단계; 및
 상기 제2 포토레지스트 패턴을 제거하는 단계로 이루어짐을 특징으로 하는 반도체 소자의 제조방법.

청구항 3

제 2항에 있어서,
 상기 제2 포토레지스트는 ArF 광원을 노광광원으로 사용하는 ArF용 포토레지스트인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4

제 1항에 있어서,
 상기 하드마스크막을 패터닝하는 단계는 플라즈마 식각 공정을 이용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5

제 4항에 있어서,
 상기 플라즈마 식각시 식각 가스로 HBr, NF₃, Cl₂, N₂, BCl₃, C₂F₆, CHF₃, CF₄, C₄F₆, C₅F₆ 및 C₄F₈ 중 어느 하나 또는 2개 이상을 혼합하여 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6

제 1항에 있어서,
 상기 하드마스크막은 산화막, 산화질화막, 질화막, 폴리실리콘막 중 어느 하나를 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7

제 1항에 있어서,

상기 제1 포토레지스트 패턴은 KrF 광원을 노광광원으로 사용하는 KrF용 포토레지스트를 도포한 후 노광 및 식각 공정을 실시하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8

삭제

청구항 9

제 1항에 있어서,

상기 노출된 반도체 기관의 일부를 식각하는 단계는 플라즈마 식각 공정으로 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10

제 9항에 있어서,

상기 플라즈마 식각시 식각 가스로 HBr, NF₃, Cl₂, N₂, BCl₃, C₂F₆, CHF₃, CF₄, C₄F₆, C₅F₆ 및 C₄F₈ 중 어느 하나 또는 2개 이상을 혼합하여 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11

제 9항에 있어서,

상기 플라즈마 식각 공정으로 ICP(Inductively Coupled Plasma) 타입 플라즈마 식각 공정을 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 12

제 11항에 있어서,

상기 ICP 타입 플라즈마 식각 공정시 소오스 파워는 0~500[W], 바이어스 파워는 0~2000[W]로 설정하고, 식각 가스로는 CF₄, CHF₃, Ar, HBr 및 O₂ 중 어느 하나 또는 2개 이상을 혼합하여 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 13

제 1항에 있어서,

상기 다수의 트렌치들을 형성하는 단계 이후, 상기 트렌치들 내에 소자분리막을 형성하는 단계 이전에, 상기 연마정지막과 버퍼막을 제거하는 단계와,

상기 트렌치들 내에 소자분리막을 형성하는 단계 이후에 반도체 기관의 소정 영역상에 게이트 산화막을 개재하여 게이트 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 14

제 1항에 있어서,

상기 트렌치들 내에 소자분리막을 형성하는 단계 이후에, 상기 연마정지막과 버퍼막을 제거하는 단계;

상기 버퍼막과 연마정지막의 제거로 노출되는 반도체 기관 표면상에 게이트 산화막을 형성하는 단계; 및

전면에 전극막을 증착하고 상기 소자분리막이 노출되도록 전극막을 평탄화하여 게이트 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 15

셀 영역 및 주변 영역을 포함하는 반도체 기관상에 게이트 산화막, 게이트 전극막, 버퍼막, 연마정지막 및 하드 마스크막을 적층 형성하는 단계;

상기 셀 영역의 소자분리영역이 정의되도록 상기 하드마스크막을 패터닝하는 단계;

상기 패터닝된 하드마스크막을 마스크로 하여 상기 셀 영역의 상기 연마정지막, 버퍼막, 게이트 전극막 및 게이트 산화막을 식각하는 단계;

상기 패터닝된 하드마스크막 상부에 상기 주변 영역의 일부가 오픈된 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴에 따라 상기 주변영역의 상기 하드마스크막, 연마 정지막, 버퍼막, 게이트 전극막 및 게이트 산화막을 패터닝하고 상기 노출된 반도체 기판의 일부를 제거하는 단계;

상기 제1 포토레지스트 패턴을 제거하고, 상기 패터닝된 하드마스크막에 따라 상기 반도체 기판의 일부를 식각하여 다수의 트렌치들을 형성하는 단계; 및

상기 트렌치들 내에 소자분리막들을 형성하는 단계를 포함하는 반도체 소자의 제조방법.

청구항 16

제 15항에 있어서,

상기 하드마스크막을 패터닝하는 단계는 전면에 제2 포토레지스트를 도포하는 단계;

상기 셀 영역의 소자분리영역이 정의되도록 노광 및 식각 공정을 실시하여 제2 포토레지스트 패턴을 형성하는 단계;

상기 제2 포토레지스트 패턴을 마스크로 상기 하드마스크막을 패터닝하는 단계; 및

상기 제2 포토레지스트 패턴을 제거하는 단계로 이루어짐을 특징으로 하는 반도체 소자의 제조방법.

청구항 17

제 16항에 있어서,

상기 제2 포토레지스트는 ArF 광원을 노광광원으로 사용하는 ArF용 포토레지스트인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 18

제 15항에 있어서,

상기 하드마스크막을 패터닝하는 단계 시, 플라즈마 식각 공정을 실시하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 19

제 18항에 있어서,

상기 플라즈마 식각 공정 시, 식각 가스로 HBr, NF₃, Cl₂, N₂, BCl₃, C₂F₆, CHF₃, CF₄, C₄F₆, C₅F₆ 및 C₄F₈ 중 어느 하나 또는 2개 이상을 혼합하여 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 20

제 15항에 있어서,

상기 하드마스크막은 산화막, 산화질화막, 질화막, 폴리실리콘막 중 어느 하나를 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 21

삭제

청구항 22

제 15항에 있어서,

상기 제1 포토레지스트 패턴은 KrF 광원을 노광광원으로 사용하는 KrF용 포토레지스트를 도포한 후 노광 및 식각 공정을 실시하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 23

삭제

청구항 24

제 15항에 있어서,

상기 제1 포토레지스트 패턴을 제거하고, 상기 패터닝된 하드마스크막에 따라 상기 반도체 기판의 일부를 식각하여 다수의 트렌치들을 형성하는 단계에서 상기 반도체 기판 식각시에 플라즈마 식각 공정을 이용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 25

제 24항에 있어서,

상기 플라즈마 식각 공정 시, 식각 가스로 HBr, NF₃, Cl₂, N₂, BCl₃, C₂F₆, CHF₃, CF₄, C₄F₆, C₅F₆ 및 C₄F₈ 중 어느 하나 또는 2개 이상을 혼합하여 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 26

제 24항에 있어서,

상기 플라즈마 식각 공정으로 ICP(Inductively Coupled Plasma) 타입 플라즈마 식각 공정을 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 27

제 26항에 있어서,

상기 ICP 타입 플라즈마 식각 공정시 소오스 파워는 0~500[W], 바이어스 파워는 0~2000[W]로 설정하고, 식각 가스로는 CF₄, CHF₃, Ar, HBr 및 O₂ 중 어느 하나 또는 2개 이상을 혼합하여 사용하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 28

제 15항에 있어서, 상기 트렌치들 내에 소자분리막들을 형성하는 단계는,

상기 트렌치들이 매립되도록 전면에 절연막을 형성하는 단계; 및

상기 연마정지막이 노출되도록 상기 절연막을 평탄화하는 단계로 이루어짐을 특징으로 하는 반도체 소자의 제조방법.

청구항 29

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 셀 영역에 아이솔레이션용 트렌치 형성시 식각 마스크의 변형 및 손실로 인해 하부층이 어택(attack)되는 불량을 방지하기 위한 반도체 소자의 제조방법에 관한 것이다.
- <9> 일반적으로 반도체 소자는 개개의 회로 패턴을 전기적으로 분리하기 위한 소자분리영역을 포함한다. 특히, 반도체 소자가 고집적화되고 미세화되어감에 따라 각 개별 소자의 크기를 축소시키는 것뿐만 아니라 소자분리영역의

축소에 대한 연구가 활발히 진행되고 있다. 그 이유는 소자분리영역의 형성은 모든 반도체 소자의 제조 초기 단계로서 활성 영역의 크기 및 후공정 단계의 공정 마진을 좌우하기 때문이다.

- <10> 최근까지 반도체 소자의 제조에 널리 이용되는 로코스(LOCOS) 소자분리방법은 비교적 넓은 면적의 소자분리영역을 형성하므로 반도체 소자가 고집적화되어감에 따라 그 한계점에 이르렀다. 이에 따라 고집적화된 반도체 소자의 소자분리에 적합한 기술로 기판 일부에 대한 식각으로 트렌치(trench)를 형성하여 소자를 분리하는 트렌치 소자분리방법이 제안되었다.
- <11> 한편, 반도체 소자의 중에서 외부전원이 차단되어도 저장된 정보가 소거되지 않는 플래쉬 메모리(flash memory) 소자가 메모리 카드 등에 널리 쓰이는 등 요즈음 각광을 받고 있다. 플래쉬 메모리 소자는 기입(program) 및 소거(erase) 동작에 고전압을 필요로 한다. 따라서, 플래쉬 메모리 소자의 반도체 기판은 데이터가 저장되는 셀 영역(cell region)과 더불어 고전압 회로가 형성될 주변영역(periregion)을 포함하여야 하며, 주변영역이 셀 영역에 비하여 넓어야 한다는 특성과 더불어 주변영역의 소자분리막이 셀 영역의 소자분리막보다 폭과 깊이 면에서 커야 한다는 특성을 가지고 있다. 이러한 플래쉬 메모리가 가져야 하는 특성을 만족시키기 위해서 주변영역의 소자분리막을 셀 영역의 소자분리막보다 깊게 형성하는 듀얼 트렌치 아이솔레이션(dual trench isolation) 구조가 제안된 바 있다.
- <12> 이처럼 셀 영역과 주변영역에 깊이가 다른 소자분리막을 형성하기 위해서는 셀 영역과 주변영역 각각에 대하여 포토 마스크 공정 및 식각 공정을 실시하여야 한다. 주변영역의 경우 패턴 사이즈가 크기 때문에 KrF용 포토레지스트를 사용하고 있으나, 셀 영역은 패턴 사이즈가 작기 때문에 미세 패턴이 가능한 ArF용 포토레지스트를 사용하여야 한다.
- <13> KrF광(248nm)을 노광광으로 사용하는 KrF용 포토레지스트는 플라즈마에 취약하지 않고 두꺼운 두께로 형성이 가능하여 트렌치 식각시 문제가 되지 않지만, ArF광(193nm)을 노광광으로 사용하는 ArF용 포토레지스트는 두께가 상당히 낮고 플라즈마(plasma)에 취약하므로 트렌치 식각시 버티지 못하고 소실(loss)되거나, 트렌치 식각 공정에 사용되는 플라즈마에 의해 변형(deformation)되어 하부층 및 반도체 기판에 어택(attack)을 발생시킨다.
- <14> 특히, 나노 기술에서 플로팅 게이트와 소자분리막간의 오버레이 마진 감소됨에 따라서 도입된 SAFG(Self Aligned Floating Gate) 스킴의 경우 후속 폴리실리콘막 CMP(Chemical Mechanical Polishing)시 연마정지역할을 수행하는 패드 질화막의 손실이 많으므로 패드 질화막의 두께를 1000~2000?? 정도로 크게 증가시키고 있다. 따라서, ArF용 포토레지스트를 이용한 트렌치 식각이 불가능한 실정이다.

발명이 이루고자 하는 기술적 과제

- <15> 따라서, 본 발명은 전술한 종래 기술의 문제점을 해결하기 위하여 안출한 것으로써, 셀 영역의 아이솔레이션용 트렌치 식각시 포토레지스트의 변형 및 손실을 방지할 수 있는 반도체 소자의 제조방법을 제공하는데 그 목적이 있다.
- <16> 본 발명의 다른 목적은 셀 영역의 아이솔레이션용 트렌치 식각시 하부층의 어택(attack)을 방지할 수 있는 반도체 소자의 제조방법을 제공하는데 있다.
- <17> 본 발명의 또 다른 목적은 셀 영역의 아이솔레이션용 트렌치 식각시 패턴 불량 발생을 방지하여 수율(yield)을 향상시키는데 있다.

발명의 구성 및 작용

- <18> 본 발명의 일 특징에 따른 반도체 소자의 제조방법은 셀 영역 및 주변 영역을 포함하는 반도체 기판상에 버퍼막과 연마정지막과 하드마스크막을 적층 형성하는 단계, 셀 영역의 소자분리영역이 정의되도록 하드마스크막을 패터닝하는 단계, 패터닝된 하드마스크막을 마스크로 하여 셀 영역의 연마정지막과 버퍼막을 식각하는 단계, 패터닝된 하드마스크막 상부에 주변 영역의 일부가 오픈된 제1 포토레지스트 패턴을 형성하는 단계, 제1 포토레지스트 패턴에 따라 상기 주변영역의 하드마스크막, 연마 정지막 및 버퍼막을 패터닝하고, 노출된 반도체 기판의 일부를 식각하는 단계, 제1 포토레지스트 패턴을 제거하고, 패터닝된 하드마스크막에 따라 반도체 기판의 일부를 식각하여 다수의 트렌치들을 형성하는 단계, 트렌치들 내에 소자분리막을 형성하는 단계를 포함하는 반도체 소자의 제조방법으로 이루어진다.
- <19> 본 발명의 다른 특징에 따른 반도체 소자의 제조방법은 셀 영역 및 주변 영역을 포함하는 반도체 기판상에 게이트 산화막, 게이트 전극막, 버퍼막, 연마정지막과 및 하드마스크막을 적층 형성하는 단계, 셀 영역의 소자분리

영역이 정의되도록 하드마스크막을 패터닝하는 단계, 패터닝된 하드마스크막을 마스크로 하여 셀 영역의 연마정지막, 버퍼막, 게이트 전극막 및 게이트 산화막을 식각하는 단계, 패터닝된 하드마스크막 상부에 주변 영역의 일부가 오픈된 제1 포토레지스트 패턴을 형성하는 단계, 제1 포토레지스트 패턴에 따라 주변영역의 상기 하드마스크막, 연마 정지막, 버퍼막, 게이트 전극막 및 게이트 산화막을 패터닝하고 노출된 반도체 기관의 일부를 제거하는 단계, 제1 포토레지스트 패턴을 제거하고, 패터닝된 하드마스크막에 따라 반도체 기관의 일부를 식각하여 다수의 트렌치들을 형성하는 단계, 트렌치들 내에 소자분리막들을 형성하는 단계를 포함하는 반도체 소자의 제조방법으로 이루어진다.

- <20> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허청구범위에 의해서 이해되어야 한다.
- <21> 도 1a 내지 도 1e는 본 발명의 제 1 실시예에 따른 반도체 소자의 제조공정 단면도이다.
- <22> 본 발명의 제 1 실시예에 따른 반도체 소자의 형성방법은 먼저, 도 1a에 도시된 바와 같이 셀 영역과 더불어 고전압 회로가 형성될 주변영역을 포함하는 반도체 기관(10)상에 후속하는 화학적기계적연마(Chemical Mechanical Polishing) 공정시 연마정지막 역할을 할 수 있는 연마정지막(12)을 형성한다. 상기 연마정지막(12)으로는 실리콘 질화막(silicon nitride)을 이용하는 것이 연마정지 역할을 수행하기에 바람직하다. 그리고, 상기 반도체 기관(10)과 연마정지막(12) 사이에 상기 연마정지막(12)과 반도체 기관(10) 사이에 발생할 수 있는 응력(stress) 차이를 완화시킬 수 있는 버퍼막(11)을 추가로 형성하는 것이 좋다.
- <23> 그런 다음, 상기 연마정지막(12)상에 하드마스크막(13)을 형성하고, 상기 하드마스크막(13)상에 제 1 포토레지스트(PR1)를 도포한다. 상기 하드마스크막(13)으로는 산화막, 산화질화막, 질화막, 폴리실리콘막 중 어느 하나를 이용하여 형성하는 것이 좋다.
- <24> 상기 제 1 포토레지스트(PR1)는 셀 영역에 소자분리영역을 정의하기 위한 것으로, 미세 패턴 형성이 가능한 ArF용 포토레지스트를 사용한다.
- <25> 이어, 노광 및 현상 공정으로 상기 제 1 포토레지스트(PR1)를 패터닝하여 셀 영역의 소자분리영역을 정의하고, 패터닝된 제 1 포토레지스트(PR1)를 마스크로 하는 플라즈마 식각 공정으로 상기 하드마스크막(13)을 선택적으로 식각한다.
- <26> 상기 플라즈마 식각 공정으로는 RIE(Reactive Ion Etching), MERIE(Magnetron Enhanced Reactive Ion Etching), ICP(Inductively Coupled Plasma), 헬리콘(helicon) 중 어느 하나를 사용하며, 식각 가스로는 HBr, NF₃, Cl₂, N₂, BCl₃, C₂F₆, CHF₃, CF₄, C₄F₆, C₅F₆ 및 C₄F₈ 중 어느 하나 또는 2개 이상을 혼합하여 사용한다.
- <27> 그런 다음, 도 1b에 도시된 바와 같이 상기 제 1 포토레지스트(PR1)를 제거하고, 상기 선택적으로 식각된 하드마스크막(13)을 마스크로 상기 연마정지막(12)과 버퍼막(11)을 식각하여 셀 영역의 반도체 기관(10)을 노출시킨다.
- <28> 그런 다음, 도 1c에 도시하는 바와 같이 전면에 제 2 포토레지스트(PR2)를 도포한다.
- <29> 상기 제 2 포토레지스트(PR2)는 주변영역에 소자분리영역을 정의하기 위한 것으로, KrF용 포토레지스트를 이용한다.
- <30> 잘 알려진 바와 같이, ArF용 포토레지스트는 미세 패터닝이 가능하나 얇은 두께로 형성되는 반면, KrF용 포토레지스트는 미세 패터닝은 불가능하지만 두꺼운 두께로의 형성이 가능하다.
- <31> 따라서, 상기 제 2 포토레지스트(PR2)는 상기 제 1 포토레지스트(PR1)에 비하여 보다 두꺼운 두께로 형성되게 된다.
- <32> 이어서, 주변영역의 소자분리영역이 정의되도록 노광 및 현상 공정으로 상기 제 2 포토레지스트(PR2)를 패터닝하고, 패터닝된 제 2 포토레지스트(PR2)를 마스크로 상기 하드마스크막(13)과 연마정지막(12)과 버퍼막(11)을 식각한다.
- <33> 이때, 상기 제 2 포토레지스트(PR2)는 제 1 포토레지스트(PR1)와 달리 충분히 두껍게 형성할 수 있고 플라즈마

에 취약하지 않으므로 상기 식각 공정시 포토레지스트의 손실이나 변형이 발생되지 않는다.

- <34> 셀 영역과 주변영역의 트렌치 깊이를 다르게 하고자 할 경우 즉, 듀얼 트렌치 구조를 형성하고자 할 경우에는 도면에 도시된 바와 같이, 상기 제 2 포토레지스트(PR2)를 마스크로 하는 식각 공정시 상기 버퍼막(11) 하부의 반도체 기판(10)을 일정 깊이 추가 식각한다. 상기 일정 깊이는 셀 영역과 주변영역의 트렌치 깊이에 해당된다.
- <35> 이후, 상기 제 2 포토레지스트(PR2)를 제거하고 도 1d에 도시하는 바와 같이 상기 셀 영역 및 주변영역의 하드 마스크막(13)을 마스크로 하는 플라즈마 식각 공정으로 상기 반도체 기판(10)을 식각하여 셀 영역 및 주변 영역에 트렌치들(14a)(14b)을 형성한다.
- <36> 상기 플라즈마 식각 공정으로는 RIE(Reactive Ion Etching), MERIE(Magnetron Enhanced Reactive Ion Etching), ICP(Inductively Coupled Plasma), 헬리콘(helicon) 중 어느 하나를 사용하며, 식각 가스로는 HBr, NF₃, Cl₂, N₂, BCl₃, C₂F₆, CHF₃, CF₄, C₄F₆, C₅F₆ 및 C₄F₈ 중 어느 하나 또는 2개 이상을 혼합하여 사용한다.
- <37> 한편, 상기 트렌치들(14a)(14b)의 탑 라운드(top round) 특성을 얻기 위해서는 상기 플라즈마 식각 공정들 중 ICP 타입의 플라즈마 식각 공정을 사용하는 것이 좋다. ICP 타입의 플라즈마 식각 공정시 ICP 타입 식각 장비의 소오스 파워(source power)는 0~5000[W], 바이어스 파워(bias power)는 0~2000[W]로 설정하고, 식각 가스로는 CF₄, CHF₄, Ar, HBr 및 O₂ 중 어느 하나 또는 2개 이상을 혼합하여 사용한다.
- <38> 상기 제 2 포토레지스트(PR2)를 마스크로 하는 식각 공정시 반도체 기판(10)을 식각하지 않은 경우에는 셀 영역의 트렌치(14a)와 주변영역의 트렌치(14b)의 깊이가 동일한 싱글 트렌치(single trench) 구조를 갖게 된다. 반면, 상기 제 2 포토레지스트(PR2)를 마스크로 하는 식각 공정시 반도체 기판(10)을 일정깊이 식각한 경우에는 주변영역의 트렌치(14b)의 깊이가 셀 영역의 트렌치(14a)의 깊이보다 깊은 듀얼 트렌치(dual trench) 구조를 갖게 된다.
- <39> 그리고, 상기 하드마스크막(13)은 상기 트렌치들(14a)(14b) 식각시 제거되게 되므로, 별도의 공정을 통해 제거하지 않아도 된다.
- <40> 이어서, 도 1e에 도시된 바와 같이 습식 식각(wet etching) 공정으로 상기 연마정지막(12) 및 버퍼막(11)을 제거한 다음 트렌치들(14a)(14b)이 완전히 매립되도록 전면에 절연막을 증착하고 반도체 기판(10)이 노출되도록 상기 절연막을 화학적기계적연마(Cheical Mechanical Polishing) 공정으로 평탄화시키어 상기 트렌치들(14a)(14b)내에 소자분리막(15a)(15b)들을 형성한다.
- <41> 이후, 도면에는 도시하지 않았지만 반도체 기판상에 터널링 산화막과 플로팅 게이트용 폴리실리콘막을 형성하고 포토 및 식각 공정으로 상기 플로팅 게이트용 폴리실리콘막을 선택적으로 패터닝하여 플로팅 게이트를 형성하여 본 발명의 제 1 실시예에 따른 반도체 소자 제조를 완료한다.
- <42> 위의 제 1 실시예는 소자분리막을 형성한 후 터널링 산화막과 플로팅 게이트를 형성하는 전통적인 STI(conventional Shallow Trench Isolation) 공정에 본 발명을 적용한 경우로, 본 발명은 전통적인 STI 공정 이외에도 셀프 얼라인 STI(Self Aligned Shallow Trench Isolation) 공정, 셀프 얼라인 플로팅 게이트(Self Aligned Floating Gate : SAFG) 공정 등에도 적용 가능하며 이를 다음에 도면을 참조하여 제시되는 실시예를 통해서 보다 구체적으로 설명하겠다.
- <43> 도 2a 내지 도 2e는 본 발명의 제 2 실시예에 따른 반도체 소자의 제조공정 단면도로, 본 발명을 셀프 얼라인 STI 공정에 적용한 경우이다.
- <44> 본 발명의 제 2 실시예에 따른 반도체 소자 제조는 먼저, 도 2a에 도시하는 바와 같이 반도체 기판(10)상에 터널링 산화막(20)과 플로팅 게이트(21)를 순차로 형성한다. 상기 터널링 산화막(20)은 실리콘 등으로 이루어진 반도체 기판(10)을 산화(oxidation)시켜 형성하고, 상기 플로팅 게이트(21)는 전도성 물질 예를 들어, 폴리실리콘(polysilicon)을 사용하여 형성한다.
- <45> 계속해서, 상기 플로팅 게이트(21)상에 후속하는 화학적기계적연마(Cheical Mechanical Polishing) 공정시 연마정지막 역할을 할 수 있는 연마정지막(12)을 형성한다. 그리고, 상기 플로팅 게이트(21)와 연마정지막(12) 사이에 상기 연마정지막(12)과 플로팅 게이트(21) 사이에 발생될 수 있는 응력(stress) 차이를 완화시킬 수 있는 버퍼막(11)을 추가로 형성하는 것이 좋다.
- <46> 그런 다음, 상기 연마정지막(12)상에 셀 영역에 트렌치 형성시 식각 마스크로 사용할 하드마스크막(13)을 형성

하고, 상기 하드마스크막(13)상에 제 1 포토레지스트(PR1)를 도포한다.

- <47> 상기 하드마스크막(13)으로는 산화막, 산화질화막, 질화막, 폴리실리콘막 중 어느 하나를 이용하여 형성한다.
- <48> 상기 제 1 포토레지스트(PR1)는 셀 영역에 소자분리영역을 정의하기 위한 것으로, 미세 패턴 형성이 가능한 ArF 용 포토레지스트를 사용한다.
- <49> 이어, 노광 및 현상 공정으로 상기 제 1 포토레지스트(PR1)를 패터닝하여 셀 영역의 소자분리 영역을 정의하고, 상기 패터닝된 제 1 포토레지스트(PR1)를 마스크로 하는 플라즈마 식각 공정으로 상기 하드마스크막(13)을 패터닝한다.
- <50> 상기 플라즈마 식각 공정으로는 RIE(Reactive Ion Etching), MERIE(Magnetron Enhanced Reactive Ion Etching), ICP(Inductively Coupled Plasma), 헬리콘(helicon) 중 어느 하나를 사용하며, 식각 가스로는 HBr, NF₃, Cl₂, N₂, BCl₃, C₂F₆, CHF₃, CF₄, C₄F₆, C₅F₆ 및 C₄F₈ 중 어느 하나 또는 2개 이상을 혼합하여 사용한다.
- <51> 이어, 도 2b에 도시하는 바와 같이 상기 제 1 포토레지스트(PR1)를 제거하고, 상기 패터닝된 하드마스크막(13)을 마스크로 셀 영역의 연마정지막(12)과 버퍼막(11)과 플로팅 게이트(21) 및 터널링 산화막(20)을 식각한다.
- <52> 그런 다음, 도 2c에 도시하는 바와 같이 전면에 제 2 포토레지스트(PR2)를 도포하고, 주변영역의 소자분리영역이 정의되도록 노광 및 현상 공정으로 상기 제 2 포토레지스트(PR2)를 패터닝한다.
- <53> 상기 제 2 포토레지스트(PR2)는 주변영역에 소자분리 영역을 정의하기 위한 것으로, KrF용 포토레지스트를 이용한다. 따라서, 상기 제 2 포토레지스트(PR2)는 상기 제 1 포토레지스트(PR1)에 비하여 보다 두꺼운 두께로 형성이 가능하다.
- <54> 이어서, 상기 패터닝된 제 2 포토레지스트(PR2)를 마스크로 상기 하드마스크막(13)과 연마정지막(12)과 버퍼막(11)과 플로팅 게이트(21) 및 터널링 산화막(20)을 식각한다.
- <55> 이때, 상기 제 2 포토레지스트(PR2)는 제 1 포토레지스트(PR1)와 달리 충분히 두껍게 형성할 수 있고 플라즈마에 취약하지 않으므로 상기 식각 공정시 포토레지스트의 손실이나 변형이 발생되지 않는다.
- <56> 셀 영역과 주변영역의 트렌치 깊이를 다르게 하고자 할 경우 즉, 듀얼 트렌치 구조를 형성하고자 할 경우에는 도면에 도시된 바와 같이, 상기 제 2 포토레지스트(PR2)를 마스크로 하는 식각 공정시 상기 버퍼막(11) 하부의 반도체 기판(10)을 일정 깊이 추가 식각한다. 상기 일정 깊이는 셀 영역과 주변영역의 트렌치 깊이 차이에 해당된다.
- <57> 이후, 도 2d에 도시하는 바와 같이 상기 제 2 포토레지스트(PR2)를 제거하고 상기 셀 영역 및 주변영역의 하드마스크막(13)을 마스크로 하는 플라즈마 식각 공정으로 셀 영역 및 주변영역의 반도체 기판(10)을 식각하여 트렌치들(14a)(14b)을 형성한다.
- <58> 상기 플라즈마 식각 공정으로는 RIE(Reactive Ion Etching), MERIE(Magnetron Enhanced Reactive Ion Etching), ICP(Inductively Coupled Plasma), 헬리콘(helicon) 중 어느 하나를 사용하고, 식각 가스로는 HBr, NF₃, Cl₂, N₂, BCl₃, C₂F₆, CHF₃, CF₄, C₄F₆, C₅F₆ 및 C₄F₈ 중 어느 하나 또는 2개 이상을 혼합하여 사용한다.
- <59> 상기 트렌치들(14a)(14b)의 탑 라운드(top round) 특성을 얻기 위해서는 상기 플라즈마 식각 공정들 중 ICP 타입의 플라즈마 식각 공정을 사용하는 것이 좋다. ICP 타입의 플라즈마 식각 공정시 ICP 타입 식각 장비의 소오스 파워(source power)는 0~5000[W], 바이어스 파워(bias power)는 0~2000[W]로 설정하고, 식각 가스로는 CF₄, CHF₄, Ar, HBr 및 O₂ 중 어느 하나 또는 2개 이상을 혼합하여 사용한다.
- <60> 상기 제 2 포토레지스트(PR2)를 마스크로 하는 식각 공정시 주변영역의 반도체 기판(10)을 일정깊이 식각한 경우에는 페리 영역의 트렌치(14b)의 깊이가 셀 영역의 트렌치(14a)의 깊이보다 깊은 듀얼 트렌치(dual trench) 구조를 갖게 된다. 반면, 상기 제 2 포토레지스트(PR2)를 마스크로 하는 식각 공정시 주변영역의 반도체 기판(10)을 식각하지 않은 경우에는 셀 영역과 페리 영역에 형성되는 트렌치들(14a)(14b)의 깊이가 동일한 싱글 트렌치(single trench) 구조를 갖게 된다.
- <61> 한편, 상기 하드마스크막(13)은 상기 트렌치들(14a)(14b) 식각시 제거되게 되므로, 별도의 공정을 사용하여 제거하지 않아도 된다.
- <62> 그런 다음, 도 2e에 도시된 바와 같이 상기 트렌치가 완전히 매립되도록 전면에 절연막을 증착하고 상기 연마정

지막(12)이 노출되도록 상기 절연막을 화학적기계적연마(Chemical Mechanical Polishing) 공정으로 평탄화하여 상기 트렌치들(14a)(14b) 내에 소자분리막(15a)(15b)을 형성한다. 그런 다음, 상기 연마정지막(12) 및 버퍼막(11)을 습식 식각(wet etching) 공정으로 제거한다.

- <63> 이상으로 본 발명의 제 2 실시예에 따른 반도체 소자 제조를 완료한다.
- <64> 다음에 도 3a 내지 도 3e를 참조하여 본 발명의 제 3 실시예에 따른 반도체 소자 제조방법을 설명하면 다음과 같다.
- <65> 도 3a 내지 도 3e는 본 발명의 제 3 실시예에 따른 반도체 소자의 제조공정 단면도로, 본 발명을 셀프 얼라인 플로팅 게이트(SAFG) 공정에 적용한 경우이다.
- <66> 본 발명의 제 3 실시예에 따른 반도체 소자 제조는 먼저, 도 3a에 도시하는 바와 같이 반도체 기판(10)상에 후속하는 화학적기계적연마(Chemical Mechanical Polishing) 공정시 연마정지막 역할을 할 수 있는 연마정지막(12)을 형성한다. 한편, 상기 플로팅 게이트(21)와 연마정지막(12) 사이에 연마정지막(12)과 플로팅 게이트(21) 사이에 발생할 수 있는 응력(stress) 차이를 완화시킬 수 있는 버퍼막(11)을 추가로 형성하는 것이 바람직하다.
- <67> 그런 다음, 상기 연마정지막(12)상에 셀 영역에 트렌치 형성시 식각 마스크로 사용할 하드마스크막(13)을 형성하고, 상기 하드마스크막(13)상에 제 1 포토레지스트(PR1)를 도포한다.
- <68> 상기 하드마스크막(13)으로는 산화막, 산화질화막, 질화막, 폴리실리콘막 중 어느 하나를 이용하여 형성한다. 그리고, 상기 제 1 포토레지스트(PR1)는 셀 영역에 소자분리영역을 정의하기 위한 것으로, 미세 패턴 형성이 가능한 ArF용 포토레지스트를 사용한다.
- <69> 이어, 노광 및 현상 공정으로 상기 제 1 포토레지스트(PR1)를 패터닝하여 셀 영역의 소자분리영역을 정의하고, 패터닝된 제 1 포토레지스트(PR1)를 마스크로 하는 플라즈마 식각 공정으로 상기 하드마스크막(13)을 패터닝한다.
- <70> 상기 플라즈마 식각 공정으로는 RIE(Reactive Ion Etching), MERIE(Magnetron Enhanced Reactive Ion Etching), ICP(Inductively Coupled Plasma), 헬리콘(helicon) 중 어느 하나를 사용하며, 식각 가스로는 HBr, NF₃, Cl₂, N₂, BCl₃, C₂F₆, CHF₃, CF₄, C₄F₆, C₃F₆ 및 C₄F₈ 중 어느 하나 또는 2개 이상을 혼합하여 사용한다.
- <71> 이어, 도 3b에 도시하는 바와 같이 상기 제 1 포토레지스트(PR1)를 제거하고 상기 패터닝된 하드마스크막(13)을 마스크로 셀 영역의 연마정지막(12)과 버퍼막(11)을 식각한다.
- <72> 그런 다음, 도 3c에 도시하는 바와 같이 전면에 제 2 포토레지스트(PR2)를 도포하고, 주변영역의 소자분리영역이 정의되도록 노광 및 현상 공정으로 상기 제 2 포토레지스트(PR2)를 패터닝한다.
- <73> 상기 제 2 포토레지스트(PR2)는 주변영역에 소자분리영역을 정의하기 위한 것으로, KrF용 포토레지스트를 이용한다. 따라서, 상기 제 2 포토레지스트(PR2)는 상기 제 1 포토레지스트(PR1)에 비하여 보다 두꺼운 두께로 형성 가능하다.
- <74> 이어서, 상기 패터닝된 제 2 포토레지스트(PR2)를 마스크로 상기 하드마스크막(13)과 연마정지막(12)과 버퍼막(11)을 식각한다.
- <75> 이때, 상기 제 2 포토레지스트(PR2)는 제 1 포토레지스트(PR1)와 달리 충분히 두껍게 형성할 수 있고 플라즈마에 취약하지 않으므로 상기 식각 공정시 포토레지스트의 손실이나 변형이 발생되지 않는다.
- <76> 셀 영역과 주변영역의 트렌치 깊이를 다르게 하고자 할 경우 즉, 듀얼 트렌치 구조를 형성하고자 할 경우에는 도면에 도시된 바와 같이, 상기 제 2 포토레지스트(PR2)를 마스크로 하는 식각 공정시 상기 버퍼막(11) 하부의 반도체 기판(10)을 일정 깊이 추가 식각한다. 상기 일정 깊이는 셀 영역과 주변영역의 트렌치 깊이 차이에 해당된다.
- <77> 이후, 도 3d에 도시하는 바와 같이 상기 제 2 포토레지스트(PR2)를 제거하고 상기 하드마스크막(13)을 마스크로 하는 플라즈마 식각 공정으로 셀 영역 및 주변영역의 반도체 기판(10)을 식각하여 트렌치들(14a)(14b)을 형성한다.
- <78> 상기 플라즈마 식각 공정으로는 RIE(Reactive Ion Etching), MERIE(Magnetron Enhanced Reactive Ion Etching), ICP(Inductively Coupled Plasma), 헬리콘(helicon) 중 어느 하나를 사용하며, 식각 가스로는 HBr,

NF₃, Cl₂, N₂, BCl₃, C₂F₆, CHF₃, CF₄, C₄F₆, C₅F₆ 및 C₄F₈ 중 어느 하나 또는 2개 이상을 혼합하여 사용한다.

- <79> 상기 트렌치들(14a)(14b)의 탑 라운드(top round) 특성을 얻기 위해서는 상기 플라즈마 식각 공정들 중 ICP 타입의 플라즈마 식각 공정을 사용하는 것이 좋다. ICP 타입의 플라즈마 식각 공정시 ICP 타입 식각 장비의 소오스 파워(source power)는 0~5000[W], 바이어스 파워(bias power)는 0~2000[W]로 설정하고, 식각 가스로는 CF₄, CHF₄, Ar, HBr 및 O₂ 중 어느 하나 또는 2개 이상을 혼합하여 사용한다.
- <80> 상기 제 2 포토레지스트(PR2)를 마스크로 하는 식각 공정시 주변영역의 반도체 기판(10)을 일정깊이 식각한 경우에는 페리 영역의 트렌치(14b)의 깊이가 셀 영역의 트렌치(14a)의 깊이보다 깊은 듀얼 트렌치(dual trench) 구조를 갖게 된다. 그러나, 상기 제 2 포토레지스트(PR2)를 마스크로 하는 식각 공정시 주변영역의 반도체 기판(10)을 식각하지 않은 경우에는 셀 영역과 페리 영역에 형성되는 트렌치들(14a)(14b)의 깊이가 동일한 싱글 트렌치(single trench) 구조를 갖게 된다.
- <81> 한편, 상기 하드마스크막(13)은 상기 트렌치들(14a)(14b) 식각시 제거되게 되므로, 별도의 공정을 사용하여 제거하지 않아도 된다.
- <82> 이어서, 도 3e에 도시된 바와 같이 상기 트렌치가 완전히 매립되도록 전면에 절연막을 증착하고 상기 연마정지막(12)이 노출되도록 상기 절연막을 화학적기계적연마(Chemical Mechanical Polishing) 공정으로 평탄화하여 상기 트렌치들내에 소자분리막(15a)(15b)을 형성한다.
- <83> 그런 다음, 습식 식각(wet etching) 공정으로 상기 연마정지막(12) 및 버퍼막(11)을 제거하여 액티브 영역의 반도체 기판(10)을 노출시킨다. 이때, 반도체 기판(10) 표면 위의 소자분리막(14)의 측면도 일정 두께 리세스(recess)시키어 플로팅 게이트가 형성될 공간을 확보한다.
- <84> 이후, 상기 노출된 액티브 영역의 반도체 기판(10) 표면에 터널링 산화막(20)을 형성하고, 전면에 폴리실리콘막을 증착한 다음 상기 소자분리막(14)이 노출되도록 상기 폴리실리콘막을 평탄화하여 플로팅 게이트(21)를 형성한다.
- <85> 이상으로 본 발명의 제 3 실시예에 따른 반도체 소자 제조를 완료한다.
- <86> 이상의 실시예들에서는 본 발명을 플래쉬 메모리 소자에 적용한 경우에 대해서만 언급하였으나, 본원발명은 STI 구조의 소자분리막을 갖는 모든 반도체 소자 제조에 적용 가능함을 밝혀둔다.
- <87> 그리고, 위의 실시예들에서는 싱글 트렌치 및 듀얼 트렌치 구조에 대해서만 언급하였으나, 듀얼 트렌치 또는 깊이가 다른 3가지 이상의 트렌치로 이루어진 멀티 트렌치(multi trench) 구조에도 적용이 가능함을 밝혀둔다.

발명의 효과

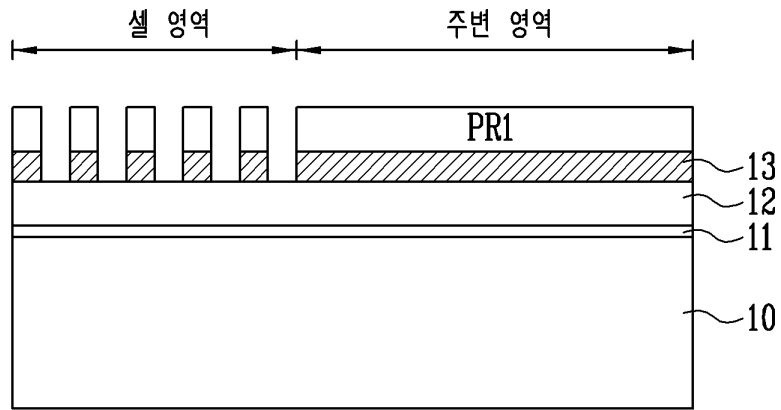
- <88> 상술한 바와 같이, 본 발명은 다음과 같은 효과가 있다.
- <89> 첫째, 셀 영역에 소자분리용 트렌치 형성을 위한 마스크로 하드마스크를 사용하여 트렌치 식각시 하부층이 어택되는 현상을 방지할 수 있다.
- <90> 둘째, 트렌치 식각시 하부층의 어택을 방지할 수 있으므로 소자의 신뢰성 및 수율을 향상시킬 수 있다.

도면의 간단한 설명

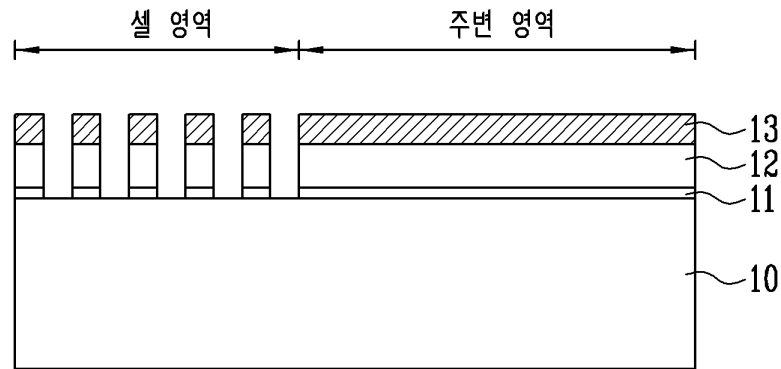
- <1> 도 1a 내지 도 1e는 본 발명의 제 1 실시예에 따른 반도체 소자의 제조공정 단면도
- <2> 도 2a 내지 도 2e는 본 발명의 제 2 실시예에 따른 반도체 소자의 제조공정 단면도
- <3> 도 3a 내지 도 3e는 본 발명의 제 3 실시예에 따른 반도체 소자의 제조공정 단면도
- <4> <도면의 주요 부분에 대한 부호의 설명>
- <5> 10 : 반도체 기판 11 : 버퍼막
- <6> 12 : 연마정지막 13 : 하드마스크막
- <7> 20 : 터널링 산화막 21 : 플로팅 게이트

도면

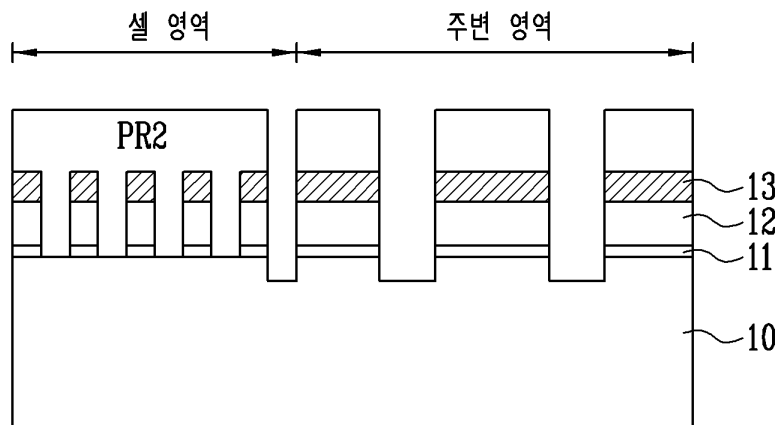
도면1a



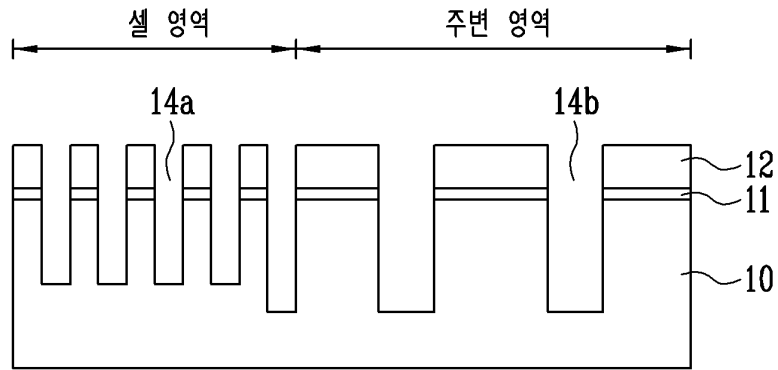
도면1b



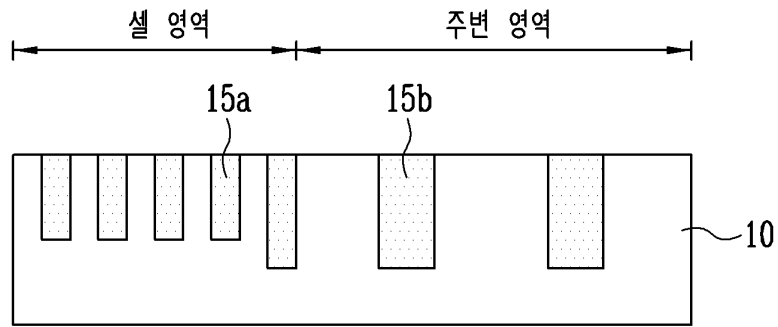
도면1c



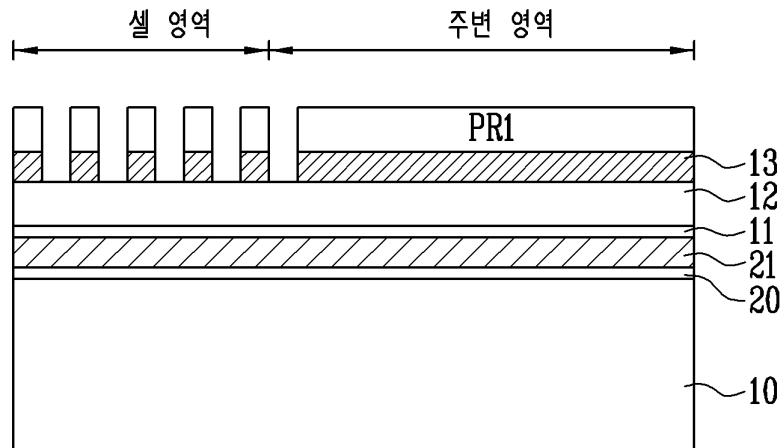
도면1d



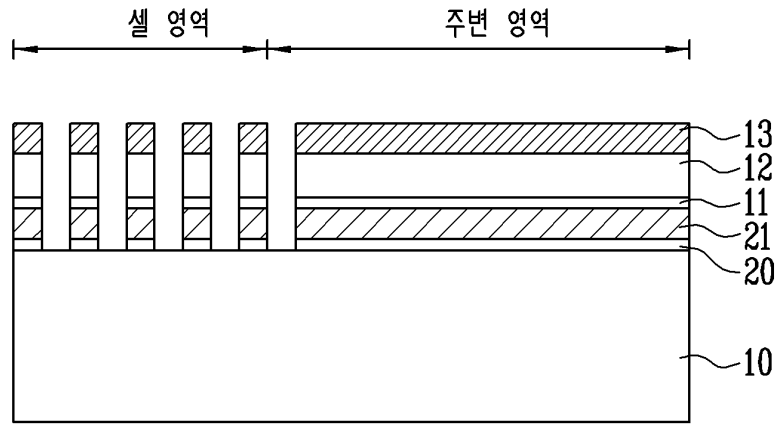
도면1e



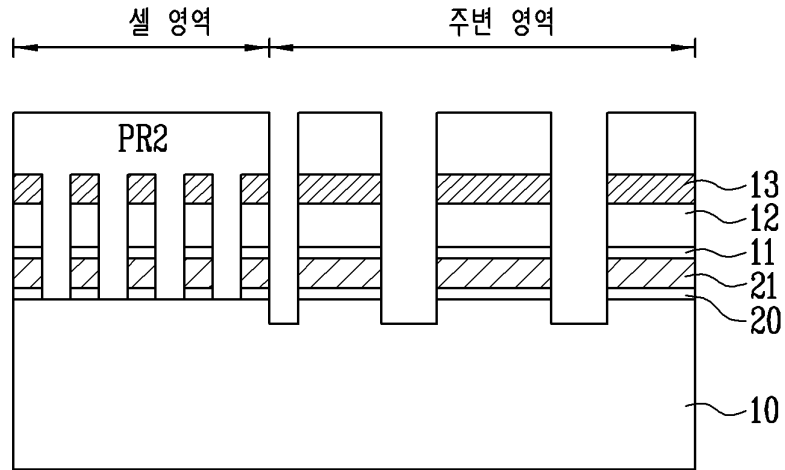
도면2a



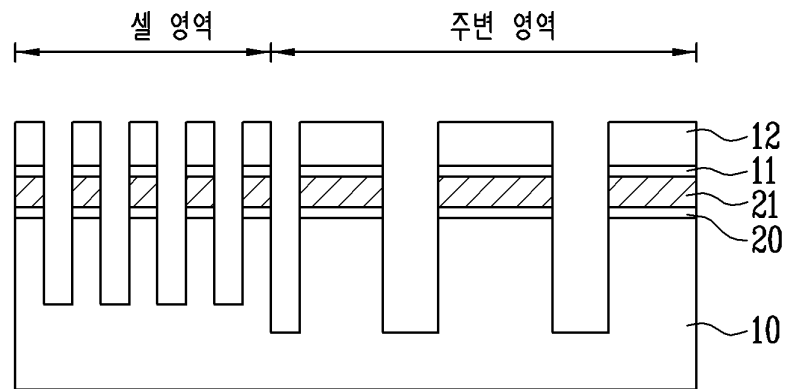
도면2b



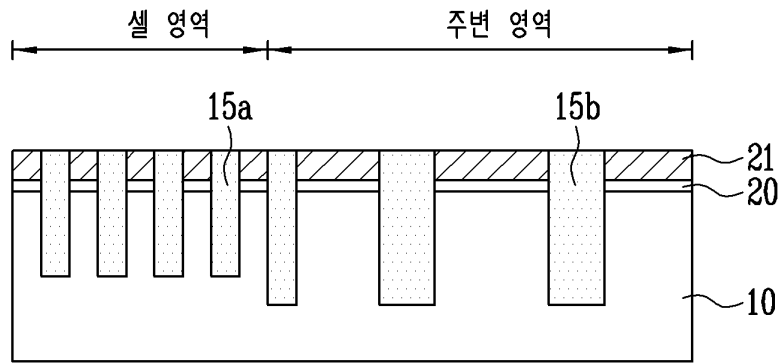
도면2c



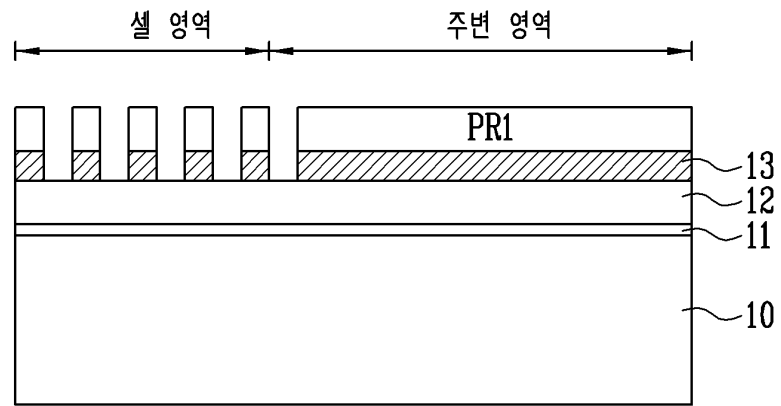
도면2d



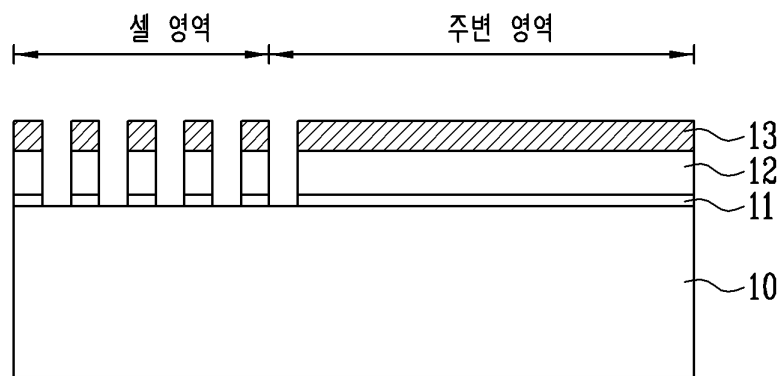
도면2e



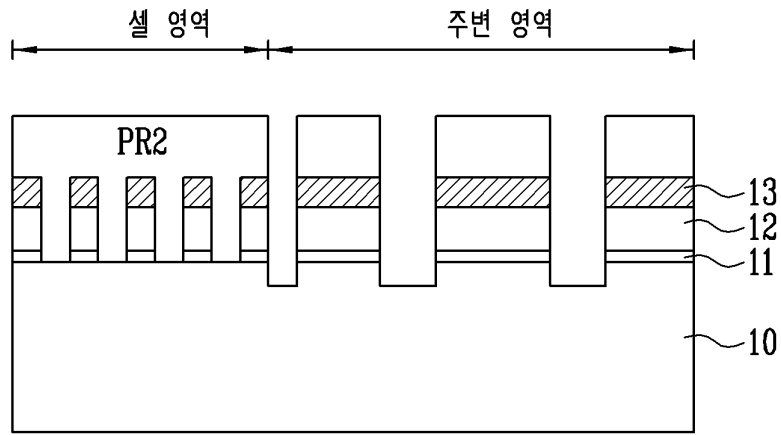
도면3a



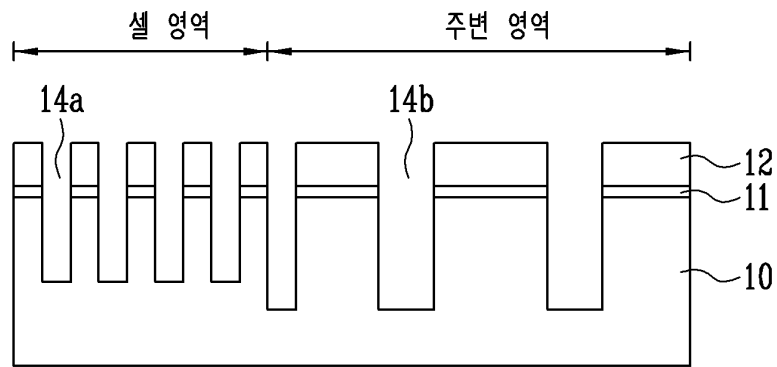
도면3b



도면3c



도면3d



도면3e

