

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5557955号
(P5557955)

(45) 発行日 平成26年7月23日 (2014. 7. 23)

(24) 登録日 平成26年6月13日 (2014. 6. 13)

(51) Int. Cl. F I
H 0 1 H 9/54 (2006. 01) H 0 1 H 9/54 C

請求項の数 9 (全 6 頁)

(21) 出願番号	特願2013-513144 (P2013-513144)	(73) 特許権者	591020353
(86) (22) 出願日	平成22年6月2日 (2010. 6. 2)		オーチス エレベータ カンパニー
(65) 公表番号	特表2013-530500 (P2013-530500A)		O T I S E L E V A T O R C O M P A N Y
(43) 公表日	平成25年7月25日 (2013. 7. 25)		アメリカ合衆国, コネチカット, ファーミントン, ファーム スプリングス 10
(86) 国際出願番号	PCT/US2010/036994	(74) 代理人	100086232
(87) 国際公開番号	W02011/152823		弁理士 小林 博通
(87) 国際公開日	平成23年12月8日 (2011. 12. 8)	(74) 代理人	100092613
審査請求日	平成25年1月24日 (2013. 1. 24)		弁理士 富岡 潔
		(72) 発明者	シン, ガン
			中華人民共和国, シャンハイ, プドン, ユンタイ ロード 1000, #35, ルーム 501

最終頁に続く

(54) 【発明の名称】 スイッチ検知システム

(57) 【特許請求の範囲】

【請求項 1】

極ノード(153)、常時閉接点(160)及び常時開接点(161)を有する第1のスイッチ(102)であって、第1のスイッチ(102)の極ノード(153)は、電圧電源ノード(104)に接続されている、第1のスイッチ(102)と、

極ノード(153)、常時閉接点(160)及び常時開接点(161)を有する第2のスイッチ(102)であって、第2のスイッチ(102)の極ノード(153)は、第1のスイッチ(102)の常時閉接点(160)に接続されている、第2のスイッチ(102)と、

第2のスイッチ(102)の常時閉接点(160)に接続されている電圧検知器(106)と、

第1のスイッチ(102)の常時開接点(161)に接続されている第1の抵抗器(108)と、

第1のスイッチ(102)の常時開接点(161)及び第2のスイッチ(102)の常時開接点(161)に接続されている第2の抵抗器(108)と、

第1のスイッチ(102)の極ノード(153)に接続された第1の接続部及び第1の抵抗器(108)に接続された第2の接続部を有するプロセッサ(114)と、

前記第1の抵抗器(108)に接続されたノード(109)及び前記電圧電源ノード(104)に接続されたノード(111)を含むスイッチ識別子回路(107)と、

を備え、

10

20

前記プロセッサ(114)は、前記電圧検知器(106)及び前記スイッチ識別子回路(107)に通信可能に接続されていることを特徴とするスイッチ検知システム。

【請求項2】

プロセッサ(114)及び第2のスイッチ(102)の常時開接点(161)に接続された第3のスイッチ(112)をさらに備えることを特徴とする請求項1に記載のスイッチ検知システム。

【請求項3】

電圧検知器(106)は、電圧を検知して、電圧が検知されたことを示す指標をプロセッサ(114)に送るように作動可能であることを特徴とする請求項1に記載のスイッチ検知システム。

10

【請求項4】

第1の抵抗器(108)及び第2の抵抗器(108)は同様の抵抗を有することを特徴とする請求項1に記載のスイッチ検知システム。

【請求項5】

第1の抵抗器(108)及び第2の抵抗器(108)は同じの抵抗を有することを特徴とする請求項1に記載のスイッチ検知システム。

【請求項6】

プロセッサ(114)は、
電圧検知器(106)が電圧を検知しないことを示す信号を電圧検知器(106)から受け、

20

プロセッサ(114)の第1の接続部及びプロセッサ(114)の第2の接続部に亘る電圧を判断し、

プロセッサ(114)の第1および第2の接続部に亘る電圧降下を判断し、

プロセッサ(114)の第1の接続部とプロセッサ(114)の第2の接続部との間で直列に配された抵抗器(108)の数を計算する、

ように作動可能であることを特徴とする請求項1に記載のスイッチ検知システム。

【請求項7】

プロセッサは、

第3のスイッチ(112)を閉じ、

第1の抵抗器(108)及び第2の抵抗器(108)に亘る電圧を印可し、

30

第1の抵抗器(108)及び第2の抵抗器(108)の全抵抗を測定し、

測定された第1の抵抗器(108)及び第2の抵抗器(108)の抵抗と閾値抵抗値と比較し、

測定された抵抗が閾値抵抗値よりも小さいとの判断に応じて故障を示す、

ように作動可能であることを特徴とする請求項2に記載のスイッチ検知システム。

【請求項8】

請求項1に記載のスイッチ検知システム(100)における起動されたスイッチを判断する方法であって、

直列に接続された少なくとも1つのスイッチ(102)及び少なくとも1つの抵抗器(108)含む回路の電圧を測定するステップと、

40

前記回路の抵抗を判断するステップと、

前記回路において直列に配された抵抗器(108)の数を判断するため、前記回路の抵抗を前記少なくとも1つの抵抗器(108)の抵抗で除算するステップと、

前記回路において直列に配された抵抗器(108)の数を直列に配された対応するスイッチ(102)の数と関連づけるステップと、

前記回路において直列に配された抵抗器(108)の数と直列に配された対応するスイッチ(102)の数との関連づけに応じて、システムにおける起動されたスイッチ(102)を識別するステップと、

識別した、起動されたスイッチ(102)を示す信号を出力するステップと、

を含むことを特徴とする方法。

50

【請求項 9】

電圧検知器が電圧を検知しないことを示す指標を電圧検知器(106)から受けるステップと、

直列に接続された少なくとも1つのスイッチ(102)及び少なくとも1つの抵抗器(108)含む前記回路の電圧を測定するステップと、

を含むことを特徴とする請求項8に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、制御システムに関し、特に、エレベータ及びエスカレータ制御システムのスイッチ検知システムに関する。 10

【背景技術】

【0002】

スイッチ検知システムは、制御システムに電氣的に接続された複数のスイッチを有する。スイッチ検知システムは、システムにおいてスイッチが起動されているか否かを判断するため、かつどのスイッチが起動しているかを識別するために用いられる。

【0003】

起動されているスイッチの判断及び識別は、例えば、エレベータ又はエスカレータシステムなどのシステムを制御するために用いられる。

【発明の概要】 20

【課題を解決するための手段】

【0004】

本発明の一態様によれば、スイッチ検知システムは、極ノード、常時閉接点及び常時開接点を有する第1のスイッチであって、第1のスイッチの極ノードは、電圧電源ノードに接続されている、第1のスイッチと、極ノード、常時閉接点及び常時開接点を有する第2のスイッチであって、第2のスイッチの極ノードは、第1のスイッチの常時閉接点に接続されている、第2のスイッチと、第2のスイッチの常時閉接点に接続されている電圧検知器と、第1のスイッチの常時開接点に接続されている第1の抵抗器と、第1のスイッチの常時開接点及び第2のスイッチの常時開接点に接続されている第2の抵抗器と、第1のスイッチの極ノードに接続された第1の接続部及び第1の抵抗器に接続された第2の接続部を有するプロセッサと、を備える。 30

【0005】

本発明の他の態様によれば、システムにおける起動されたスイッチを判断する方法は、電圧検知器が電圧を検知しないことを示す指標を電圧検知器から受けるステップと、直列に接続された少なくとも1つのスイッチ及び少なくとも1つの抵抗器含む回路の電圧を測定するステップと、前記回路の抵抗を判断するステップと、前記回路において直列に配された抵抗器の数を判断するため、前記回路の抵抗を前記少なくとも1つの抵抗器の抵抗で除算するステップと、前記回路において直列に配された抵抗器の数を直列に配された対応するスイッチの数と関連づけるステップと、前記回路において直列に配された抵抗器の数と直列に配された対応するスイッチの数との関連づけに応じて、システムにおける起動されたスイッチを識別するステップと、識別した、起動されたスイッチを示す信号を出力するステップと、を含む。 40

【0006】

本発明のさらに別の態様によれば、スイッチ検知システムは、極ノード、常時閉接点及び常時開接点を有する第1のスイッチであって、第1のスイッチの極ノードは、電圧電源ノードに接続されている、第1のスイッチと、極ノード、常時閉接点及び常時開接点を有する第2のスイッチであって、第2のスイッチの極ノードは、第1のスイッチの常時閉接点に接続されている、第2のスイッチと、第1のスイッチの常時開接点に接続されている第1の抵抗器と、第1のスイッチの常時開接点及び第2のスイッチの常時開接点に接続されている第2の抵抗器と、を備える。 50

【 0 0 0 7 】

本発明の他の特徴及び利点は、以下の発明を実施するための形態及び添付の図面により明らかになるであろう。

【 0 0 0 8 】

詳細な説明は図面を参照して本発明の実施例、利点及び特徴を説明するものである。

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】 スイッチ検知システムの例示的な実施例を示す図。

【 発明を実施するための形態 】

【 0 0 1 0 】

図 1 は、スイッチ検知システム 1 0 0 の例示的な実施例を示す。システム 1 0 0 は、任意の数 (n) のスイッチ 1 0 2 を含むスイッチアレイ 1 0 1 に配されたスイッチ (S 1 - S n) 1 0 2 を有する。図示した実施例では、各スイッチ 1 0 2 は、単一の極ノード 1 5 3 を形成するように接続された第 1 の極 1 5 0 及び第 2 の極 1 5 1、常時閉接点 1 6 0 並びに常時開接点 1 6 1 を含む。これらの接点は、常時閉接点 1 6 0 が開のときに、常時開接点 1 6 1 が閉となるように配設されている。スイッチ 1 0 2 の極ノード 1 5 3 及びスイッチの常時開接点 1 6 1 は、電圧電源 (V s) ノード 1 0 4 と電圧検知器 1 0 6 との間で直列に接続されている。抵抗器アレイ 1 0 3 において、同様の (又は実質的に同一の) 抵抗器 1 0 8 が直列に配置されている。各抵抗器 1 0 8 は、システム 1 0 0 が n 個のスイッチ及び抵抗器を有するように、対応するスイッチ 1 0 2 と対をなしている。アレイ 1 0 3 は、ノード (W 1 - W n) 1 0 5 を含み、該ノードは、抵抗器の間に配されている (ノード W n は、抵抗器 1 0 8 の端部に配される)。各ノード 1 0 5 は、対をなすスイッチ 1 0 2 の常時開接点 1 6 1 に各抵抗器 1 0 8 を接続する。スイッチ識別子回路 1 0 7 は、R 1 抵抗器 1 0 8 に接続されたノード 1 0 9 及び電圧電源ノード 1 0 4 に接続されたノード 1 1 1 を含み、さらに、W n ノード 1 0 5 に接続されたノード 1 1 3 を含んでいてもよい。ノード 1 0 9 は、接地されている抵抗器 1 1 0 に接続される。ノード 1 1 3 は、テストスイッチ (S t e s t) 1 1 2 を介して電圧電源 (V t e s t) に接続される。プロセッサ 1 1 4 は、スイッチ識別子回路 1 0 7 及び電圧検知器 1 0 6 に通信可能に接続される。

【 0 0 1 1 】

作動時において、スイッチ 1 0 2 の各常時閉接点 1 6 0 が閉位置にあるとき、電圧検知器 1 0 6 は電圧電源ノード 1 0 4 からの電圧を検知する。電圧検知器 1 0 6 は、電圧電源ノード 1 0 4 からの電圧が検知されたことを示す信号をプロセッサ 1 1 4 に送信する。スイッチ 1 0 2 (例えば、スイッチ S 2 , 1 0 2) が起動されると、スイッチ S 2 , 1 0 2 の常時閉接点 1 6 0 が開となり、スイッチ S 2 , 1 0 2 の常時開接点 1 6 1 が閉となる。電圧電源ノード 1 0 4 と電圧検知器 1 0 6 の電気的な接続が切断され、電圧検知器 1 0 6 は電圧を検知しないものとなる。電圧検知器 1 0 6 は、電圧を検知していないことを示す信号をプロセッサ 1 1 4 に送信する。スイッチ S 2 , 1 0 2 の常時開接点 1 6 1 が閉じることにより、電圧電源ノード 1 0 4 から、スイッチ S 1 , 1 0 2 の (閉状態の) 常時閉接点 1 6 0、スイッチ S 2 , 1 0 2 の (閉状態の) 常時開接点 1 6 1、抵抗器 R 1 , 1 0 8、ノード 1 0 9 を通ってプロセッサ 1 1 4 へと流れる電流路が生じる。プロセッサ 1 1 4 は、電圧電源ノード 1 0 4 (ノード 1 1 1) における電圧電源 (V s) 及びノード 1 0 9 における抵抗電圧 (V r) を検知する。各抵抗器 1 0 8 は同様の抵抗を有するため、 $V_r = V_s / n + 1$ となる。これを n について解くと、 $n = V_s / V_r - 1$ となる。ここで、n は、スイッチ 1 0 2 が起動している (常時開接点 1 6 1 が閉であり、常時閉接点 1 6 0 が開である) ときの直列に接続された抵抗器 1 0 8 の数である。各スイッチ 1 0 2 は抵抗器 1 0 8 と対をなしているため、起動しているスイッチが識別され得る。

【 0 0 1 2 】

上記実施例では、スイッチ S 2 , 1 0 2 の起動により、電圧検知器 1 0 6 への電圧の損失が生じる。電圧検知器 1 0 6 は、プロセッサ 1 1 4 に信号を送信する。プロセッサ 1 1 4 は、電圧 V s 及び V r を検知し、上記方程式を n について解く。結果として得られた n

10

20

30

40

50

= 2 は、直列に接続された 2 つの抵抗器 (R 1 , R 2) があることを示す。各抵抗器 1 0 8 がスイッチ 1 0 2 と対をなしているため、n = 2 は、スイッチ S 2 , 1 0 2 が起動していることを示す。プロセッサ 1 1 4 は、起動している特定のスイッチ 1 0 2 を示す指標 (情報) を、例えば、エレベータやエスカレータのシステム等対応するシステムを制御するために使用する。例えば、プロセッサ 1 1 4 は、システムにおける視覚的な表示器、音声による表示器又は他の表示器を制御するように制御信号を出力してもよく、システムにおけるエレベータかご等の機械的な要素を制御するように制御信号を出力してもよい。

【 0 0 1 3 】

システムを検査するために、S t e s t スイッチ 1 1 2 が用いられ得る。スイッチ 1 0 2 の常時閉接点が閉である場合、S t e s t スイッチ 1 1 2 が閉となり、抵抗器アレイ 1 0 3 にわたって電圧が印加される。システム 1 0 0 が適切に作動している場合、抵抗器アレイ 1 0 3 の全抵抗 (R t) が検出される。ここで、R t = R n である。プロセッサ 1 1 4 は、R t と閾値抵抗値とを比較する。R t が閾値より小さい場合は、プロセッサは、例えば、故障メッセージをオペレータに出力することにより、故障表示灯 (図示せず) を点灯することにより又は故障に関連する制御論理を実行することにより、システムの故障を示す。

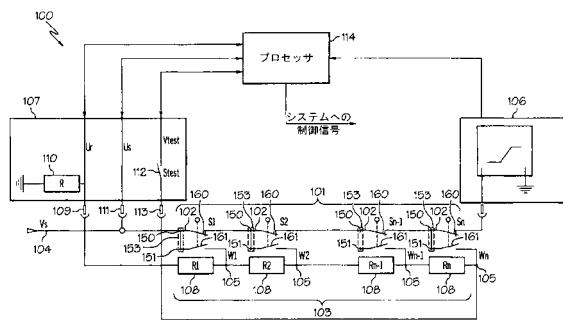
10

【 0 0 1 4 】

特定の実施例によって本発明を説明してきたが、当該実施例は例示的なものに過ぎず、本発明は開示した実施例に限定されないことを理解されたい。発明の範囲から逸脱することなく、本発明に修正や変更を加えることができる。

20

【 図 1 】



フロントページの続き

審査官 出野 智之

- (56)参考文献 実開昭62-055831(JP,U)
特開平01-258322(JP,A)
特開2009-023820(JP,A)
特表昭62-501990(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01H 9/54