



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월22일
(11) 등록번호 10-1003014
(24) 등록일자 2010년12월15일

(51) Int. Cl.

H01Q 1/38 (2006.01) H01Q 13/08 (2006.01)

H01Q 23/00 (2006.01)

(21) 출원번호 10-2009-0091836

(22) 출원일자 2009년09월28일

심사청구일자 2009년09월28일

(56) 선행기술조사문헌

KR1020080046609 A

(73) 특허권자

(주)파트론

경기 화성시 석우동 22-6

(72) 발명자

전찬익

경기도 화성시 기산동 대우푸르지오아파트 110동 502호

(74) 대리인

특허법인명문

전체 청구항 수 : 총 23 항

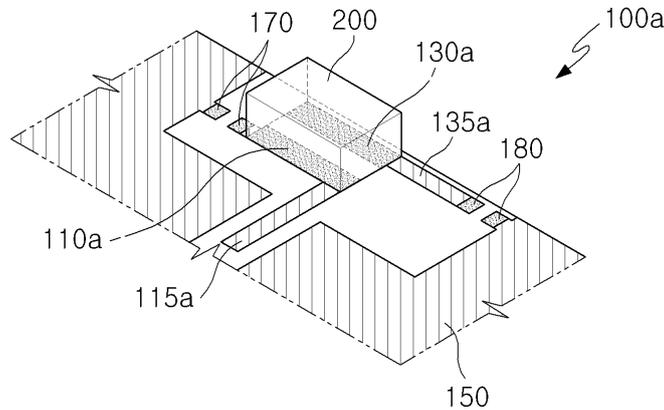
심사관 : 김정석

(54) 칩 안테나를 위한 PCB 레이아웃 구조 및 이를 이용한 칩 안테나 장치

(57) 요약

본 발명은, 칩 안테나를 위한 PCB 레이아웃 구조 및 이를 이용한 칩 안테나 장치에 관한 것으로서, 급전 라인인 동시에 안테나 방사체로 동작하는 입력 포트; 상기 입력 포트와 소정 간격 이격되어 형성되며, 접지 라인인 동시에 안테나 방사체로 동작하는 접지 포트; 및 소정의 영역에 형성되는 접지 영역을 포함하며, 상기 입력 포트는 일단을 통해 급전되고, 타단이 상기 접지 영역에 전기적으로 연결되며, 상기 접지 포트는 일단이 상기 접지 영역에 전기적으로 연결되고, 타단이 오픈되는 것을 특징으로 하는 칩 안테나를 위한 PCB 레이아웃 구조와 상기 PCB 레이아웃의 상부에 장착되는 유전체 블록에 형성된 안테나 도체 패턴을 포함하는 것을 특징으로 하는 칩 안테나 장치이며, 이와 같은 본 발명에 의하면 본 발명은, PCB 레이아웃 구조상의 안테나와 PCB에 장착되는 칩 안테나 중 어느 하나 또는 둘 모두의 안테나 도체 패턴의 면적을 조절함으로써 용이하게 안테나를 튜닝 할 수 있으므로 다양한 무선 통신 시스템을 개발하는 과정에서 발생하는 다양한 안테나 성능과 관련된 문제들을 손쉽게 수정할 수 있다.

대표도 - 도4



특허청구의 범위

청구항 1

급전 라인인 동시에 안테나 방사체로 동작하는 입력 포트;
 상기 입력 포트와 소정 간격 이격되어 형성되며, 접지 라인인 동시에 안테나 방사체로 동작하는 접지 포트; 및
 소정의 영역에 형성되는 접지 영역을 포함하며,
 상기 입력 포트는 일단을 통해 급전되고, 타단이 상기 접지 영역에 전기적으로 연결되며,
 상기 접지 포트는 일단이 상기 접지 영역에 전기적으로 연결되고, 타단이 오픈되는 것을 특징으로 하는 칩 안테나를 위한 PCB 레이아웃 구조.

청구항 2

제 1 항에 있어서,
 상기 입력 포트와 상기 접지 포트는 서로 평행하게 형성된 것을 특징으로 하는 칩 안테나를 위한 PCB 레이아웃 구조.

청구항 3

제 1 항에 있어서,
 상기 입력 포트와 상기 접지 포트는 서로 비평행하게 형성된 것을 특징으로 하는 칩 안테나를 위한 PCB 레이아웃 구조.

청구항 4

제 1 항에 있어서,
 상기 입력 포트와 접지 포트는 서로 대칭으로 형성된 것을 특징으로 하는 칩 안테나를 위한 PCB 레이아웃 구조.

청구항 5

제 1 항에 있어서,
 상기 입력 포트와 접지 포트는 서로 비대칭으로 형성된 것을 특징으로 하는 칩 안테나를 위한 PCB 레이아웃 구조.

청구항 6

제 1 항에 있어서,
 상기 입력 포트 또는 접지 포트의 면적을 조절하여 안테나 전기적 특성을 조절하는 것을 특징으로 하는 칩 안테나를 위한 PCB 레이아웃 구조.

청구항 7

제 6 항에 있어서,
 상기 입력 포트로부터 상기 접지 영역으로 전기적으로 연결되는 루프(loop) 영역의 면적을 조절하여 안테나의 전기적 특성을 조절하는 것을 특징으로 하는 칩 안테나를 위한 PCB 레이아웃 구조.

청구항 8

제 6 항에 있어서,
 상기 접지 포트의 면적을 조절하여 안테나의 전기적 특성을 조절하는 것을 특징으로 하는 칩 안테나를

위한 PCB 레이아웃 구조.

청구항 9

제 1 항에 있어서,
 상기 입력 포트의 타단과 상기 접지 영역 사이에 형성된 제1 소자 전극과,
 상기 접지 포트의 일단과 상기 접지 영역 사이에 형성된 제2 소자 전극을 포함하며,
 상기 제1 소자 전극과 제2 소자 전극은 각각 서로 소정 간격 이격되어 용량성 결합하는 2개의 전극을 구비하여, 상기 입력 포트와 접지 포트에 흐르는 전류를 조절하는 것을 특징으로 하는 칩 안테나를 위한 PCB 레이아웃 구조.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항의 PCB 레이아웃 구조 상의 상기 입력 포트와 상기 접지 포트의 적어도 일부분에 접하여 장착되는 유전체 블록을 포함하는 칩 안테나를 포함하는 것을 특징으로 하는 칩 안테나 장치.

청구항 11

제 10 항에 있어서,
 상기 유전체 블록의 적어도 한면 이상에 안테나 도체 패턴이 형성되며,
 상기 안테나 도체 패턴이 상기 PCB 레이아웃 구조에 대응하여 접하도록 상기 유전체 블록이 장착되는 것을 특징으로 하는 칩 안테나 장치.

청구항 12

제 11 항에 있어서,
 상기 유전체 블록의 적어도 한면 이상에 형성된 안테나 도체 패턴은 상기 입력 포트 또는 상기 접지 포트 중 어느 하나의 적어도 일부분에 접하는 것을 특징으로 하는 칩 안테나 장치.

청구항 13

제 12 항에 있어서,
 상기 안테나 도체 패턴은 상기 입력 포트에 접하는 제1 도체 패턴과 상기 접지 포트에 접하는 제2 도체 패턴을 포함하며,
 상기 제1 도체 패턴과 제2 도체 패턴은 서로 이격되어 상기 유전체 블록의 적어도 한면 이상에 형성된 것을 특징으로 하는 칩 안테나 장치.

청구항 14

제 13 항에 있어서,
 상기 제1 도체 패턴과 제2 도체 패턴의 면적을 조절하여 안테나 주파수 대역을 조절하는 것을 특징으로 하는 칩 안테나 장치.

청구항 15

제 13 항에 있어서,
 상기 제1 도체 패턴과 제2 도체 패턴은 서로 평행하게 형성된 것을 특징으로 하는 칩 안테나 장치.

청구항 16

제 13 항에 있어서,
 상기 제1 도체 패턴과 제2 도체 패턴은 서로 비평행하게 형성된 것을 특징으로 하는 칩 안테나 장치.

청구항 17

제 13 항에 있어서,
 상기 제1 도체 패턴과 제2 도체 패턴은 서로 대칭으로 형성된 것을 특징으로 하는 칩 안테나 장치.

청구항 18

제 13 항에 있어서,
 상기 제1 도체 패턴과 제2 도체 패턴은 서로 비대칭으로 형성된 것을 특징으로 하는 칩 안테나 장치.

청구항 19

제 13 항에 있어서,
 상기 제1 도체 패턴과 제2 도체 패턴은 각각 단수의 전극 패턴 또는 복수의 전극 패턴으로 구성된 것을 특징으로 하는 칩 안테나 장치.

청구항 20

제 13 항에 있어서,
 상기 제1 도체 패턴과 제2 도체 패턴은 상기 유전체 블록의 한면에 형성된 것을 특징으로 하는 칩 안테나 장치.

청구항 21

제 13 항에 있어서,
 상기 제1 도체 패턴 또는 제2 도체 패턴은 상기 유전체 블록의 서로 인접한 두 개 이상의 면에 걸쳐서 형성되어 그 면적이 증가되는 것을 특징으로 하는 칩 안테나 장치.

청구항 22

제 13 항에 있어서,
 상기 제1 도체 패턴 또는 제2 도체 패턴은 상기 유전체 블록의 다면에 걸쳐서 연장되어 그 면적이 증가되는 것을 특징으로 하는 칩 안테나 장치.

청구항 23

제 13 항에 있어서,
 상기 입력 포트 및 접지 포트와 접하지 않으며, 상기 제1 도체 패턴 및 제2 도체 패턴과 이격되어 상기 유전체 블록에 형성된 제3 도체 패턴을 포함하는 것을 특징으로 하는 칩 안테나 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 칩 안테나를 위한 PCB 레이아웃 구조 및 이를 이용한 칩 안테나 장치에 관한 것으로서, 보다 상세하게는 표면실장부품(SMD)의 하나인 칩 안테나를 위한 PCB 레이아웃(Layout) 구조와 이 구조를 이용하는 다양한 칩 안테나 장치에 대한 것이다.

배경기술

[0002] 무선 통신 분야에서 안테나는 주변 환경에 따라 특성이 민감하게 변화하는 전자 소자로서, 무선 통신 장치 등에 장착되어 외부로부터의 전파를 수신하거나 또는 통신기기에서 발생한 전기적인 신호를 외부로 전달하

는 역할을 수행한다.

[0003] 이동통신 단말기에 내장되는 칩 안테나는 각 단말기마다 정재파 매칭 같은 특성의 최적화가 필요한 전자소자로서 칩 안테나를 이동통신 단말기 내부에 세팅시킬 때 안테나 주파수 특성이 변화하게 되므로 이에 대한 튜닝 작업이 불가피하였다. 이와 같은 튜닝 작업시 안테나 자체의 패턴 또는 유전체 블록 자체에 대한 설계변경을 수반하므로 이에 따른 제조상 손실 등이 발생하는 문제점이 있다.

[0004] 현재까지 칩 안테나는 칩 안테나의 구조 및 그 형상에 관한 것이 주를 이루고 있으며, 일반적으로 육면체 유전체 블록의 6면 중에 여러 면에 안테나 방사체 패턴을 형성시키거나 또는 유전체 블록의 내부에 전극을 형성시키는 형태였다.

[0005] 그리고 칩 안테나가 장착되는 PCB에는 칩 안테나를 전기적으로 연결하기 위한 패드(Pad)가 형성되는데, 이와 같은 패드(Pad)는 칩 안테나를 SMT하기 위한 전극으로만 동작하였다. 또한 PCB에 직접 안테나 패턴을 형성시키는 안테나 타입의 경우에는 에폭시수지에 동판(copper) 패턴을 형성시켜 이를 안테나 방사체로 이용하는 것이었다.

[0006] 이와 같은 종래기술들은 유전체에 형성된 안테나 방사체 패턴만을 이용하거나 또는 PCB에 바로 형성된 도체패턴만을 이용하는 독립적인 안테나이며, PCB와 칩 안테나가 일체형으로 구성된다고 하더라도 안테나의 전기적인 특성을 변경하기 위하여 스테브를 이용하여 스테브의 길이를 줄이고 늘리는 방법으로 안테나를 튜닝하고 있어 다양한 무선 통신 시스템에서의 다양한 조건에 대한 안테나의 튜닝(tuning)에 있어서 한계를 가지고 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명은 통신 기술의 발달에 따라 더욱 소형화되고 PCB에 형성된 안테나 도체 패턴과 칩 안테나에 형성된 방사체 패턴이 결합되어 구성되는 소형 안테나를 제공하고자 한다.

[0008] 나아가서 안테나의 튜닝 작업시 안테나 자체의 패턴 또는 유전체 블록 자체에 대한 설계변경을 수반하므로 이에 따른 제조상 손실 등이 발생하는 문제점을 해결하고자 한다.

[0009] 또한 간단한 구성으로 다양한 무선 통신 시스템에서의 다양한 조건에 대한 안테나의 튜닝(tuning)을 용이하게 할 수 있는 안테나 장치를 제공하고자 한다.

[0010]

과제 해결수단

[0011] 상기 기술적 과제를 달성하고자 본 발명은, 급전 라인인 동시에 안테나 방사체로 동작하는 입력 포트; 상기 입력 포트와 소정 간격 이격되어 형성되며, 접지 라인인 동시에 안테나 방사체로 동작하는 접지 포트; 및 소정의 영역에 형성되는 접지 영역을 포함하며, 상기 입력 포트는 일단을 통해 급전되고, 타단이 상기 접지 영역에 전기적으로 연결되며, 상기 접지 포트는 일단이 상기 접지 영역에 전기적으로 연결되고, 타단이 오픈되며, 상기 입력 포트에 인가된 신호 전류는 상기 접지 영역으로 흐르고, 상기 접지 포트에는 상기 신호 전류와 위상이 180° 차이나는 접지 전류가 흘러 상기 신호 전류와 접지 전류에 형성되는 전자기 필드의 결합으로 안테나 방사가 이루어지는 것을 특징으로 하는 칩 안테나를 위한 PCB 레이아웃 구조이다.

[0012] 여기서 상기 입력 포트와 접지 포트는 서로 이격되어 평행 또는 비평행하거나, 대칭 또는 비대칭의 다양한 형태로 형성될 수 있다.

[0013] 바람직하게는 상기 입력 포트 또는 접지 포트의 면적을 조절하여 안테나 주파수 대역 및 임피던스 등의 전기적 특성을 조절할 수 있다.

[0014] 나아가서 상기 입력 포트로부터 상기 접지 영역으로 전기적으로 연결되는 루프(loop) 영역의 면적 및 전기적 위상을 조절하여 안테나의 주파수 대역 및 임피던스 등의 전기적 특성을 조절할 수 있으며, 또한 상기 접지 포트의 면적을 조절하여 안테나의 주파수대역 및 임피던스 등의 전기적 특성을 조절할 수 있다.

[0015] 보다 바람직하게는 상기 입력 포트의 타단과 상기 접지 영역 사이에 형성된 제1 소자 전극과, 상기 접지 포트의 일단과 상기 접지 영역 사이에 형성된 제2 소자 전극을 포함하며, 상기 제1 소자 전극과 제2 소자 전

극은 각각 서로 소정 간격 이격되어 용량성 결합하는 2개의 전극을 구비하여, 상기 입력 포트와 접지 포트에 흐르는 전류를 조절할 수 있다.

- [0016] 또한 본 발명은 상기 PCB 레이아웃 구조 상의 상기 입력 포트와 상기 접지 포트의 적어도 일부분에 접하여 장착되는 유전체 블록을 포함하는 칩 안테나를 포함하는 것을 특징으로 하는 칩 안테나 장치이다.
- [0017] 바람직하게는 상기 유전체 블록의 적어도 한면 이상에 안테나 도체 패턴이 형성되며, 상기 안테나 도체 패턴이 상기 PCB 레이아웃 구조에 대응하여 접하도록 상기 유전체 블록이 장착될 수 있다.
- [0018] 여기서 상기 유전체 블록의 적어도 한면 이상에 형성된 안테나 도체 패턴은 상기 입력 포트 또는 상기 접지 포트 중 어느 하나의 적어도 일부분에 접하도록 상기 유전체 블록이 장착될 수 있다.
- [0019] 보다 바람직하게는 상기 안테나 도체 패턴은 상기 입력 포트에 접하는 제1 도체 패턴과 상기 접지 포트에 접하는 제2 도체 패턴을 포함하며, 상기 제1 도체 패턴과 제2 도체 패턴은 서로 이격되어 상기 유전체 블록의 적어도 한면 이상에 형성될 수 있다.
- [0020] 나아가서 상기 제1 도체 패턴과 제2 도체 패턴의 면적을 조절하여 안테나 주파수 대역을 조절할 수 있다.
- [0021] 또한 상기 제1 도체 패턴과 제2 도체 패턴은 서로 평행 또는 비평행하게 형성되거나 또는 상기 제1 도체 패턴과 제2 도체 패턴은 서로 대칭 또는 비대칭 되어 형성될 수 있다.
- [0022] 특히 상기 제1 도체 패턴과 제2 도체 패턴은 각각 단수의 전극 패턴 또는 복수의 전극 패턴으로 구성될 수 있다.
- [0023] 바람직하게는 상기 제1 도체 패턴과 제2 도체 패턴은 상기 유전체 블록의 한면에 형성될 수 있다.
- [0024] 나아가서 상기 제1 도체 패턴 또는 제2 도체 패턴은 상기 유전체 블록의 서로 인접한 두 개 이상의 면에 걸쳐서 형성될 수도 있으며, 또는 상기 제1 도체 패턴 또는 제2 도체 패턴은 상기 유전체 블록의 다면에 걸쳐서 연장되어 그 면적이 증가되도록 형성될 수도 있다.
- [0025] 또한 상기 입력 포트 및 접지 포트와 접하지 않으며, 상기 제1 도체 패턴 및 제2 도체 패턴과 이격되어 상기 유전체 블록에 형성된 제3 도체 패턴을 포함할 수도 있다.

효과

- [0026] 이와 같은 본 발명에 따르면, 본 발명은, PCB 레이아웃 구조 상의 안테나와 PCB에 장착되는 칩 안테나 중 어느 하나 또는 둘 모두의 안테나 도체 패턴의 면적을 조절함으로써 용이하게 안테나를 튜닝할 수 있으므로 다양한 무선 통신 시스템을 개발하는 과정에서 발생하는 다양한 안테나 성능과 관련된 문제들을 손쉽게 수정할 수 있다.
- [0027] 특히 PCB 레이아웃 구조 자체, PCB와 안테나를 포함하는 장치 및 PCB를 제외한 칩 안테나 자체 모두가 안테나 튜닝 요소를 가지고 있으므로 어떠한 조건속에서도 안테나 시스템의 성능을 조절하는 것이 매우 용이해진다.
- [0028] 나아가서 본 발명에 따른 PCB 레이아웃 구조 자체가 안테나로서 독립적인 기능을 수행할 수 있으므로 안테나 장치의 튜닝이 더욱 용이해지며, 본 발명의 안테나 장치는 단순한 구조로서 안테나를 1.0mm까지 줄이는 것이 가능하여 안테나의 소형화에 더욱 이바지 할 수 있게 된다.
- [0029] 또한 유전체 블록의 한면만을 이용하는 안테나를 제공할 수 있어 유전체 블록의 다면을 이용하는 안테나와 비교하여 더욱 간단하게 칩 안테나의 제조가 가능하며 이로써 안테나 제조 단가를 더욱 낮출 수 있게 된다.

[0030]

발명의 실시를 위한 구체적인 내용

- [0031] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 설명하기 위하여 이하에서는 본 발명의 바람직한 실시예를 예시하고 이를 참조하여 살펴본다.

- [0032] 도 1은 본 발명에 따른 칩 안테나를 위한 PCB 레이아웃 구조의 실시예를 나타낸다.
- [0033] 본 발명에 따른 PCB 레이아웃(100) 구조는, 급전 라인인 동시에 안테나 방사체로 동작하는 입력 포트(110), 입력 포트(110)와 소정 간격 이격되어 형성되며 접지 라인인 동시에 안테나 방사체로 동작하는 접지 포트(130), 소정의 영역에 형성되는 접지 영역(150) 등을 포함하며, 입력 포트(110)는 일단(115)은 급전라인으로 이를 통해 급전되고, 타단(117)이 접지 영역(150)에 전기적으로 연결되며, 접지 포트(130)는 일단(135)이 접지 영역(150)에 전기적으로 연결되고 타단이 오픈되어 있다.
- [0034] 이와 같은 PCB 레이아웃(100) 구조는, 급전 라인을 통해 입력된 전기적 신호에 의하여 입력 포트(110)에 인가된 신호 전류는 바로 접지 영역(150)으로 흐르게 되고, 접지 영역(150)과 연결된 접지 포트(130)에는 입력 포트(110)의 상기 신호 전류와 위상이 180° 차이나는 접지 전류가 흘러 상기 신호 전류와 접지 전류에 형성되는 전자기 필드의 결합으로 안테나 방사가 이루어지게 된다.
- [0035] 본 발명에서는 입력 포트(110)와 접지 포트(130)의 면적을 조절하고, 입력 포트(110)로부터 접지 영역(150)으로 전기적으로 연결되는 루프(loop) 영역의 면적 및 전기적 위상을 조절하고, 접지 포트(130)의 면적을 조절하여 안테나의 공진 주파수 및 주파수 대역 임피던스를 조절하게 된다.
- [0036] 나아가서 도 2는 본 발명에 따른 칩 안테나를 위한 PCB 레이아웃 구조의 다른 실시예를 나타내는데, 입력 포트(110a)의 타단과 접지 영역(150)의 사이에 제1 전극 소자(170)를 위치시키고, 접지 포트(130a)의 일단(135a)과 접지 영역(150)의 사이에는 제2 전극 소자(180)를 위치시키며, 제1 전극 소자(170)와 제2 전극 소자(180)는 용량성 결합하는 2개의 전극으로 구성되어 안테나 또는 PCB 레이아웃의 구조 변경이 어려울 경우에 제1 전극 소자(170)와 제2 전극 소자(180)를 통해 입력 포트(110a)와 접지 포트(110b)에 흐르는 전류들을 조절할 수도 있다.
- [0037] 또한 도 3은 본 발명에 따른 PCB 레이아웃 구조에서 입력 포트 및 접지 포트가 다양한 형태로 형성되는 실시예를 도시하는데, 도 3의 (a)에 도시된 바와 같이 입력 포트(110b)와 접지 포트(130b)가 서로 평행하지 않고 기울어져 형성될 수도 있으며, 도 3의 (b) 내지 (d)에 도시된 바와 같이 입력 포트(110c, 110d, 110e)와 접지 포트(130c, 130d, 130e)가 다양한 형태로 서로 평행 또는 비평행으로 이격되고, 대칭 또는 비대칭으로 그 면적이 조절되어 안테나로서의 전기적 특성을 변화시킬 수 있게 된다.
- [0038] 이와 같이 본 발명에 따른 PCB 레이아웃의 구조는 그 자체만으로도 안테나로서의 동작이 가능하며, 안테나 방사체로서 동작하는 입력 포트와 접지 포트는 서로 이격되어 대칭 또는 비대칭 등 다양한 형태로 면적을 조절하여 간단하게 안테나의 전기적인 특성의 조절이 가능하게 된다.
- [0039] 나아가서 본 발명에서는 상기와 같은 PCB 레이아웃의 구조에 장착되는 칩 안테나를 제공하여 더욱 편리하게 안테나의 튜닝을 가능하게 하는데, 이하에서는 본 발명에 따른 PCB 레이아웃 구조를 이용하는 칩 안테나 장치를 살펴보기로 한다.
- [0040] 도 4는 본 발명에 따른 칩 안테나 장치의 실시예에 대한 사시도를 나타낸다.
- [0041] 본 발명에 따른 칩 안테나 장치는 앞서 살펴본 본 발명에 따른 PCB 레이아웃 구조 상에 장착되는 칩 안테나를 포함하는데, 도4의 실시예에서는 칩 안테나의 유전체 블록(200)이 PCB 레이아웃 상의 입력 포트(110a)와 출력 포트(130a)의 적어도 일부분에 접하여 장착되고, 입력 포트(110a)의 일단으로 통신 장치의 급전(300)이 이루어지고 입력 포트(110a)의 타단이 제1 소자 전극(170)을 통해 접지되며, 접지 포트(130a)의 일단이 제2 소자 전극(180)을 통해 접지된다.
- [0042] 도 4의 실시예에서는 유전체 블록(200) 상에 어떠한 전극 패턴도 형성되지 않은 경우로서, PCB 레이아웃의 입력 포트(110a), 출력 포트(130a) 및 유전체 블록(200)을 통해 안테나의 전기적 특성이 결정되게 된다.
- [0043] 유전율과 투자율은 공간이 전자기 작용에 영향을 주는 계수로서, 주파수는 하기 [식 1]과 같이 파장에 반비례한다

$$f = \frac{c}{\lambda}$$

[식 1]

- [0045] 여기서 f는 주파수, c는 광속, λ는 파장 길이를 나타낸다.

[0046] 또한 파장 λ 는 하기 [식 2]와 같이 유전율과 투자율에 따라 달라지는 변수이다.

$$\omega \sqrt{\mu \epsilon} = \frac{2\pi}{\lambda}, \quad \lambda \propto \frac{1}{\sqrt{\mu_0 \epsilon_0 \mu_r \epsilon_r}} \quad \text{[식 2]}$$

[0047] 상기 [식 1] 및 [식 2]에 따라 유효 유전율 및 투자율의 변화에 따라 주파수가 변화되게 되므로 상기 도 3의 실시예와 같이 유전체 블록(200)만을 안테나 방사체로 동작하는 입력 포트(110a)와 접지 포트(130a)에 장착하는 경우에도 전기적 특성이 변화되게 되며, 나아가서 입력 포트(110a)와 접지 포트(130a)에 접하는 유전체 블록(200)의 하면 상에만 안테나 도체 패턴이 형성된 칩 안테나를 본 발명에 따른 PCB 레이아웃 구조에 장착하는 경우에도 전체적인 안테나의 전기적 특성이 변화되게 된다.

[0049] 본 발명에서는 이와 같은 특성을 이용하여 PCB 레이아웃 구조 자체 안테나와 유전체 블록에 형성된 안테나를 결합시키는 구성으로서, PCB 레이아웃 상의 입력 포트 또는 접지 포트의 면적을 조절하여 전체적인 안테나의 전기적 특성을 조절할 수 있고 또한 유전체 블록 상에 형성되는 안테나 도체 패턴의 면적을 조절하여 전체적인 안테나의 전기적 특성을 조절할 수도 있다.

[0050] 본 발명에서는 유전체 블록의 한 면에만 안테나 도체 패턴을 형성시키거나 또는 유전체 블록의 다면에 안테나 도체 패턴을 형성시켜 칩 안테나로 이용하게 되는데, 이하에서 이에 대한 다양한 실시예를 살펴보기로 한다.

[0051] 도 5 내지 도 11은 본 발명에 따른 다양한 실시예로서 안테나 도체 패턴이 형성된 유전체 블록을 펼친 전개도를 나타낸다.

[0052] 도 5는 본 발명에 따른 유전체 블록에 안테나 도체 패턴이 형성된 제1 실시예를 도시한다.

[0053] 도 5의 (a)에서는 유전체 블록(200)의 한면에만 안테나 도체 패턴(210a₁)이 형성되며, 유전체 블록(200)이 본 발명에 따른 PCB 레이아웃 구조에 장착시에 유전체 블록(200)의 안테나 도체 패턴(210a₁)은 입력 포트(110) 또는 접지 포트(130)에 접하게 되어 안테나의 전기적 특성을 변화시키게 된다.

[0054] 또한 도 5의 (b)는 유전체 블록(200)의 인접한 두면 상에 안테나 도체 패턴(210a₂)이 형성되며, 유전체 블록(200)이 본 발명에 따른 PCB 레이아웃 구조에 장착시에 유전체 블록(200)의 안테나 도체 패턴(210a₂)은 입력 포트(110) 또는 접지 포트(130)에 접하게 되어 안테나의 전기적 특성을 변화시키게 된다.

[0055] 이와 같이 본 발명에서는 안테나 도체 패턴의 면적을 변화시킴으로써 전체적인 안테나의 튜닝이 가능해진다.

[0056] 도 6은 본 발명에 따른 유전체 블록에 안테나 도체 패턴이 형성된 제2 실시예를 도시한다.

[0057] 제2 실시예에서는 유전체 블록의 한면에만 안테나 도체 패턴이 형성되는데, 상기 안테나 도체 패턴은 서로 소정 간격 이격된 제1 도체 패턴과 제2 도체 패턴으로 구성되며, 상기 제1 도체 패턴 및 제2 도체 패턴은 각각 본 발명에 따른 PCB 레이아웃 구조의 입력 포트 및 접지 포트에 접하게 된다.

[0058] 제2 실시예에서는 상기 제1 도체 패턴과 제2 도체 패턴의 면적이 상기 입력 포트와 접지 포트의 면적 이내로 형성된 경우로서, 도 6의 (a), (c) 및 (e)는 제1 도체 패턴(210b₁, 210b₃, 210b₅)과 제2 도체 패턴(230b₁, 230b₃, 230b₅)이 좌우 대칭으로 형성되었으며, 도 6의 (b)와 (d)는 제1 도체 패턴(210b₂, 210b₄)과 제2 도체 패턴(230b₂, 230b₄)이 대각선 대칭으로 형성되었다. 그리고 도 6의 (a)와 (b)는 제1 도체 패턴(210b₁, 210b₂)과 제2 도체 패턴(230b₁, 230b₂)이 모두 하나의 단수 전극 패턴을 가지며, 도 6의 (c), (d) 및 (e)는 제1 도체 패턴(210b₃, 210b₄, 210b₅)과 제2 도체 패턴(230b₃, 230b₄, 230b₅) 모두가 두 개의 복수 전극 패턴을 갖는다.

[0059] 또한 도 6의 (f)는 제1 도체 패턴(210b₆)은 2개의 전극 패턴을 가지고 있으며, 제2 도체 패턴(210b₆)은 단수의 전극 패턴으로 형성되어 있다.

[0060] 도 7은 본 발명에 따른 유전체 블록에 안테나 도체 패턴이 형성된 제3 실시예를 도시한다.

[0061] 제3 실시예도 유전체 블록의 한면에만 안테나 도체 패턴이 형성되며, 또한 안테나 도체 패턴은 서로 소정 간격 이격된 제1 도체 패턴과 제2 도체 패턴으로 구성되어 각각 본 발명에 따른 PCB 레이아웃 구조의 입력

포트 및 접지 포트에 접하게 된다.

- [0062] 또한 제3 실시예에서는 상기 제1 도체 패턴 또는 제2 도체 패턴의 면적을 상기 입력 포트와 접지 포트의 면적보다 크게 형성시킨 경우이다.
- [0063] 도 7의 (a), (b) 및 (g)는 제1 도체 패턴(210c₁, 210c₂, 210c₇)이 제2 도체 패턴(230c₁, 230c₂, 230c₇)보다 면적이 더 크게 형성되었는데, 도 7의 (a)는 제1 도체 패턴(210c₁)만을 상기 입력 포트 또는 접지 포트의 면적보다 증가시켰으며, 도 7의 (c)는 제1 도체 패턴(210c₃)과 제2 도체 패턴(230c₃)을 좌우 대칭이 되도록 상기 입력 포트 및 접지 포트의 면적보다 증가시켰으며, 도 7의 (d)는 제1 도체 패턴(210c₄)과 제2 도체 패턴(230c₄)을 대각선 대칭이 되도록 상기 입력 포트 및 접지 포트의 면적보다 증가시켰으며, 도 7의 (e)는 제1 도체 패턴(210c₅)과 제2 도체 패턴(230c₅)가 서로 비대칭인 임의의 모양으로 상기 입력 포트 및 접지 포트의 면적보다 증가시켰다.
- [0064] 또한 도 7의 (g)에서는 제1 도체 패턴(210c₇)의 전극라인을 제1 도체 패턴(210c₇)과 제2 도체 패턴(230c₇) 사이로 연장시켰다.
- [0065] 도 7의 (a)와 (g)는 제1 도체 패턴(210c₁, 210c₇)과 제2 도체 패턴(230c₁, 230c₇)이 하나의 단수 전극 패턴을 가지며, 도 7의 (b), (c), (d), (e) 및 (f)는 제1 도체 패턴(210c₂, 210c₃, 210c₄, 210c₅, 210c₆)과 제2 도체 패턴(230c₂, 230c₃, 230c₄, 230c₅, 230c₆) 모두가 복수개의 전극 패턴을 갖는다.
- [0066] 도 8은 본 발명에 따른 유전체 블록에 안테나 도체 패턴이 형성된 제4 실시예를 도시한다.
- [0067] 제4 실시예는 유전체 블록의 여러면에 걸쳐서 안테나 도체 패턴이 형성되며, 또한 안테나 도체 패턴은 서로 소정 간격 이격된 제1 도체 패턴과 제2 도체 패턴으로 구성되어 각각 본 발명에 따른 PCB 레이아웃 구조의 입력 포트 및 접지 포트에 접하게 된다.
- [0068] 도 8의 (a)는 제2 도체 패턴(230d₁)이 유전체 블록상에서 인접한 옆면까지 연장되어 2개의 면에 걸쳐서 증가되어 형성되었으며, 도 8의 (b) 및 (e)는 제1 도체 패턴(210d₂, 210d₅)이 유전체 블록상에서 인접한 옆면까지 연장되어 2개의 면에 걸쳐서 증가되어 형성되었으며, 여기서 도 8의 (e)는 제1 도체 패턴이(2105)이 유전체 블록상의 한면에서는 분리되어 형성되고 인접한 다른면에서 다시 합쳐지는 형태로 형성되었다.
- [0069] 또한 도 8의 (c)는 제1 도체 패턴(210d₃)이 한방향으로 유전체 블록의 3개 면에 걸쳐서 증가되어 형성되었고, 도 8의 (d)는 제1 도체 패턴(210d₄)이 한방향으로 유전체 블록의 4개 면에 걸쳐서 증가되어 형성되었다.
- [0070] 도 9는 본 발명에 따른 유전체 블록에 안테나 도체 패턴이 형성된 제5 실시예를 도시한다.
- [0071] 제5 실시예도 유전체 블록의 여러면에 걸쳐서 안테나 도체 패턴이 형성된 경우로서, 제1 도체 패턴(210e)은 두 개의 복수 전극 패턴을 갖으며 유전체 블록의 인접한 두면에 걸쳐서 증가되어 형성되었으며, 제2 도체 패턴(230e)는 한방향으로 유전체 블록의 3개 면에 걸쳐서 증가되어 형성되었다.
- [0072] 도 10은 본 발명에 따른 유전체 블록에 안테나 도체 패턴이 형성된 제6 실시예를 도시하는데, 제1 도체 패턴(210f)과 제2 도체 패턴(230f)에 이격되어 유전체 블록 상에 제3 도체 패턴(250)이 형성되었으며, 제3 도체 패턴(250)은 상기 입력포트 및 접지 포트와 접하는 않는 경우를 나타낸다.
- [0073] 도 11은 본 발명에 따른 유전체 블록에 안테나 도체 패턴이 형성된 제7 실시예를 도시하는데, 도 11의 (a) 내지 (c)에 도시된 바와 같이 제1 도체 패턴(210e₁, 210e₂, 210e₃)와 제2 도체 패턴(230e₁, 230e₂, 230e₃)는 서로 서로 평행하거나 또는 비평행하게 이격되어 다양한 모양으로 그 면적이 조절될 수 있다.
- [0074] 이와 같이 본 발명에서는 유전체 블록의 한면만을 이용하여 안테나 도체 패턴을 형성시킬 수도 있으며, 유전체 블록의 여러면에 걸쳐서 안테나 도체 패턴의 면적을 증가시켜 형성시킬 수도 있다.
- [0075] 또한 상기에서 살펴본 실시예에서는 설명의 편의를 위하여 제1 도체 패턴과 제2 도체 패턴을 구분지었

으나, 실시예 상에 도시된 안테나 도체 패턴에서 제1 도체 패턴과 제2 도체 패턴이 서로 바뀌어서 형성되는 경우도 포함할 수 있다.

[0076] 나아가서 유전체 블록의 여러면에 걸쳐서 안테나 도체 패턴이 형성되는 경우에 상기 실시예에서는 한방향만으로 안테나 도체 패턴이 연장되고 있으나 유전체 블록의 인접한 다면으로 안테나 도체 패턴이 연장되어 그 면적이 증가할 수도 있다.

[0077] 이와 같은 본 발명은, PCB 레이아웃 구조 상의 안테나와 PCB에 장착되는 칩 안테나 중 어느 하나 또는 둘 모두의 안테나 도체 패턴의 면적을 조절함으로써 용이하게 안테나를 튜닝할 수 있으므로 다양한 무선 통신 시스템을 개발하는 과정에서 발생하는 다양한 안테나 성능과 관련된 문제들을 손쉽게 수정할 수 있다.

[0078] 특히 PCB 레이아웃 구조 자체, PCB와 안테나를 포함하는 장치 및 PCB를 제외한 칩 안테나 자체 모두가 안테나 튜닝 요소를 가지고 있으므로 어떠한 조건속에서도 안테나 시스템의 성능을 조절하는 것이 매우 용이해진다.

[0079] 나아가서 본 발명에 따른 PCB 레이아웃 구조 자체가 안테나로서 독립적인 기능을 수행할 수 있으므로 안테나 장치의 튜닝이 더욱 용이해지며, 본 발명의 안테나 장치는 단순한 구조로서 안테나를 1.0mm까지 줄이는 것이 가능하여 안테나의 소형화에 더욱 이바지 할 수 있게 된다.

[0080] 또한 유전체 블록의 한면만을 이용하는 안테나를 제공할 수 있어 유전체 블록의 다면을 이용하는 안테나와 비교하여 더욱 간단하게 칩 안테나의 제조가 가능하며 이로써 안테나 제조 단가를 더욱 낮출 수 있게 된다.

[0081]

[0082] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서 본 발명에 기재된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상이 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의해서 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면의 간단한 설명

[0083] 도 1은 본 발명에 따른 칩 안테나를 위한 PCB 레이아웃 구조의 실시예를 나타내며,

[0084] 도 2는 본 발명에 따른 칩 안테나를 위한 PCB 레이아웃 구조의 다른 실시예를 나타내며,

[0085] 도 3은 본 발명에 따른 PCB 레이아웃 구조에서 입력 포트 및 접지 포트가 다양한 형태로 형성되는 실시예를 도시하며,

[0086] 도 4는 본 발명에 따른 칩 안테나 장치의 실시예에 대한 사시도를 나타내며,

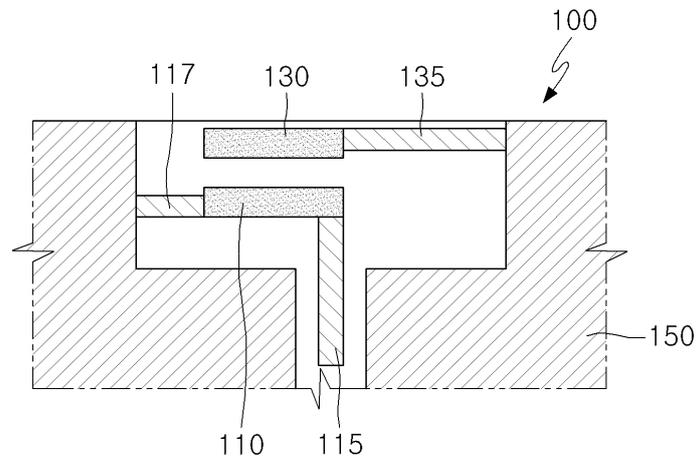
[0087] 도 5 내지 도 11은 본 발명에 따른 다양한 실시예로서 안테나 도체 패턴이 형성된 유전체 블록을 펼친 전개도를 나타낸다.

[0088] <도면의 주요부호에 대한 설명>

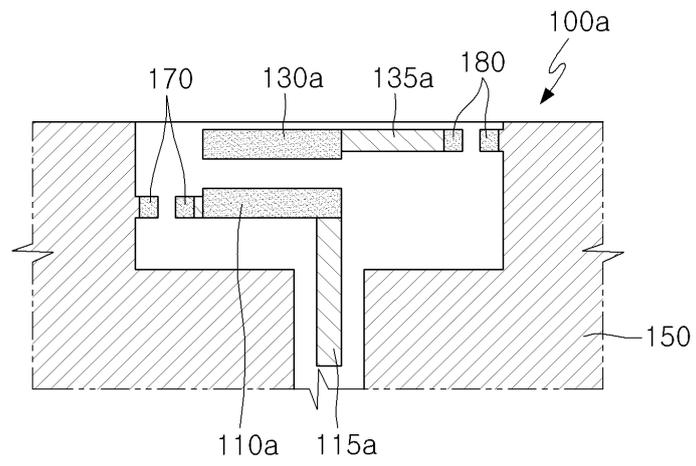
- [0089] 100 : PCB 레이아웃, 110 : 입력 포트,
- [0090] 130 : 접지 포트, 150 : 접지 영역,
- [0091] 170 : 제1 소자 전극, 180 제2 소자 전극,
- [0092] 200 : 유전체 블록, 210 : 제1 도체 패턴,
- [0093] 230 : 제2 도체 패턴.

도면

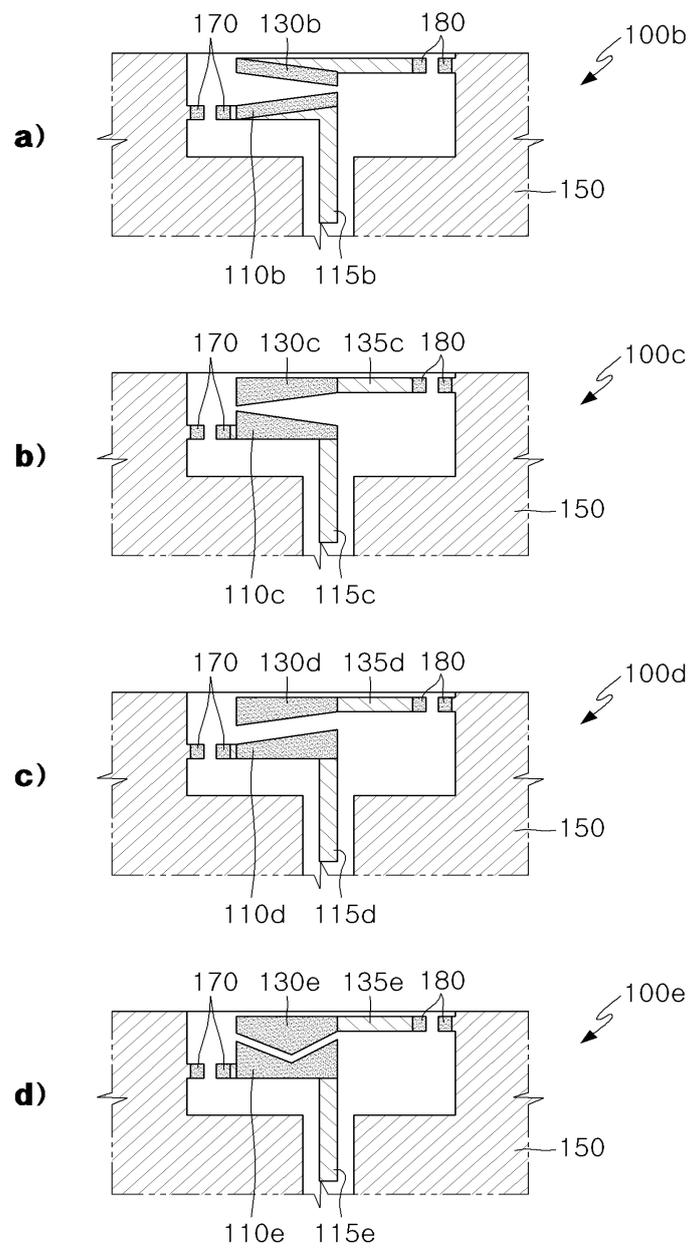
도면1



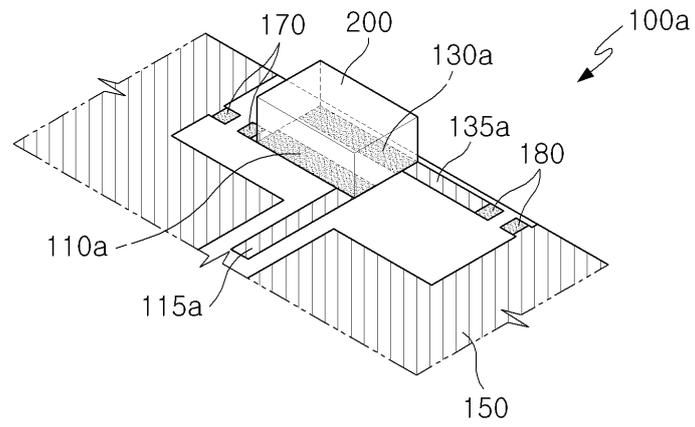
도면2



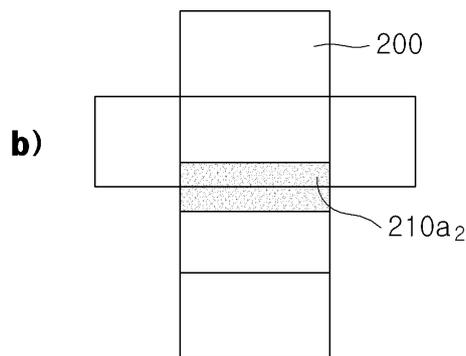
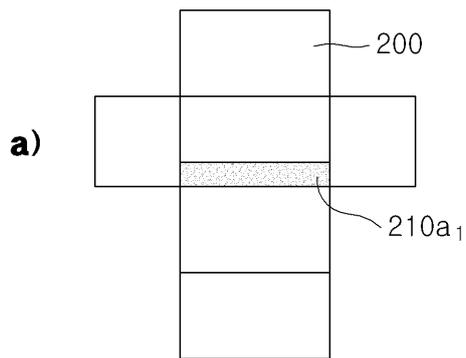
도면3



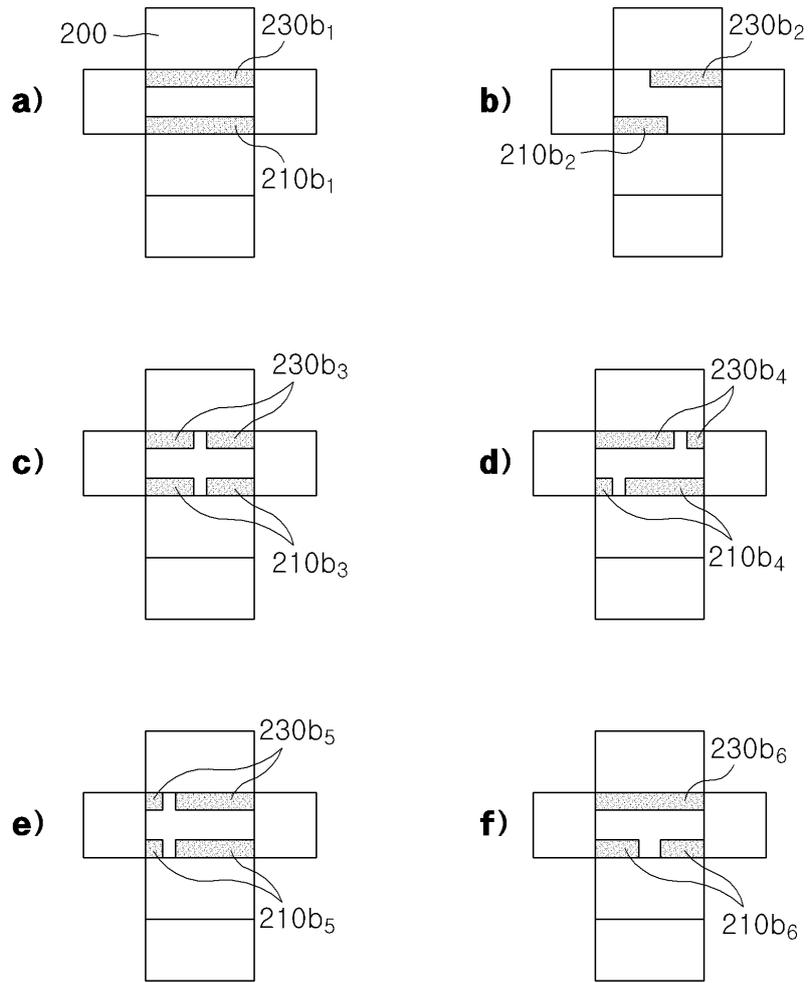
도면4



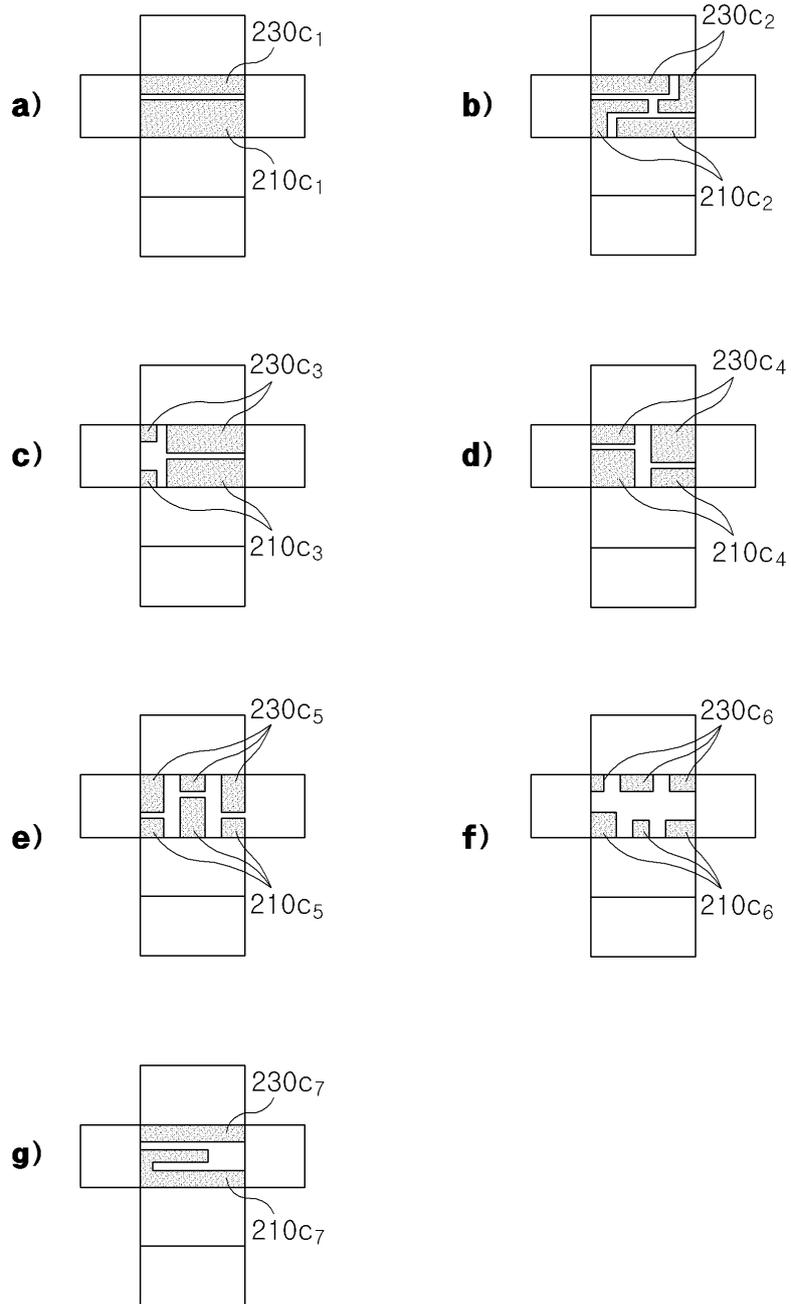
도면5



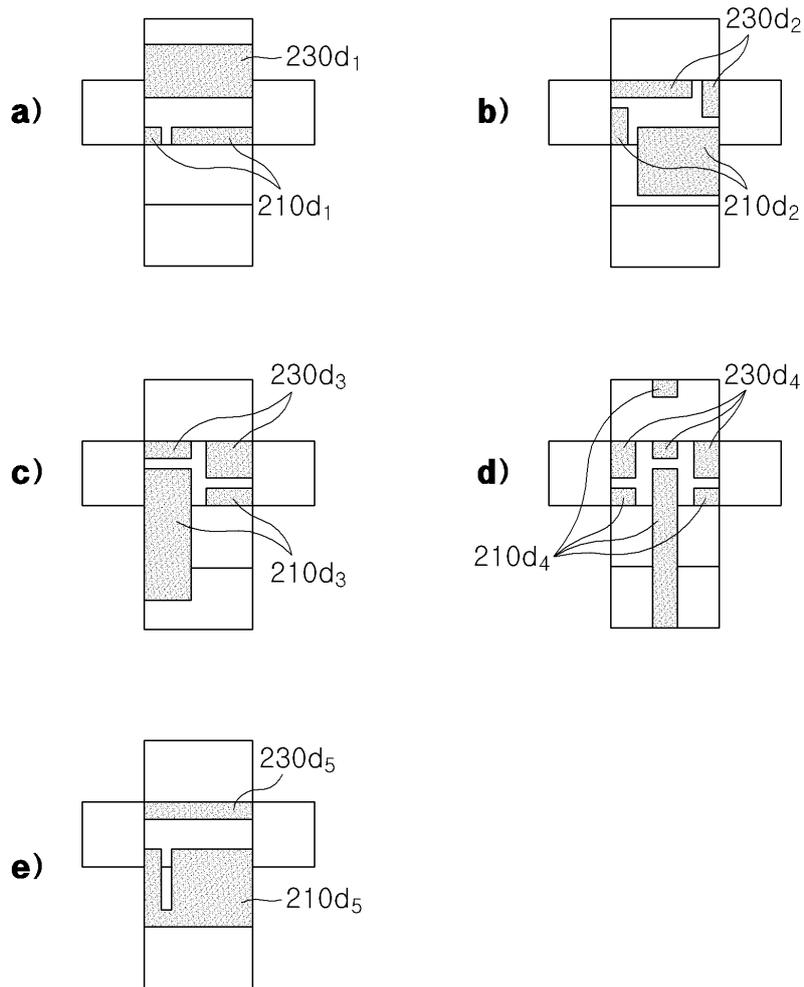
도면6



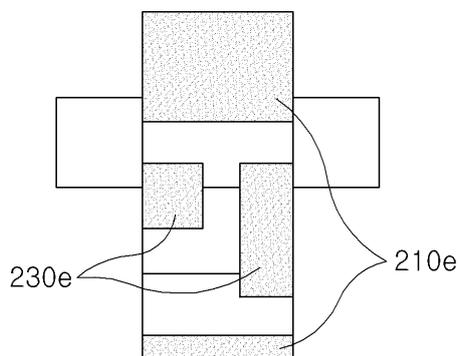
도면7



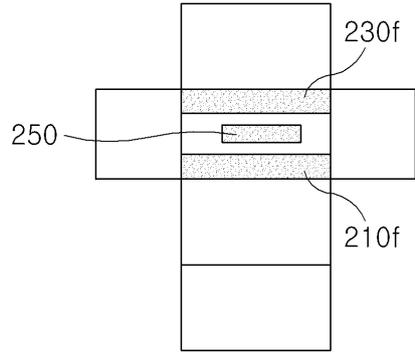
도면8



도면9



도면10



도면11

