



(12) 发明专利

(10) 授权公告号 CN 109037206 B

(45) 授权公告日 2021.03.05

(21) 申请号 201810817024.4

(22) 申请日 2018.07.24

(65) 同一申请的已公布的文献号  
申请公布号 CN 109037206 A

(43) 申请公布日 2018.12.18

(73) 专利权人 深圳市华安半导体有限公司  
地址 518000 广东省深圳市宝安区福海街  
道和平社区凤塘大道162号西乡蚝业  
工业园A栋厂房201

(72) 发明人 不公告发明人

(74) 专利代理机构 深圳峰诚志合知识产权代理  
有限公司 44525  
代理人 李明香

(51) Int. Cl.  
H01L 27/02 (2006.01)

(56) 对比文件

CN 108054164 A, 2018.05.18  
CN 101527304 A, 2009.09.09  
US 2016/0099297 A1, 2016.04.07

审查员 梁健

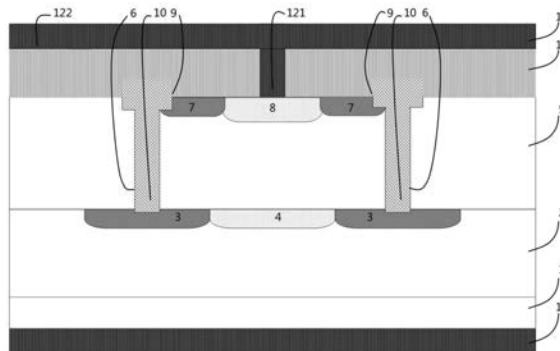
权利要求书2页 说明书11页 附图6页

(54) 发明名称

一种功率器件保护芯片及其制作方法

(57) 摘要

本发明提供了一种功率器件保护芯片及其制作方法,包括:第一导电类型的衬底;第二导电类型的第一外延层;第一导电类型的第一埋层和第二导电类型的第二埋层,形成于所述第一外延层内;第一导电类型的第二外延层;第一导电类型的第一注入区和第二导电类型的第二注入区,形成于所述第二外延层上表面,且所述第一注入区与所述第二注入区相连接;多晶硅层,贯穿所述第二外延层并分别与所述第一注入区和所述第一埋层连接;介质层,形成于所述第二外延层的上表面;第一电极,包括贯穿所述介质层并延伸至所述第二注入区的第一部分和形成于所述介质层表面的第二部分;第二电极,形成于所述衬底的下表面。本发明可提高器件性能降低器件成本。



1. 一种功率器件保护芯片,其特征在于,包括:

第一导电类型的衬底;

第二导电类型的第一外延层,生长于所述衬底上表面;

第一导电类型的第一埋层和第二导电类型的第二埋层,形成于所述第一外延层内,且所述第一埋层和第二埋层的至少部分表面裸露于所述第一外延层上表面,所述第二埋层的掺杂浓度高于所述第一外延层的掺杂浓度;

第一导电类型的第二外延层,形成于所述第一外延层上表面,并且所述第一埋层的掺杂浓度高于所述第二外延层的掺杂浓度;

第一导电类型的第一注入区和第二导电类型的第二注入区,形成于所述第二外延层上表面,且所述第一注入区与所述第二注入区相连接,所述第一注入区的掺杂浓度高于所述第二外延层的掺杂浓度;

多晶硅层,贯穿所述第二外延层并分别与所述第一注入区和所述第一埋层连接;

介质层,形成于所述第二外延层的上表面;

第一电极,包括贯穿所述介质层并延伸至所述第二注入区的第一部分和形成于所述介质层表面的第二部分;

第二电极,形成于所述衬底的下表面并与所述衬底连接;

其中,所述第一埋层包括分别设置于所述第二埋层两侧的第一子埋层和第二子埋层,所述第一注入区包括分别设置于所述第二注入区两侧的第一子注入区和第二子注入区,所述多晶硅层包括与所述第一子埋层和所述第一子注入区连接的第一多晶硅层,以及与所述第二子埋层和所述第二子注入区连接的第二多晶硅层,所述第二埋层与所述第二注入区相对设置。

2. 根据权利要求1所述的功率器件保护芯片,其特征在于,所述第一注入区的掺杂浓度高于所述第一埋层的掺杂浓度。

3. 根据权利要求1所述的功率器件保护芯片,其特征在于,所述第二埋层的掺杂浓度高于所述第二注入区的掺杂浓度。

4. 一种功率器件保护芯片的制作方法,其包括:

在第一导电类型的衬底上表面生长第二导电类型的第一外延层;

在所述第一外延层内形成第一导电类型的第一埋层和第二导电类型的第二埋层,且所述第一埋层和第二埋层的至少部分表面裸露于所述第一外延层上表面,所述第二埋层的掺杂浓度高于所述第一外延层的掺杂浓度;

在所述第一外延层上表面形成第一导电类型的第二外延层,并且所述第一埋层的掺杂浓度高于所述第二外延层的掺杂浓度;

形成贯穿所述第二外延层并延伸至所述第一埋层的第一沟槽,以及形成位于所述第一沟槽上侧并与所述第一沟槽联通的第二沟槽;

在所述第二外延层上表面形成第一导电类型的第一注入区和第二导电类型的第二注入区,且将所述第一注入区连接所述第二注入区,所述第一注入区的掺杂浓度高于所述第二外延层的掺杂浓度;

在所述第一沟槽和所述第二沟槽内形成所述第一埋层连接的多晶硅层,并将所述多晶硅层与所述第一注入区相连接;

在所述第二外延层的上表面形成介质层；

形成第一电极,所述第一电极包括贯穿所述介质层并延伸至所述第二注入区的第一部分和形成于所述介质层表面的第二部分；

在所述衬底的下表面形成与所述衬底连接的第二电极；

其中,所述第一埋层包括分别设置于所述第二埋层两侧的第一子埋层和第二子埋层,所述第一注入区包括分别设置于所述第二注入区两侧的第一子注入区和第二子注入区,所述多晶硅层包括与所述第一子埋层和所述第一子注入区连接的第一多晶硅层,以及与所述第二子埋层和所述第二子注入区连接的第二多晶硅层,将所述第二埋层与所述第二注入区相对设置。

5. 根据权利要求4所述的一种功率器件保护芯片的制作方法,其特征在于,所述第一注入区的掺杂浓度高于所述第一埋层的掺杂浓度。

6. 根据权利要求4所述的一种功率器件保护芯片的制作方法,其特征在于,所述第二埋层的掺杂浓度高于所述第二注入区的掺杂浓度。

## 一种功率器件保护芯片及其制作方法

### 技术领域

[0001] 本发明涉及半导体技术领域,具体涉及一种功率器件保护芯片及其制作方法。

### 背景技术

[0002] 功率器件保护芯片是一种用来保护敏感半导体器件,使其免遭瞬态电压浪涌破坏而特别设计的固态半导体器件,它具有箝位系数小、体积小、响应快、漏电流小和可靠性高等优点,因而在电压瞬变和浪涌防护上得到了广泛的应用。低电容功率器件保护芯片适用于高频电路的保护器件,因为它可以减少寄生电容对电路的干扰,降低高频电路信号的衰减。

[0003] 静电放电以及其他一些电压浪涌形式随机出现的瞬态电压,通常存在于各种电子器件中。随着半导体器件日益趋向小型化、高密度和多功能,电子器件越来越容易受到电压浪涌的影响,甚至导致致命的伤害。从静电放电到闪电等各种电压浪涌都能诱导瞬态电流尖峰功率器件保护芯片通常用来保护敏感电路受到浪涌的冲击。基于不同的应用,功率器件保护芯片可以通过改变浪涌放电通路和自身的箝位电压来起到电路保护作用。

[0004] 目前常用的功率器件保护芯片,如果要进行双向保护则需将多个功率器件保护芯片串联或并联在一起,增大了器件面积和制造成本。

### 发明内容

[0005] 本发明正是基于上述问题,提出了一种功率器件保护芯片及其制作方法,在提高功率器件保护芯片性能的同时降低功率器件保护芯片的制造成本。

[0006] 有鉴于此,本发明实施例一方面提出了一种功率器件保护芯片,该功率器件保护芯片包括:

[0007] 第一导电类型的衬底;

[0008] 第二导电类型的第一外延层,生长于所述衬底上表面;

[0009] 第一导电类型的第一埋层和第二导电类型的第二埋层,形成于所述第一外延层内,且所述第一埋层和第二埋层的至少部分表面裸露于所述第一外延层上表面,所述第二埋层的掺杂浓度高于所述第一外延层的掺杂浓度;

[0010] 第一导电类型的第二外延层,形成于所述第一外延层上表面,并且所述第一埋层的掺杂浓度高于所述第二外延层的掺杂浓度;

[0011] 第一导电类型的第一注入区和第二导电类型的第二注入区,形成于所述第二外延层上表面,且所述第一注入区与所述第二注入区相连接,所述第一注入区的掺杂浓度高于所述第二外延层的掺杂浓度;

[0012] 多晶硅层,贯穿所述第二外延层并分别与所述第一注入区和所述第一埋层连接;

[0013] 介质层,形成于所述第二外延层的上表面;

[0014] 第一电极,包括贯穿所述介质层并延伸至所述第二注入区的第一部分和形成于所述介质层表面的第二部分;

- [0015] 第二电极,形成于所述衬底的下表面并与所述衬底连接。
- [0016] 进一步地,所述第一注入区的掺杂浓度高于所述第一埋层的掺杂浓度。
- [0017] 进一步地,所述第二埋层的掺杂浓度高于所述第二注入区的掺杂浓度。
- [0018] 进一步地,所述第二埋层与所述第二注入区相对设置。
- [0019] 进一步地,所述第一埋层包括分别设置于所述第二埋层两侧的第一子埋层和第二子埋层,所述第一注入区包括分别设置于所述第二注入区两侧的第一子注入区和第二子注入区,所述多晶硅层包括与所述第一子埋层和所述第一子注入区连接的第一多晶硅层,以及与所述第二子埋层和所述第二子注入区连接的第二多晶硅层。
- [0020] 本发明实施例另一方面提供一种功率器件保护芯片的制作方法,该方法包括:
- [0021] 在第一导电类型的衬底上表面生长第二导电类型的第一外延层;
- [0022] 在所述第一外延层内形成第一导电类型的第一埋层和第二导电类型的第二埋层,且所述第一埋层和第二埋层的至少部分表面裸露于所述第一外延层上表面,所述第二埋层的掺杂浓度高于所述第一外延层的掺杂浓度;
- [0023] 在所述第一外延层上表面形成第一导电类型的第二外延层,并且所述第一埋层的掺杂浓度高于所述第二外延层的掺杂浓度;
- [0024] 形成贯穿所述第二外延层并延伸至所述第一埋层的第一沟槽,以及形成位于所述第一沟槽上侧并与所述第一沟槽联通的第二沟槽;
- [0025] 在所述第二外延层上表面形成第一导电类型的第一注入区和第二导电类型的第二注入区,且将所述第一注入区连接所述第二注入区,所述第一注入区的掺杂浓度高于所述第二外延层的掺杂浓度;
- [0026] 在所述第一沟槽和所述第二沟槽内形成所述第一埋层连接的多晶硅层,并将所述多晶硅层与所述第一注入区相连接;
- [0027] 在所述第二外延层的上表面形成介质层;
- [0028] 形成第一电极,所述第一电极包括贯穿所述介质层并延伸至所述第二注入区的第一部分和形成于所述介质层表面的第二部分;
- [0029] 在所述衬底的下表面形成与所述衬底连接的第二电极。
- [0030] 进一步地,所述第一注入区的掺杂浓度高于所述第一埋层的掺杂浓度。
- [0031] 进一步地,所述第二埋层的掺杂浓度高于所述第二注入区的掺杂浓度。
- [0032] 进一步地,将所述第二埋层与所述第二注入区相对设置。
- [0033] 进一步地,所述第一埋层包括分别设置于所述第二埋层两侧的第一子埋层和第二子埋层,所述第一注入区包括分别设置于所述第二注入区两侧的第一子注入区和第二子注入区,所述多晶硅层包括与所述第一子埋层和所述第一子注入区连接的第一多晶硅层,以及与所述第二子埋层和所述第二子注入区连接的第二多晶硅层。
- [0034] 本发明实施例的技术方案通过在第一导电类型的衬底上表面生长第二导电类型的第一外延层;在所述第一外延层内形成第一导电类型的第一埋层和第二导电类型的第二埋层,且所述第一埋层和第二埋层的至少部分表面裸露于所述第一外延层上表面,所述第二埋层的掺杂浓度高于所述第一外延层的掺杂浓度;在所述第一外延层上表面形成第一导电类型的第二外延层,并且所述第一埋层的掺杂浓度高于所述第二外延层的掺杂浓度;形成贯穿所述第二外延层并延伸至所述第一埋层的第一沟槽,以及形成位于所述第一沟槽上

侧并与所述第一沟槽联通的第二沟槽；在所述第二外延层上表面形成第一导电类型的第一注入区和第二导电类型的第二注入区，且将所述第一注入区连接所述第二注入区，所述第一注入区的掺杂浓度高于所述第二外延层的掺杂浓度；在所述第一沟槽和所述第二沟槽内形成所述第一埋层连接的多晶硅层，并将所述多晶硅层与所述第一注入区相连接；在所述第二外延层的上表面形成介质层；形成第一电极，所述第一电极包括贯穿所述介质层并延伸至所述第二注入区的第一部分和形成于所述介质层表面的第二部分；在所述衬底的下表面形成与所述衬底连接的第二电极。本发明的技术方案降低了器件制作工艺难度，大大减小了寄生电容，使得器件的保护特性和可靠性都得到了提升。

## 附图说明

[0035] 为了更清楚地说明本发明实施例的技术方案，下面对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图是本发明的一些实施例，对于本领域普通技术人员来说，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0036] 图1是本发明的一个实施例提供的功率器件保护芯片的制作方法的流程示意图；

[0037] 图2是本发明的一个实施例提供的功率器件保护芯片的结构示意图；

[0038] 图3至图10是本发明的一个实施例提供的功率器件保护芯片的制作方法步骤的结构示意图；

[0039] 图11是本发明的一个实施例提供的功率器件保护芯片结构的等效电路图；

[0040] 图中：1、衬底；2、第一外延层；3、第一埋层；4、第二埋层；5、第二外延层；6、第一沟槽；7、第一注入区；8、第二注入区；9、第二沟槽；10、多晶硅层；11、介质层；12、第一电极；121、第一部分；122、第二部分；13、第二电极；a1、第一二极管；b1、第二二极管；c1、第三二极管；a2、第四二极管；b2、第五二极管；c2、第六二极管。

## 具体实施方式

[0041] 以下将参阅附图更详细地描述本发明。在各个附图中，相同的元件使用类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。此外，可能未示出某些公知的部分。为了简明起见，可以在一幅图中描述经过数个步骤后获得的半导体结构。

[0042] 应当理解，在描述器件的结构时，当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时，可以指直接位于另一层、另一个区域上面，或者在其与另一层、另一个区域之间还包含其它的层或区域。并且，如果将器件翻转，该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

[0043] 如果为了描述直接位于另一层、另一个区域上面的情形，本文将使用“A直接在B上面”或“A在B上面并与之邻接”的表述方法。在本申请中，“A直接位于B中”表示A位于B中，并且A与B直接邻接，而非A位于B中形成的掺杂区中。

[0044] 在本申请中，术语“半导体结构”指在制造半导体器件的各个步骤中形成的整个半导体结构的统称，包括已经形成的所有层或区域。

[0045] 在下文中描述了本发明的许多特定的细节，例如器件的结构、材料、尺寸、处理方法和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。

[0046] 下面参阅附图,对一种功率器件保护芯片的制作方法加以详细阐述。

[0047] 以下结合图1至图10对本发明实施例提供一种功率器件保护芯片及其制作方法进行详细说明。

[0048] 本发明实施例提供一种功率器件保护芯片的制作方法,如图1和图2所示,该功率器件保护芯片的制作方法包括:

[0049] 步骤S1:在第一导电类型的衬底1上表面生长第二导电类型的第一外延层2;

[0050] 步骤S2:在所述第一外延层2内形成第一导电类型的第一埋层3和第二导电类型的第二埋层4,且所述第一埋层3和第二埋层4的至少部分表面裸露于所述第一外延层2上表面,所述第二埋层4的掺杂浓度高于所述第一外延层2的掺杂浓度;

[0051] 步骤S3:在所述第一外延层2上表面形成第一导电类型的第二外延层5,并且所述第一埋层3的掺杂浓度高于所述第二外延层5的掺杂浓度;

[0052] 步骤S4:形成贯穿所述第二外延层5并延伸至所述第一埋层3的第一沟槽6,以及形成位于所述第一沟槽6上侧并与所述第一沟槽6联通的第二沟槽9;

[0053] 步骤S5:在所述第二外延层5上表面形成第一导电类型的第一注入区7和第二导电类型的第二注入区8,且将所述第一注入区7连接所述第二注入区8,所述第一注入区7的掺杂浓度高于所述第二外延层5的掺杂浓度;

[0054] 步骤S6:在所述第一沟槽6和所述第二沟槽9内形成所述第一埋层3连接的多晶硅层10,并将所述多晶硅层10与所述第一注入区7相连接;

[0055] 步骤S7:在所述第二外延层5的上表面形成介质层11;

[0056] 步骤S8:形成第一电极12,所述第一电极12包括贯穿所述介质层11并延伸至所述第二注入区8的第一部分121和形成于所述介质层11表面的第二部分122;在所述衬底1的下表面形成与所述衬底1连接的第二电极13。

[0057] 具体地,所述第一导电类型为P型掺杂和N型掺杂中的一种,所述第二导电类型为P型掺杂与N型掺杂中的另一种。

[0058] 为方便描述,特在此说明:所述第一导电类型可以为N型掺杂,从而所述第二导电类型为P型掺杂;所述第一导电类型还可以为P型掺杂,从而所述第二导电类型为N型掺杂。可以理解的是,当所述第一导电类型为P型掺杂,所述第二导电类型为N型掺杂时,所述衬底1、所述第一埋层3、所述第二外延层5和所述第一注入区7均为P型掺杂,所述第一外延层2、所述第二埋层4和所述第二注入区8均为N型外延层。当所述第一导电类型为N型掺杂,所述第二导电类型为P型掺杂时,所述衬底1、所述第一埋层3、所述第二外延层5和所述第一注入区7均为N型掺杂,所述第一外延层2、所述第二埋层4和所述第二注入区8均为P型外延层。在接下来的实施例中,均以所述第一导电类型为P型掺杂,所述第二导电类型为N型掺杂为例进行描述,但并不对此进行限定。

[0059] 具体地,P型衬底和P型外延都属于P型半导体,N型衬底和N型外延都属于N型半导体。所述P型半导体为掺杂三价元素的硅片,例如硼元素或镓元素或铝元素或三者的任意组合。所述N型半导体为掺杂五价元素的硅片,例如磷元素或砷元素或两者的任意组合。

[0060] 请参阅附图3,执行步骤S1,具体为:在第一导电类型的衬底1上表面生长第二导电类型的第一外延层2。其中,在第一导电类型的衬底1上表面生长第二导电类型的第一外延层2的方式不限于固定的一种方式,可以在所述衬底1上表面使用外延生长形成,还可以通

过离子注入和/或扩散的方法在所述衬底1上表面形成所述第一外延层2。进一步地,可以在所述衬底1上表面使用外延生长形成,还可以通过离子注入和/或扩散磷元素或砷元素或两者的任意组合的方法在所述衬底1上表面形成所述第一外延层2。具体地,所述外延或扩散的方法包括沉积工艺。在本发明的一些实施例中,可以使用沉积工艺在所述衬底1上表面形成所述第一外延层2,例如,沉积工艺可以是选自电子束蒸发、化学气相沉积、原子层沉积、溅射中的一种。优选的,在所述衬底1上使用化学气相沉积形成第一外延层2,化学气相沉积包括气相外延工艺。在生产中,化学气相沉积大多使用气相外延工艺,在所述衬底1上表面使用气相外延工艺形成第一外延层2,气相外延工艺可以提高硅材料的完美性,提高器件的集成度,达到提高少子寿命,减少储存单元的漏电流。优选的,所述第一外延层2和所述衬底1同为硅材料制成,使得所述衬底1和所述第一外延层2有相同晶体结构的硅表面,从而保持对杂质类型和浓度的控制。另外,所述第一外延层2在优化PN结的击穿电压的同时降低了串联电阻,在适中的电流强度下提高了器件速度。

[0061] 请参阅附图4,执行步骤S2,具体为:在所述第一外延层2内形成第一导电类型的第一埋层3和第二导电类型的第二埋层4,且所述第一埋层3和第二埋层4的至少部分表面裸露于所述第一外延层2上表面,所述第二埋层4的掺杂浓度高于所述第一外延层2的掺杂浓度。所述第一埋层3和所述第二埋层4可以通过外延生长形成,还可以通过离子注入和/或扩散的方法形成。进一步地,所述第一埋层3可以通过外延生长形成,还可以通过离子注入和/或扩散磷元素或砷元素或两者的任意组合的方法形成。同理,所述第二埋层4可以通过外延生长形成,还可以通过离子注入和/或扩散硼元素或铟元素或铝元素或三者的任意组合的方法形成。优选的,可以使用离子注入的方法形成所述第一埋层3和所述第二埋层4,通过离子注入形成所述第一埋层3和所述第二埋层4能精确控制杂质的总剂量、深度分布和面均匀性,可防止原来杂质的再扩散等,同时可实现自对准技术,以减小电容效应。在本发明的一些实施例中,所述第一埋层3和所述第二埋层4的至少部分表面裸露于所述第一外延层2的上表面,即所述第一埋层3和所述第二埋层4的上表面裸露于所述第一外延层2。

[0062] 请参阅附图5,执行步骤S3,具体为:在所述第一外延层2上表面形成第一导电类型的第二外延层5,并且所述第一埋层3的掺杂浓度高于所述第二外延层5的掺杂浓度。其中,在所述第一外延层2上表面形成第一导电类型的第二外延层5的方式不限于固定的一种方式,可以使用外延、扩散和/或注入的方法形成所述第二外延层5,具体地,所述外延或扩散的方法包括沉积工艺。进一步地,可以使用外延、扩散和/或注入磷元素或砷元素或两者的任意组合的方法形成所述第二外延层5。在本发明的一些实施例中,使用沉积工艺在所述第一外延层2上表面形成第二外延层5,例如,沉积工艺可以是选自电子束蒸发、化学气相沉积、原子层沉积、溅射中的一种。其中,化学气相沉积包括气相外延工艺,优选的,在所述第一外延层2上表面使用气相外延工艺形成第二外延层5,气相外延工艺可以提高硅材料的完美性,提高器件的集成度,达到提高少子寿命,减少储存单元的漏电流。所述第二外延层5将所述第一外延层2的上表面覆盖,并设有一定的厚度。

[0063] 进一步地,所述第一埋层3的掺杂浓度与所述第二外延层5的掺杂浓度不同。优选的,所述第一埋层3的掺杂浓度高于所述第二外延层5的掺杂浓度,且所述第一埋层3为重掺杂,使得所述第一埋层3的电阻率低于所述第二外延层5的电阻率,电流会沿着电阻率低的埋层到所述第一外延层2下侧,而不会外溢到所述第二外延层5中,形成并联的支路。



[0064] 请参阅附图6和图8,执行步骤S4,具体为:形成贯穿所述第二外延层5并延伸至所述第一埋层3的第一沟槽6,以及形成位于所述第一沟槽6上侧并与所述第一沟槽6联通的第二沟槽9。在本发明的一些实施例中,在所述第二外延层5的上表面制备掩膜材料,所述掩膜材料具体为第一光刻胶,在所述第一光刻胶层上通过刻蚀形成贯穿所述第二外延层5并延伸至所述第一埋层3的第一沟槽6,再去掉所述第一光刻胶。其中,刻蚀的方法包括干法刻蚀和湿法刻蚀,优选的,使用的刻蚀的方法为干法刻蚀,干法刻蚀包括光挥发、气相腐蚀、等离子体腐蚀等,且干法刻蚀易实现自动化、处理过程未引入污染、清洁度高。在本发明的一些实施例中,所述第一沟槽6的底面与所述第一埋层3相连接,例如,所述第一沟槽6的底面可以延伸到所述第一埋层3中,所述第一沟槽6的底面还可以与所述第一埋层3的上表面连接,保证所述第一沟槽6的底面与所述第一埋层3接触。进一步地,在所述第一沟槽6上侧形成与所述第一沟槽6同轴的第二沟槽9,并且所述第二沟槽9的内径大于所述第一沟槽6的内径。所述第二沟槽9位于所述第二外延层5内,并且所述第二沟槽9的一侧与所述第一注入区7相连接。需要说明的是,所述第一沟槽6与所述第二沟槽9相互连通,用于更迅速有效地在所述第一沟槽6和所述第二沟槽9内填充材料。关于所述第一沟槽6和所述第二沟槽9的形状,本领域技术人员可以根据器件的电学性能选择不同形状的沟槽,所述第一沟槽6和所述第二沟槽9的形状可以为矩形沟槽,也可以方形沟槽,还可以为U型沟槽,甚至可以为球底沟槽,等等。

[0065] 请参阅附图7,执行步骤S5,具体地,在所述第二外延层5上表面形成第一导电类型的第一注入区7和第二导电类型的第二注入区8,且将所述第一注入区7连接所述第一注入区7,所述第一注入区7的掺杂浓度高于所述第二外延层5的掺杂浓度。在本发明的一些实施例中,在所述第二外延层5的上表面制备掩膜材料,所述掩膜材料具体为第二光刻胶,在所述第二光刻胶层上通过光刻的方法分别在所述第二外延层5内形成第一导电类型的第一注入区7和第二导电类型的第二注入区8,其中,所述第一注入区7与所述第二注入区8相邻且部分连接。在所述第二光刻胶层的上表面使用离子注入和/或扩散的方法形成第一导电类型的第一注入区7和第二导电类型的第二注入区8,再去掉所述第二光刻胶层。进一步地,在所述第二光刻胶层的上表面使用离子注入和/或扩散硼元素或镉元素或铝元素或三者的任意组合的方法形成第一导电类型的第一注入区7;同时还在所述第二光刻胶层的上表面使用离子注入和/或扩散磷元素或砷元素或两者的任意组合的方法形成第二导电类型的第二注入区8,最后再去掉所述第二光刻胶层。

[0066] 进一步地,所述第二埋层4与所述第二注入区8相对设置。优选的,将所述第二埋层4设置于所述第一注入区7的正下方,并将所述第二注入区8设置于所述第一注入区7的中间,以形成电流依次从所述第二注入区8、所述第一注入区7、所述第二外延层5以及所述第二埋层4的导电通路。所述第一注入区7的掺杂浓度与所述第二外延层5的掺杂浓度不同。优选的,所述第一注入区7的掺杂浓度高于所述第二外延层5的掺杂浓度,电流通过时,掺杂浓度高的所述第一注入区7先于所述第二外延层5导通,从而形成所述电流通过所述第二注入区8和所述第一注入区7,形成PN结。

[0067] 进一步地,所述第一注入区7的掺杂浓度与所述第一埋层3的掺杂浓度不同。优选的,所述第一注入区7的掺杂浓度高于所述第一埋层3的掺杂浓度,以便于调整所述功率器件保护芯片的击穿电压。

[0068] 进一步地,所述第二注入区8的掺杂浓度与所述第二埋层4的掺杂浓度不同。优选的,所述第二埋层4的掺杂浓度高于所述第二注入区8的掺杂浓度,以便于调整所述功率器件保护芯片的击穿电压。

[0069] 请参阅附图9,执行步骤S6,具体地:在所述第一沟槽6和所述第二沟槽9内形成所述第一埋层3连接的多晶硅层10,并将所述多晶硅层10与所述第一注入区7相连接。由于所述第一沟槽6与所述第二沟槽9联通,在所述第一沟槽6和所述第二沟槽9内通过外延、扩散和/或注入的方法形成所述多晶硅层10,优选的,所述多晶硅层10中的多晶硅具体为掺杂多晶硅,掺杂多晶硅降低了大电流下开启电压,还可以通过调节多晶硅掺杂浓度,能达到提高击穿电压的效果。在所述第一沟槽6和所述第二沟槽9内填充多晶硅,使得所述多晶硅层10形成分别与所述第一埋层3和所述第一注入区7电连接的导电通道。进一步地,所述多晶硅层10是通过本征多晶硅掺杂磷离子或硼离子形成的,本领域技术人员可以根据器件的结构选择不同的掺杂多晶硅类型,所述多晶硅层10中的多晶硅可以是P型多晶硅,也可以是N型多晶硅。具体地,所述外延、扩散和/或注入的方法包括沉积工艺。在本发明的一些实施例中,可以使用沉积工艺在所述衬底1上表面形成所述第一外延层2,例如,沉积工艺可以是选自电子束蒸发、化学气相沉积、原子层沉积、溅射中的一种。优选的,在所述衬底1上使用低压化学气相沉积(简称LPCVD,即Low Pressure Chemical Vapor Deposition)形成所述多晶硅层10,形成的所述多晶硅层10的纯度高,均匀性好。

[0070] 请参阅附图9,执行步骤S7,具体地:在所述第二外延层5的上表面形成介质层11。在所述第二外延层5的上表面形成介质层11。所述介质层11的材料为氧化硅或氮化硅或氮氧化硅,具体可以通过采用溅射或热氧化法或化学气相沉积工艺形成所述介质层11。优选的,所述介质层11为热氧化形成的氧化硅层,在后续的掺杂步骤中,所述氧化硅层作为保护层,并且将作为最终器件的层间绝缘层。另外,所述介质层11设有一定的厚度,使得所述介质层11起到隔离电流和绝缘的作用。

[0071] 进一步地,所述多晶硅层10的一端贯穿所述第二外延层5并延伸至所述第一埋层3,另一端分别与所述第一注入区7和所述介质层11连接。需要说明的是,所述多晶硅层10先在所述第一沟槽6内形成,再在所述第二沟槽9内形成,并且所述多晶硅层10的上表面高于所述第二外延层5的上表面,使得所述多晶硅层10不仅与所述第一注入区7连接,还与所述介质层11连接。

[0072] 请参阅附图10,执行步骤S8,具体为:形成第一电极12,所述第一电极12包括贯穿所述介质层11并延伸至所述第二注入区8的第一部分121和形成于所述介质层11表面的第二部分122;在所述衬底1的下表面形成与所述衬底1连接的第二电极13。首先,通过刻蚀形成贯穿所述介质层11并延伸至所述第二注入区8的第一接触孔(图未示)。优选的,通过干法刻蚀形成所述第一接触孔,干法刻蚀包括光挥发、气相腐蚀、等离子体腐蚀等,且干法刻蚀易实现自动化、处理过程未引入污染、清洁度高。向所述第一接触孔内填充金属材料,形成第一部分121,并在所述介质层11上表面覆盖金属材料,以形成第二部分122。所述第一部分121和所述第二部分122形成相互连通的第一金属层,即第一电极12。所述第一电极12通过所述第一部分121与所述第二注入区8电连接,使得电路流向所述第二注入区8与所述第一注入区7形成的通路,以形成PN结。另外,将所述衬底1下表面进行金属化,形成第二金属层,从而形成与所述衬底1电连接的第二电极13。所述电流通过所述衬底1沿着所述第二

电极13流向外部电路。

[0073] 进一步地,所述第一埋层3包括分别设置于所述第二埋层4两侧的第一子埋层和第二子埋层,所述第一注入区7包括分别设置于所述第二注入区8两侧的第一子注入区和第二子注入区,所述多晶硅层10包括与所述第一子埋层和所述第一子注入区连接的第一多晶硅层10,以及与所述第二子埋层和所述第二子注入区连接的第二多晶硅层10,使得整个所述功率器件保护芯片形成对称的器件结构,在电流依次通过所述第一电极12、第二注入区8、第二外延层5、第二埋层4、第一外延层2、衬底1以及第二电极13所形成的导电通路之外,分别形成左右两侧相对称的支路。

[0074] 可以理解的是,所述第一沟槽6为深沟槽,通过在所述第一沟槽6和所述第二沟槽9内形成分别与所述第一埋层3和所述第一注入区7电连接的所述多晶硅层10,将所述多晶硅层10形成导电通道,用于导电,并将所述第一注入区7与所述第一埋层3电连接,形成一条并联的导电通路。另外,所述第一埋层3和所述多晶硅层10对称地分布设置,形成了3路双向的并联等效电路,由于二极管的单向导电性并且具有较小节电容,有效地减小了接入电容,从而能够在高频电路中减小器件的寄生电容。

[0075] 下面参阅附图,对一种功率器件保护芯片加以详细阐述。

[0076] 如图2所示,本发明实施提供一种功率器件保护芯片,所示功率器件保护芯片包括:

[0077] 第一导电类型的衬底1;

[0078] 第二导电类型的第一外延层2,生长于所述衬底1上表面;

[0079] 第一导电类型的第一埋层3和第二导电类型的第二埋层4,形成于所述第一外延层2内,且所述第一埋层3和第二埋层4的至少部分表面裸露于所述第一外延层2上表面,所述第二埋层4的掺杂浓度高于所述第一外延层2的掺杂浓度;

[0080] 第一导电类型的第二外延层5,形成于所述第一外延层2上表面,并且所述第一埋层3的掺杂浓度高于所述第二外延层5的掺杂浓度;

[0081] 第一导电类型的第一注入区7和第二导电类型的第二注入区8,形成于所述第二外延层5上表面,且所述第一注入区7与所述第二注入区8相连接,所述第一注入区7的掺杂浓度高于所述第二外延层5的掺杂浓度;

[0082] 多晶硅层10,贯穿所述第二外延层5并分别与所述第一注入区7和所述第一埋层3连接;

[0083] 介质层11,形成于所述第二外延层5的上表面;

[0084] 第一电极12,包括贯穿所述介质层11并延伸至所述第二注入区8的第一部分121和形成于所述介质层11表面的第二部分122;

[0085] 第二电极13,形成于所述衬底1的下表面并与所述衬底1连接。

[0086] 具体地,所述第一导电类型为P型掺杂和N型掺杂中的一种,所述第二导电类型为P型掺杂与N型掺杂中的另一种。

[0087] 为方便描述,特在此说明:所述第一导电类型可以为N型掺杂,从而所述第二导电类型为P型掺杂;所述第一导电类型还可以为P型掺杂,从而所述第二导电类型为N型掺杂。可以理解的是,当所述第一导电类型为P型掺杂,所述第二导电类型为N型掺杂时,所述衬底1、所述第一埋层3、所述第二外延层5和所述第一注入区7均为P型掺杂,所述第一外延层2、

所述第二埋层4和所述第二注入区8均为N型外延层。当所述第一导电类型为N型掺杂,所述第二导电类型为P型掺杂时,所述衬底1、所述第一埋层3、所述第二外延层5和所述第一注入区7均为N型掺杂,所述第一外延层2、所述第二埋层4和所述第二注入区8均为P型外延层。在接下来的实施例中,均以所述第一导电类型为P型掺杂,所述第二导电类型为N型掺杂为例进行描述,但并不对此进行限定。

[0088] 具体地,P型衬底和P型外延都属于P型半导体,N型衬底和N型外延都属于N型半导体。所述P型半导体为掺杂三价元素的硅片,例如硼元素或镓元素或铝元素或三者的任意组合。所述N型半导体为掺杂五价元素的硅片,例如磷元素或砷元素或两者的任意组合。

[0089] 在本发明的一些实施例中,如图2所示,所述功率器件保护芯片包括第一导电类型的衬底1以及第二导电类型的第一外延层2,所述第一外延层2生长于所述衬底1上表面。具体地,所述衬底1为集成电路中的载体,所述衬底1起到支撑的作用,所述衬底1也参与所述集成电路的工作。所述衬底1可以为硅衬底,也可以为蓝宝石衬底,还可以为碳化硅衬底,甚至可以为硅锗衬底,优选的,所述衬底1为硅衬底,这是因为硅衬底材料具有低成本、大尺寸、可导电的特点,避免了边缘效应,能够大幅度提高良率。所述第二导电类型的第一外延层2生长于所述第一导电类型的衬底1上表面,同时发生反应,当电流依次通过所述第一外延层2和所述衬底1时,形成PN结。

[0090] 在本发明的一些实施例中,如图2所示,所述功率器件保护芯片还包括第一导电类型的第一埋层3和第二导电类型的第二埋层4,所述第一埋层3和所述第二埋层4均形成于所述第一外延层2内,且所述第一埋层3和所述第二埋层4的至少部分表面裸露于所述第一外延层2上表面,所述第二埋层4的掺杂浓度高于所述第一外延层2的掺杂浓度。进一步地,所述第一埋层3和所述第二埋层4相邻,并且所述第一埋层3和所述第二埋层4可以相互间隔,也可以相互连接。另外,所述第一埋层3和所述第二埋层4均为重掺杂,从而降低了所述第一埋层3和所述第二埋层4的电阻率。优选的,所述第二埋层4的掺杂浓度高于所述第一外延层2的掺杂浓度,电流会沿着电阻率低的所述第二埋层4到所述第一外延层2下侧,从而改变了电流路径,相当于减小了串联电阻。

[0091] 在本发明的一些实施例中,如图2所示,所述功率器件保护芯片还包括第一导电类型的第二外延层5,所述第二外延层5形成于所述第一外延层2上表面。所述第一外延层2和所述第二外延层5的厚度取决于所要实现的半导体器件的物理尺寸以及所述器件制造过程中的硅损耗。所述第二外延层5生长于所述第一外延层2上表面,起到了降低半导体器件中PN结的漏电流的作用。

[0092] 在本发明的一些实施例中,如图2所示,所述功率器件保护芯片还包括第一导电类型的第一注入区7和第二导电类型的第二注入区8,所述第一注入区7和所述第二注入区8形成于所述第二外延层5上表面,且所述第一注入区7与所述第二注入区8相连接,所述第一注入区7的掺杂浓度高于所述第二外延层5的掺杂浓度。在本发明的一些实施例中,所述第一注入区7和所述第二注入区8均为重掺杂,由于所述第一注入区7和所述第二注入区8的导电类型不同,因此所述第一注入区7和所述第二注入区8进行反应,从而形成高掺杂浓度的PN结。需要说明的是,所述第一注入区7和所述第二注入区8相邻且部分连接,使得电流沿着所述第一注入区7和所述第二注入区8形成的PN结形成并联的支路。进一步地,所述第一注入区7的掺杂浓度高于所述第一埋层3的掺杂浓度。进一步地,所述第二埋层4的掺杂浓度高于

所述第二注入区8的掺杂浓度。进一步地,所述第二埋层4与所述第二注入区8相对设置。

[0093] 在本发明的一些实施例中,如图2所示,所述功率器件保护芯片还包括多晶硅层10,所述多晶硅层10贯穿所述第二外延层5并分别与所述第一注入区7和所述第一埋层3连接。所述功率器件保护芯片甚至是半导体器件大多用单晶硅制成,所述多晶硅层10分别电连接所述第一注入区7和所述第一埋层3,电流在通过所述第一注入区7之后直接流入所述第一埋层3,使得放电效率更高。具体地,所述多晶硅层10在单晶硅中具有很高的兼容性。

[0094] 在本发明的一些实施例中,如图2所示,所述功率器件保护芯片还包括介质层11,所述介质层11形成于所述第二外延层5的上表面。所述介质层11用于隔离所述第二外延层5。

[0095] 进一步地,所述多晶硅层10的一端贯穿所述第二外延层5并延伸至所述第一埋层3,另一端分别与所述第一注入区7和所述介质层11连接。所述多晶硅层10的一端贯穿所述第二外延层5并延伸至所述第一埋层3,可以是所述多晶硅层10的一端贯穿所述第二外延层5并延伸至所述第一埋层3中,也可以是所述多晶硅层10的一端贯穿所述第二外延层5并延伸至所述第一埋层3的上表面,保证所述多晶硅的一端与所述第一埋层3接触。更具体地,所述多晶硅层10的另一端从所述第二外延层5上表面延伸至所述介质层11中,形成高于所述第二外延层5表面的一凸起,在本发明的一个实施例中,所述凸起为方形或矩形。所述凸起与所述介质层11接触,并且所述多晶硅层10的凸起的一侧与所述第一注入区7连接,由于所述介质层11绝缘,因此所述多晶硅层10的另一端与所述第一注入区7电连接。

[0096] 在本发明的一些实施例中,如图2所示,所述功率器件保护芯片还包括第一电极12,所述第一电极12包括贯穿所述介质层11并延伸至所述第二注入区8的第一部分121和形成于所述介质层11表面的第二部分122;所述功率器件保护芯片还包括第二电极13,所述第二电极13形成于所述衬底1的下表面并与所述衬底1连接。在本发明的一些实施例中,所述第一部分121贯穿所述介质层11并延伸至所述第二注入区8,可以是所述第一部分121贯穿所述介质层11并延伸至所述第二注入区8中,也可以是所述第一部分121贯穿所述介质层11并延伸至所述第二注入区8的上表面,保证所述第一部分121与所述第二注入区8接触。所述第一电极12具体为第一金属层,所述第二电极13具体为第二金属层,所述第一部分121和所述第二部分122内填充有金属材料,所述第一部分121和所述第二部分122联通并共同形成所述第一金属层。所述第一金属层和所述第二金属层设有一定厚度。所述第二金属层与所述衬底1形成电连接的关系。

[0097] 进一步地,所述第一埋层3包括分别设置于所述第二埋层4两侧的第一子埋层和第二子埋层,所述第一注入区7包括分别设置于所述第二注入区8两侧的第一子注入区和第二子注入区,所述多晶硅层10包括与所述第一子埋层和所述第一子注入区连接的第一多晶硅层10,以及与所述第二子埋层和所述第二子注入区连接的第二多晶硅层10,所述功率器件保护芯片整体结构对称且为第一原胞。

[0098] 请参阅图11所示的功率器件保护芯片结构的等效电路图。当向所述第一电极12和所述第二电极13通电时,所述电流从所述第一电极12流向所述第二电极13。需要说明的是,以下形成的PN结的正向和反向均以第一导电类型设为P型,所述第二导电类型设为N型为本发明的一个实施例来进行判断,但并不对此限定。电流依次通过所述第一电极12、所述第二注入区8、所述第二外延层5、所述第二埋层4、所述第一外延层2、所述衬底1和所述第二电极

13,形成一条主电路。所述第二注入区8和所述第二外延层5形成反向的PN结,因此形成反向的第一二极管a1。所述第二外延层5和所述第二埋层4形成一正向的PN结,因此形成正向的第二二极管b1。所述第一外延层2和所述衬底1形成一反向的PN结,因此形成反向的第三二极管c1。所述主电路中形成了由三个二极管组成的等效电路。电流在依次通过所述第一电极12和所述第二注入区8时,由于所述第一注入区7和所述多晶硅层10的作用使得电流在依次通过所述第二注入区8之后分流到所述多晶硅层10中,再依次通过所述第一注入区7、所述多晶硅层10、所述第一埋层3、所述第一外延层2、所述衬底1和所述第二电极13,形成一条并联的第一分电路。所述第二注入区8和所述第一注入区7形成反向的PN结,因此形成了反向的第四二极管a2。所述第一埋层3与所述第一外延层2形成正向的PN结,因此形成了正向的第五二极管b2。所述第一外延层2与所述衬底1形成反向的PN结,因此形成了反向的第六二极管c2。所述第一分电路形成了由三个二极管组成的等效电路。另外,由于所述第一埋层3包括所述第一子埋层和第二子埋层,所述第一注入区7包括所述第一子注入区和第二子注入区,所述多晶硅层10包括所述第一多晶硅层10和第二多晶硅层10,因此所述功率器件保护芯片的结构中除了具有一条主电路之外,还具有对称分布的第一分电路和第二分电路。综上所述,本发明所要保护的功率器件保护芯片形成了3组二极管并联的等效电路,由于二极管的单向导电性并且具有较小节电容,有效地减小了接入电容,从而能够在高频电路中减小器件的寄生电容。

[0099] 以上结合附图详细说明了本发明的技术方案,通过本发明的技术方案改进使3组功率器件保护芯片集成到一起,通过引入埋层工艺减小了器件面积,降低了工艺难度,减小了器件制造成本。三组二极管并联,降低了寄生电容,使得改进后的功率器件保护芯片的保护特性和可靠性都得到了提升。

[0100] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

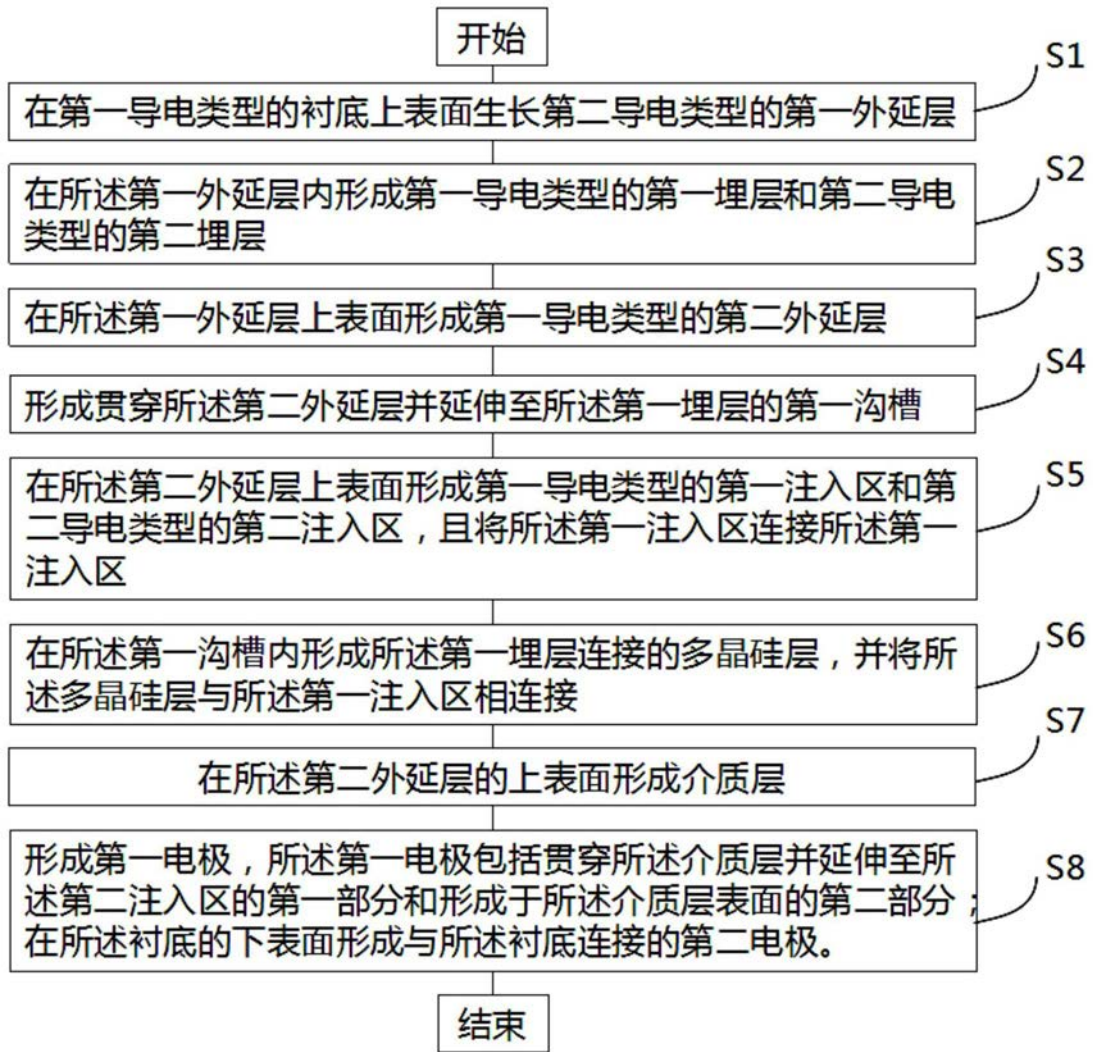


图1



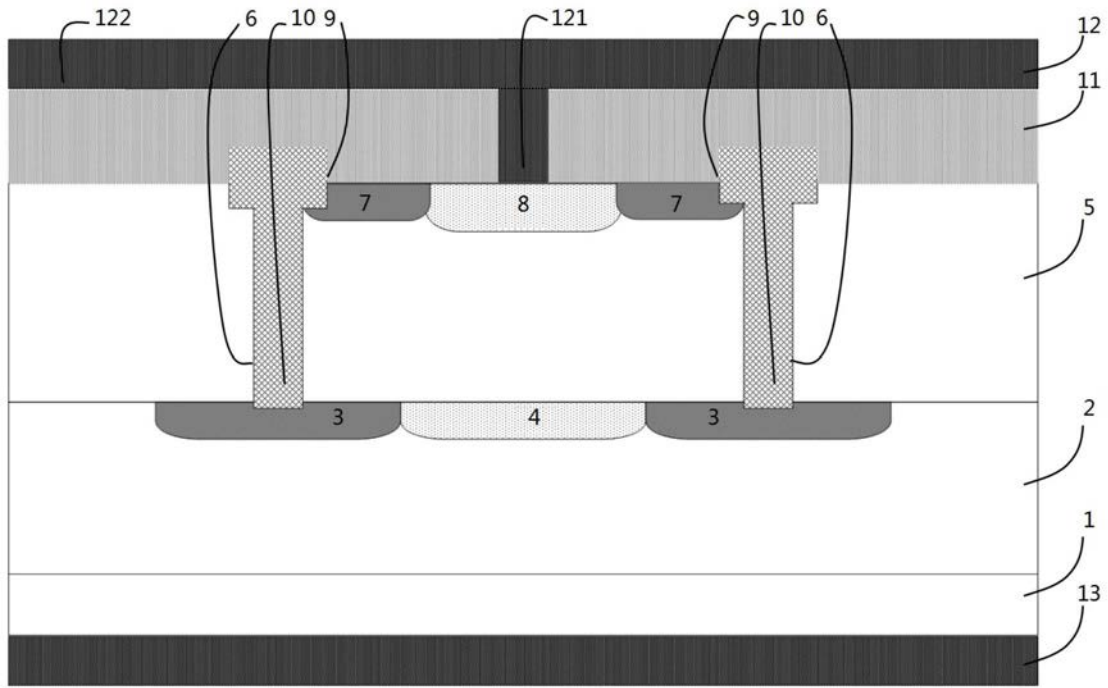


图2



图3

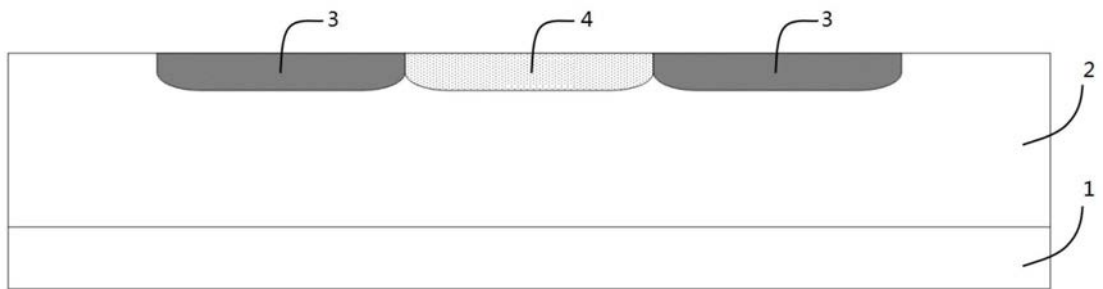


图4



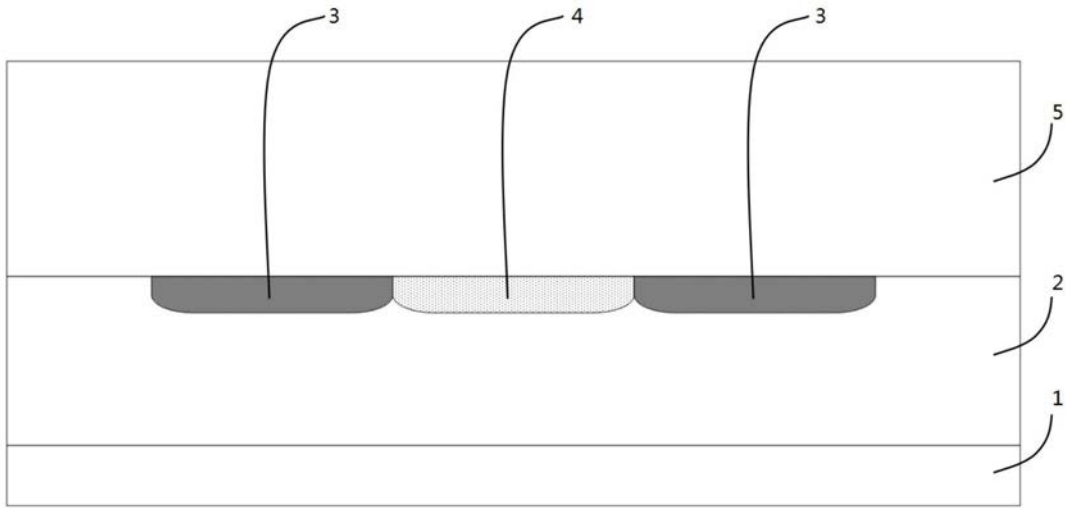


图5

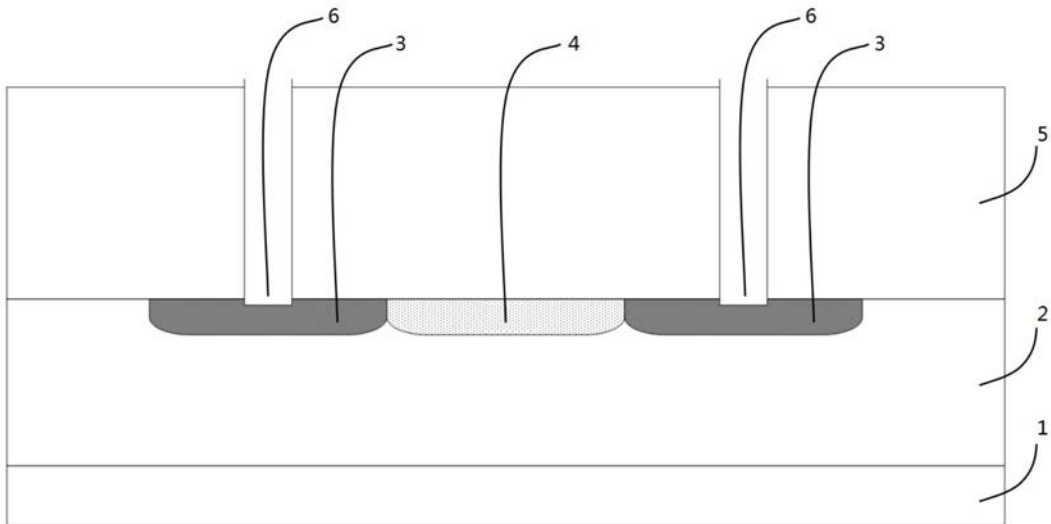


图6

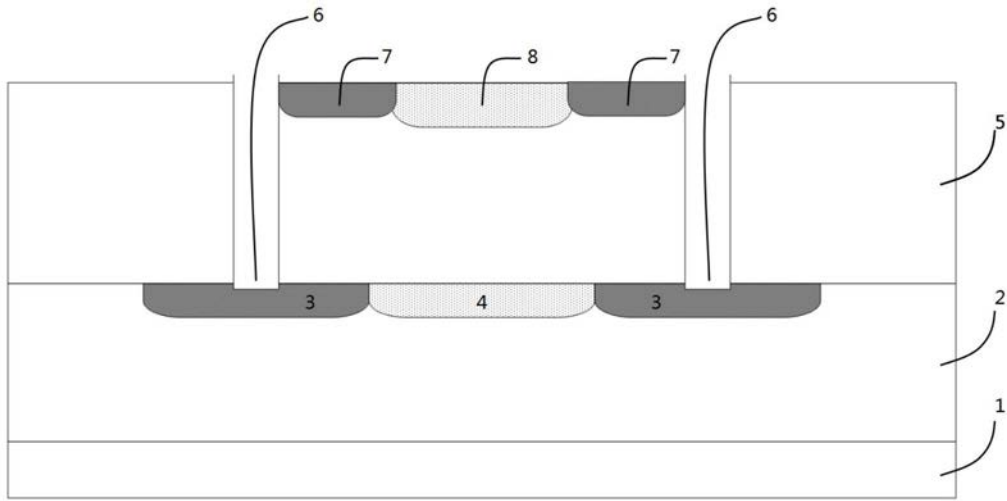


图7

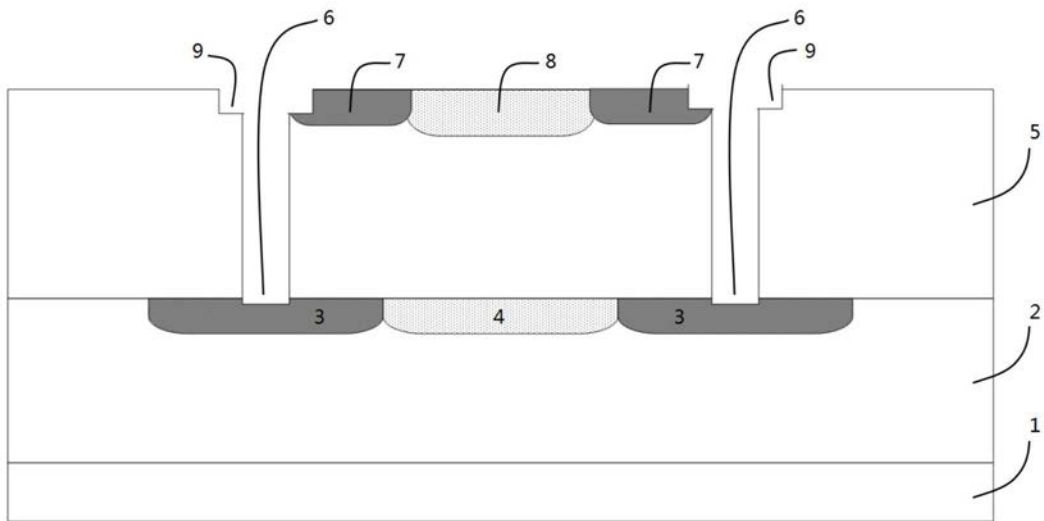


图8

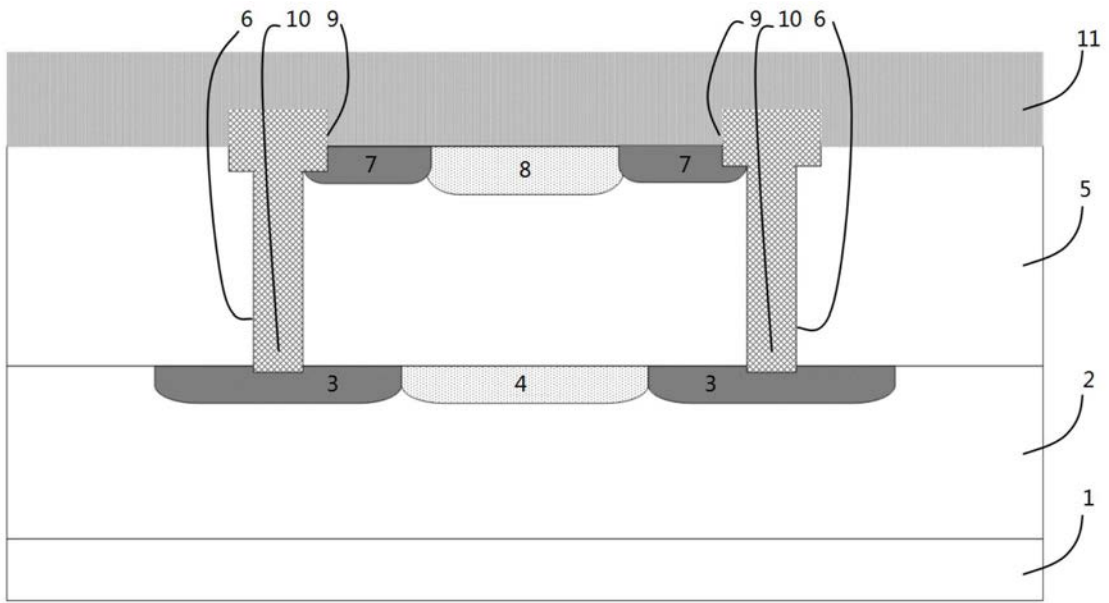


图9

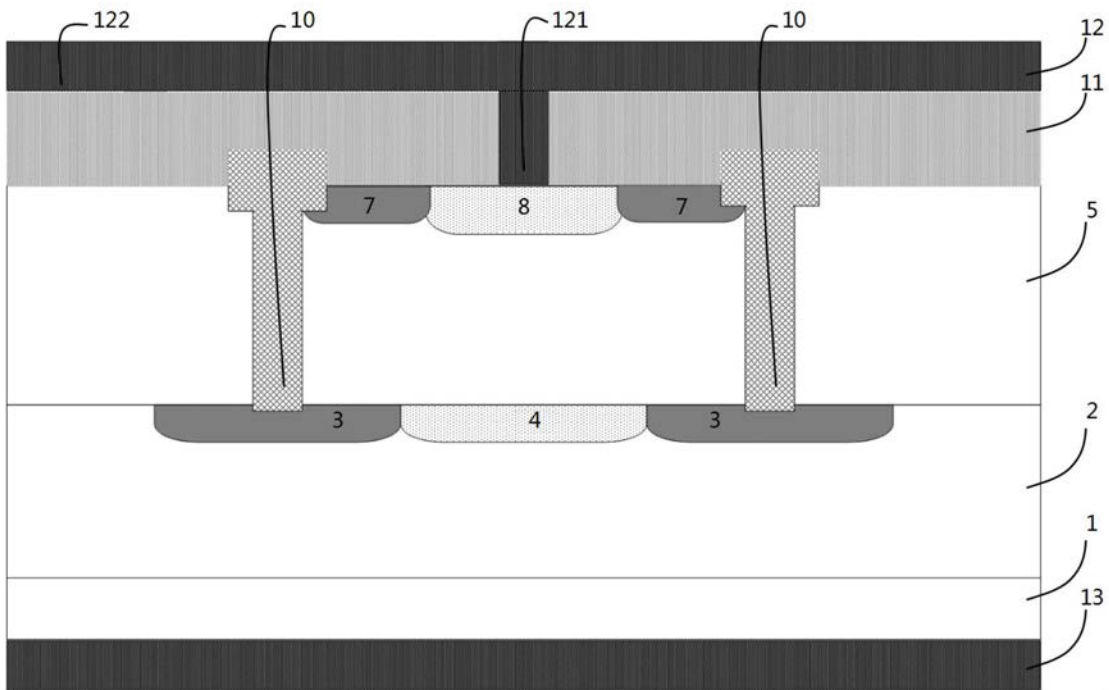


图10

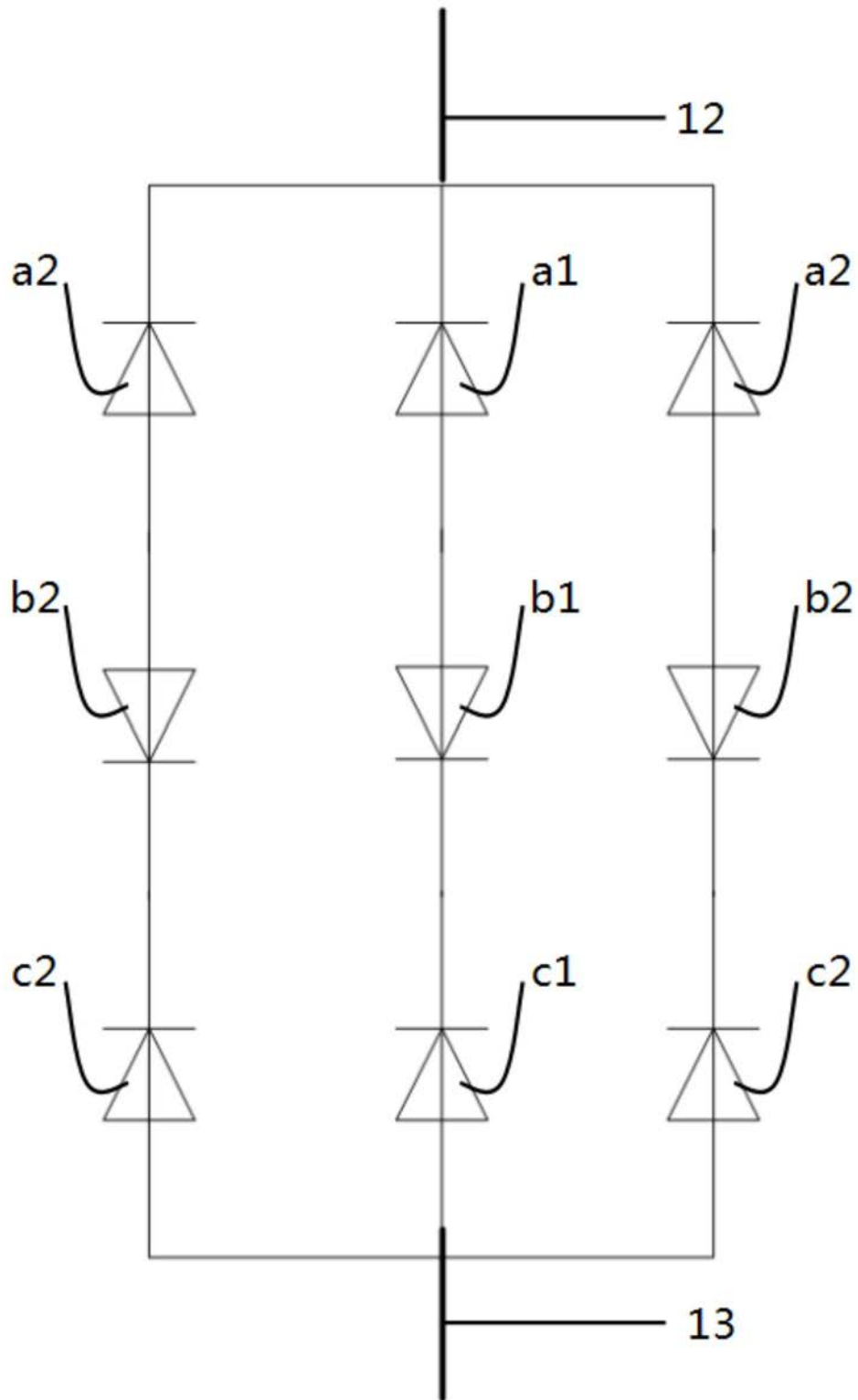


图11