

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5472243号
(P5472243)

(45) 発行日 平成26年4月16日(2014.4.16)

(24) 登録日 平成26年2月14日(2014.2.14)

(51) Int.Cl. F I
 HO3M 1/06 (2006.01) HO3M 1/06
 HO3M 1/50 (2006.01) HO3M 1/50

請求項の数 4 (全 17 頁)

<p>(21) 出願番号 特願2011-204712 (P2011-204712) (22) 出願日 平成23年9月20日 (2011.9.20) (65) 公開番号 特開2013-66119 (P2013-66119A) (43) 公開日 平成25年4月11日 (2013.4.11) 審査請求日 平成25年1月31日 (2013.1.31)</p>	<p>(73) 特許権者 000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地 (74) 代理人 110000578 名古屋国際特許業務法人 (72) 発明者 寺澤 智仁 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内 審査官 柳下 勝幸</p>
----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 AD変換装置

(57) 【特許請求の範囲】

【請求項1】

入力電圧に応じた遅延時間でパルス信号を遅延させる遅延ユニットを複数段接続してなる第1パルス遅延回路と、

開始タイミング信号及び終了タイミング信号の供給を受け、前記開始タイミング信号が示す開始タイミングから前記終了タイミング信号が示す終了タイミングまでの測定時間の間に、前記第1パルス遅延回路にて前記パルス信号が通過する前記遅延ユニットの段数を検出し、その段数に対応した数値データをAD変換データとして出力する第1符号化回路と、

前記開始タイミング信号の供給を受け、前記第1パルス遅延回路の入力電圧が該入力電圧の許容電圧範囲内で指定された指定電圧である場合に、予め指定された指定段数だけ前記パルス信号が前記遅延ユニットを通過するのに要する時間が、前記測定時間となるような前記終了タイミング信号を生成するタイミング生成回路と、

を備え、

前記タイミング生成回路は、

前記指定電圧に応じた遅延時間でパルス信号を遅延させる遅延ユニットを複数段接続してなり、該遅延ユニットの遅延時間が前記第1パルス遅延回路を構成する遅延ユニットと同様の温度特性を有する第2パルス遅延回路と、

前記指定段数を前記第2パルス遅延回路の遅延ユニットの数で割った値の商を周回数データ、余りを初期位置データとして出力する割算器と、

10

20

前記割算器が出力する前記周回数データおよび前記初期位置データをもとに、前記開始タイミング後に前記パルス信号が前記指定段数目に通過する前記遅延ユニットの出力を選択して、前記終了タイミング信号として出力する選択回路と、
からなることを特徴とするA D変換装置

【請求項2】

予め設定された固定時間の間に、前記第2パルス遅延回路にて前記パルス信号が通過する前記遅延ユニットの段数を検出し、その段数に対応した数値データを、温度と相関関係を有する温度データとして出力する第2符号化回路と、

前記第2符号化回路にて検出された温度データ、及び予め設定された基準温度の時に前記第2符号化回路にて検出される温度データであって予め設定された基準温度データ、前記入力電圧が前記指定電圧である時に前記第1符号化回路にて検出されるA D変換データであって予め設定された基準A D変換データを用いて、前記第1符号化回路が出力するA D変換データを、前記基準温度の時に出力される値となるように補正する補正回路と、

を備えることを特徴とする請求項1に記載のA D変換装置。

【請求項3】

変換対象となる対象電圧及び前記指定電圧とは異なるように設定された基準電圧を交互に選択し、前記入力電圧として前記第1パルス遅延回路に供給する入力選択回路と、

前記入力電圧が前記指定電圧である場合に前記第1符号化回路にて検出されるA D変換データであって予め設定された基準A D変換データ、及び前記入力選択回路により前記対象電圧の供給を受けた前記第1符号化回路が出力するA D変換データ、前記基準電圧の供給を受けた前記第1符号化回路が出力するA D変換データ、前記基準電圧が前記指定電圧である場合に前記第1符号化回路が出力するA D変換データを用いて、前記対象電圧を算出する電圧算出回路と、

を備えることを特徴とする請求項1に記載のA D変換装置。

【請求項4】

請求項1乃至請求項3のいずれか1項に記載のA D変換装置を単位回路として、該単位回路を複数備えると共に、前記複数の単位回路の出力を加算する加算器を備え、前記加算器の出力をA D変換データとして出力することを特徴とするA D変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力電圧に応じた遅延時間でパルス信号を遅延させる遅延ユニットを複数段接続してなるパルス遅延回路を利用してA D変換を行うA D変換装置に関する。

【背景技術】

【0002】

従来、デジタル回路で構成され高速なA D変換を可能とするA D変換装置として時間A D変換回路(TAD)が知られている。

ここで図15は、TAD10の構成の一例を示す図である。

【0003】

図15に示すように、TAD10は、入力電圧 V_{in} に応じた遅延時間でパルス信号を遅延させる複数の遅延ユニットをリング状に連結してなるリングディレイライン(RDL:所謂パルス遅延回路)11を備えている。なお、RDL11を構成する遅延ユニットは、一方の入力端にパルス信号PAを受けて動作する一つ(初段)の否定論理積回路NANDと、パルス信号PAを反転させて出力する多数(偶数個)のインバータINVとで構成されている。

【0004】

また、TAD10は、RDL11を構成する遅延ユニットの最終段の出力レベルの反転回数から、RDL11内でのパルス信号の周回回数をカウントして、数値データを発生するカウンタ12と、カウンタ12から出力される数値データを、測定タイミングを表すパルス信号PBのタイミングでラッチするラッチ回路13と、RDL11を構成する遅延ユ

10

20

30

40

50

ニットの出力をパルス信号 P B のタイミングで取り込み、その出力レベルから R D L 1 1 内を周回中のパルス信号を抽出して、その位置を表す信号を発生するパルスセクタ 1 4 と、パルスセクタ 1 4 からの出力信号に対応した数値データを発生するエンコーダ 1 5 と、ラッチ回路 1 3 からの数値データを上位ビット、エンコーダ 1 5 からの数値データを下位ビットとして入力し、下位ビットのデータと上位ビットのデータを加算することにより、パルス信号 P B の周期で決まる所定時間内にパルス信号が通過した遅延ユニット (N A N D 、 I N V) の数を表す数値データ D T を生成する信号処理回路 1 6 とを備えている。

【 0 0 0 5 】

なお、パルス信号 P A 及び P B は外部の制御回路から供給され、 T A D 1 0 は、パルス信号 P A が入力されてからパルス信号 P B が入力される期間までの入力電圧 V i n の平均値に相当する A D 変換データ D T を出力する (例えば、特許文献 1 参照。) 。

10

【先行技術文献】

【特許文献】

【 0 0 0 6 】

【特許文献 1】特開平 0 5 - 2 5 9 9 0 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

ところで、遅延ユニット (N A N D , I N V) での遅延時間は、入力電圧 V i n に応じて変化するだけでなく、温度特性を有しており、一般に、温度が高いほど遅延時間が大きくなる。これに伴って、 T A D 1 0 の入出力特性 (入力電圧 V i n から A D 変換データ D T への変換特性) も温度特性を有する。

20

【 0 0 0 8 】

ここで、図 1 6 は、 T A D 1 0 の入出力特性を、 - 4 0 , 0 , 1 0 0 において測定した結果の一例を示すグラフである。

図 1 6 に示すように、 T A D 1 0 の入出力特性には、温度にかかわらず入出力特性が一定となる入力電圧 V i n が存在する。以下では、この入力電圧 V i n を温特ゼロ電圧 V f という。

【 0 0 0 9 】

30

そして、温度変化による A D 変換データ D T のバラツキは、温特ゼロ電圧 V f 付近では非常に小さなものとなるが、温特ゼロ電圧 V f から離れるほど大きくなる。つまり、入力電圧 V i n が温特ゼロ電圧 V f 付近で変化する場合には、温度特性の影響を抑制することが可能となる。

【 0 0 1 0 】

しかし、温特ゼロ電圧 V f は、遅延ユニットを構成する M O S トランジスタの閾値電圧などの C M O S プロセスによってある範囲内に決まることはわかっているものの、現時点では、製造プロセスで調整可能なパラメータを用いて、温特ゼロ電圧 V f を所望の値にコントロールすることは困難であるという問題があった。

【 0 0 1 1 】

40

本発明は、上記問題点を解決するために、遅延ユニットの温度特性に基づく A D 変換データのバラツキを抑制する A D 変換装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 2 】

上記目的を達成するためになされた本発明の A D 変換装置は、入力電圧に応じた遅延時間でパルス信号を遅延させる遅延ユニットを複数段接続してなる第 1 パルス遅延回路を備えている。そして、第 1 符号化回路が、開始タイミング信号及び終了タイミング信号の供給を受け、開始タイミング信号が示す開始タイミングから終了タイミング信号が示す終了タイミングまでの測定時間の中に、第 1 パルス遅延回路にてパルス信号が通過する遅延ユニットの段数を検出し、その段数に対応した数値データを A D 変換データとして出力する

50

【 0 0 1 3 】

この時、タイミング生成回路は、開始タイミング信号の供給を受け、第1パルス遅延回路の入力電圧が該入力電圧の許容電圧範囲内で指定された指定電圧である場合に、予め指定された指定段数だけパルス信号が遅延ユニットを通過するのに要する時間が、測定時間となるような終了タイミング信号を生成する。

【 0 0 1 4 】

ここで、指定段数を N 、温度 T_{m1} での遅延ユニットの遅延時間を D 、温度 T_{m2} での遅延ユニットの遅延時間を $D + D$ とする。

この場合、本発明では、温度が T_{m1} の時の測定時間 $TW(T_{m1})$ は (1) 式、温度が T_{m2} の時の測定時間 $TW(T_{m2})$ は (2) 式で表される。

【 0 0 1 5 】

$$TW(T_{m1}) = N \times D \quad (1)$$

$$TW(T_{m2}) = N \times (D + D) \quad (2)$$

ここで、簡単のために、入力電圧が指定電圧に等しい場合を考える。

【 0 0 1 6 】

まず、従来装置のように、測定時間が一定である場合を考えると、第1符号化回路が出力するAD変換データDTは、温度 T_{m1} の時には (3) 式、温度 T_{m2} の時には (4) 式で表され両者は異なる値となる。但し、測定時間 $TW = N \times D$ であるものとする。

【 0 0 1 7 】

$$DT(T_{m1}) = TW / D = N \quad (3)$$

$$DT(T_{m2}) = TW / (D + D) = N \quad (4)$$

これに対して、本発明のAD変換装置のように、温度に応じて測定時間も変化させた場合、第1符号化回路が出力するAD変換データDTは、温度 T_{m1} の時には (5) 式、温度 T_{m2} の時には (6) 式で表され、温度によらず同じ値のAD変換データを得ることができる。

【 0 0 1 8 】

$$DT(T_{m1}) = TW(T_{m1}) / D = N \quad (5)$$

$$DT(T_{m2}) = TW(T_{m2}) / (D + D) = N \quad (6)$$

このように本発明のAD変換装置によれば、入力電圧が指定電圧である場合に、AD変換データの温度特性がゼロとなるため、指定電圧によって温度特性がゼロとなる電圧(温特ゼロ電圧)を簡単に調整することができる。

【 0 0 1 9 】

その結果、入力電圧が変化する範囲の中心電圧を指定電圧に設定することによって、遅延ユニットの温度特性に基づくAD変換データのバラツキを抑制することができる。

本発明のAD変換装置において、タイミング生成回路は、例えば、指定電圧に応じた遅延時間でパルス信号を遅延させる遅延ユニットを複数段接続してなり、これら遅延ユニットの遅延時間が第1パルス遅延回路を構成する遅延ユニットと同様の温度特性を有する第2パルス遅延回路と、開始タイミング後にパルス信号が指定段数目に通過する遅延ユニットの出力を選択して、終了タイミング信号として出力する選択回路とにより構成されていてもよい。

【 0 0 2 0 】

なお、第1パルス遅延回路を構成する遅延ユニットと、第2パルス遅延回路を構成する遅延ユニットの温度特性を揃えることは、例えば、両者を半導体集積回路の同一チップ上に構成することで簡単に実現することができる。

【 0 0 2 1 】

上述したように、本発明のAD変換装置によれば、指定電圧によって温特ゼロ電圧を制御することができるものの、入力電圧が温特ゼロ電圧(指定電圧)から離れるほど、AD変換データの誤差が大きくなるため、入力電圧が比較的大きな電圧範囲で変化する場合には、温度変化によるAD変換データのバラツキを抑制する効果が低減してしまう。

10

20

30

40

50

【0022】

そこで、本発明のA/D変換装置は、更に、第2符号化回路が、予め設定された固定時間の間に、第2パルス遅延回路にてパルス信号が通過する遅延ユニットの段数を検出し、その段数に対応した数値データを温度と相関関係を有する温度データとして出力し、補正回路が、第2符号化回路にて検出された温度データ、及び予め設定された基準温度の時に第2符号化回路にて検出される温度データであって予め設定された基準温度データ、入力電圧が指定電圧である時に第1符号化回路にて検出されるA/D変換データであって予め設定された基準A/D変換データを用いて、第1符号化回路が出力するA/D変換データを、基準温度の時に出力される値となるように補正するように構成されていてもよい。

【0023】

つまり、温度変化によって遅延ユニットの遅延時間が変化すると、固定時間の間にパルス信号が通過する遅延ユニットの段数、即ち、第2符号化回路で得られる数値データである温度データは変換する。

【0024】

従って、温度データはが基準温度データに対してどの程度変化しているかがわかれば、現在の温度（遅延ユニットの遅延時間）を推定することができ、それに応じてA/D変換データを補正することで、より温度誤差の少ないA/D変換データを得ることができる。

【0025】

使用する入力電圧の全電圧範囲に渡って、温度特性誤差を改善することができる。

ところで、A/D変換データは、入力電圧の大きさを表しているが、何ボルトであるかを直接的に表しているわけではないため、各種制御に用いる場合には、電圧値に変換する必要がある。そして、電圧値は、上述の補正回路によりA/D変換データを補正したあと、その補正されたA/D変換データを電圧値に変換してもよいが、補正されたA/D変換データを求めることなく、第1符号化回路が出力するA/D変換データから直接電圧値を求めてもよい。

【0026】

この場合、具体的には、第1パルス遅延回路への入力電圧として、入力選択回路が、変換対象となる対象電圧、及び指定電圧とは異なるように設定された基準電圧を交互に供給し、入力電圧が指定電圧である場合に第1符号化回路にて検出されるA/D変換データであって予め設定された基準A/D変換データ、及び入力選択回路により対象電圧の供給を受けた第1符号化回路が出力するA/D変換データ、基準電圧の供給を受けた第1符号化回路が出力するA/D変換データ、基準電圧が指定電圧である場合に第1符号化回路が出力するA/D変換データを用いて、電圧算出回路が対象電圧の大きさを算出する。

【0027】

つまり、指定電圧に対するA/D変換データと基準電圧に対するA/D変換データとにより、基準電圧に対するA/D変換データを取得した時の入出力特性が推定されるため、その推定される入出力特性を用いて、対象電圧のA/D変換データから電圧値を求めることができる。このように構成された本発明のA/D変換装置によれば、補正回路を用いて補正されたA/D変換データを求めることなく、温度特性の影響を除去した電圧値を求めることができる。

【0028】

また、本発明のA/D変換装置は、請求項1乃至請求項4に記載のA/D変換装置を単位回路として複数備えると共に、単位回路の出力を加算する加算器を備え、加算器の出力をA/D変換データとして出力するように構成されていてもよい。

【0029】

この場合、単位回路の数を増やすほど、A/D変換の分解能を向上させることができる。

【図面の簡単な説明】

【0030】

【図1】第1実施形態のA/D変換装置の全体構成を示すブロック図である。

【図2】デジタル制御発振器(DCO)の構成を示すブロック図であり、(a)が全体構

10

20

30

40

50

成、(b)がその一部であるクロック生成回路の構成を示すものである。

【図3】DCOが生成するサンプリングクロック、AD変換装置の動作を示すタイミング図である。

【図4】AD変換装置の入出力特性を示すグラフである。

【図5】第2実施形態のAD変換装置の全体構成を示すブロック図である。

【図6】AD変換装置の動作を示すタイミング図である。

【図7】第3実施形態のAD変換装置の全体構成を示すブロック図である。

【図8】DCO&TDCの構成を示すブロック図である。

【図9】AD変換装置の動作を示すタイミング図である。

【図10】温度データDTAの特性を示すグラフである。

10

【図11】AD変換装置の入出力特性、及び補正処理による効果を示すグラフである。

【図12】第4実施形態のAD変換装置の全体構成を示すブロック図である。

【図13】センサ算出処理部が実行する処理の内容を理解するための説明図である。

【図14】第5実施形態のAD変換装置の全体構成を示すブロック図である。

【図15】時間AD変換回路(TAD)の構成を示すブロック図である。

【図16】TADの入出力特性を示すグラフである。

【発明を実施するための形態】

【0031】

以下に本発明の実施形態を図面と共に説明する。

[第1実施形態]

20

<全体構成>

図1は、AD変換装置1の全体構成を示すブロック図である。

【0032】

図1に示すようにAD変換装置1は、パルス信号PAがハイレベルの時に動作し、サンプリングクロックCKのタイミングで、入力電圧Vinに応じた数値データ(AD変換データ)DTを生成するTAD10と、パルス信号PAがハイレベルである間、周期データDpにより指定された周期を有するサンプリングクロックCKを発生させるデジタル制御発振器(DCO)20とを備えており、これらは半導体集積回路の同一チップ上に構成されている。

【0033】

30

TAD10は、測定タイミングを表すパルス信号PBの代わりにサンプリングクロックCKを用いていること以外は、図14に従来装置として示したものと同様の構成を有するものであるため、説明を省略する。

【0034】

図2は、DCO20の構成図であり、(a)が全体構成を示すブロック図(一部回路図を含む)、(b)がその一部であるクロック生成回路の構成を示すブロック図である。

図2(a)に示すように、DCO20は、一方の入力端にパルス信号PAを受けて動作する1つの否定論理積回路NANDと、入力信号の信号レベルを反転させて出力する多数(偶数個)のインバータINVとをリング状に連結してなるリングディレイライン(RDL:所謂パルス遅延回路)21と、RDL21を構成する各遅延ユニット(即ち否定論理積回路NAND及びインバータINV)の出力に基づいて、周期データDpによって規定される周期を有したサンプリングクロックCKを生成するクロック生成回路22とを備えている。

40

【0035】

なお、RDL21は、TAD10を構成するRDL11と同様に構成されている。即ち、RDL21を構成する遅延ユニットは、駆動電圧や温度に対する遅延時間の特性がRDL11を構成する遅延ユニットと同一となるように構成されている。但し、RDL21では、遅延ユニットの駆動電圧として、入力電圧Vinの許容電圧範囲内で設定される一定の指定電圧V_{DCO}を印加するように構成されている。

【0036】

50

図2(b)に示すように、クロック生成回路22は、選択値PSに従って遅延ユニットの出力のいずれか一つを選択して出力するパルスセクタ23と、周回数データSにプリセットされるカウント値を、初段の遅延ユニットの出力の立ち上がりエッジ及び立ち下がりエッジのタイミングでダウンカウントするダウンカウンタ24とを備えている。

【0037】

ダウンカウンタ24は、カウントアウトするとサンプリングクロックCKが出力されるまでの間アクティブレベルとなるカウントアウト信号COを出力し、サンプリングクロックCKが出力されたタイミングで、カウント値が周回数データSにプリセットされるように構成されている。

【0038】

また、クロック生成回路22は、カウントアウト信号COがアクティブレベルの時にパルスセクタの出力が変化するタイミングで、パルス遅延回路をパルス信号が1周するのに要する時間より短く設定された一定期間の間ハイレベルとなるパルス信号を、サンプリングクロックCKとして出力するパルス発生回路25と、周期データDpをRDL21の遅延ユニットの数Xで割った値の商を周回数データS、余りを初期位置データRとして出力する割算器26と、初期位置データRと選択値PSとをmodX(modは剰余演算を表す)で加算する加算器27と、加算器27の出力を、パルス発生回路25の出力、即ちサンプリングクロックCKでラッチし、そのラッチした値を位置データPSとしてパルスセクタ23に供給するラッチ回路28とを備えている。

【0039】

つまり、クロック生成回路22は、RDL21を周回するパルス信号が周期データDpで表される段数分の遅延ユニットを通過するのに要する時間を周期T_{CK}とするサンプリングクロックCKを出力するように構成されている。

【0040】

<動作>

図3は、DCO20が発生させるサンプリングクロックCK、及びAD変換装置1の動作を模式的に示した説明図である。

【0041】

DCO20は、パルス信号PAがハイレベルである間、周期T_{CK}サンプリングクロックCKを出力する。なお、指定電圧V_{DCO}を一定値にすると、周囲温度がT_mの時の遅延ユニットでの遅延時間をDL{T_{m}}}とすると、周期T_{CK}は(7)式で表される。

【0042】

$$T_{CK} = DL \times Dp \quad (7)$$

但し、遅延時間DL{T_{m}}}は温度によって変化するため、周期T_{CK}も温度によって変化し、具体的には、図示されているように、周期T_{CK}は、温度が低いほど短く、温度が高いほど長くなる。

【0043】

ここで図4は、指定電圧をV_{DCO} = 2.0Vに設定した時の、入力電圧V_{in}に対するAD変換データDTの変換特性(AD変換装置1の入出力特性)を、周囲温度が-40, 0, 100の場合について示したグラフである。

【0044】

TAD10のRDL11を構成する遅延ユニットでの遅延時間は、温度によって変化するが、その変化に応じた分だけ、サンプリングクロックCKの周期T_{CK}、即ち、TAD10での測定時間も変化させている。

【0045】

このため、AD変換装置1の入出力特性は、図4に示すように、入力電圧V_{in}が指定電圧V_{DCO}と等しい時には、温度によらず常に同じ値のAD変換データDTが得られ(即ち、指定電圧V_{DCO}が温特ゼロ電圧V_fとなり)、入力電圧V_{in}が指定電圧V_{DCO}から離れるほど、温度によるAD変換データのばらつきが大きくなるものとなる。

10

20

30

40

50

【 0 0 4 6 】

< 効果 >

以上説明したように、A D 変換装置 1 によれば、指定電圧 V_{DC0} により、入出力特性の温特ゼロ電圧 V_f を任意に調整することができる。

【 0 0 4 7 】

このため、入力電圧 V_{in} の電圧が変化する範囲の中心付近で温度特性がゼロとなるように指定電圧 V_{DC0} を設定することで、温度による A D 変換データ D_T のばらつきを抑制することができる。

【 0 0 4 8 】

なお、本実施形態において、 $RDL11$ が第 1 パルス遅延回路、 $TAD10$ の $RDL11$ 以外の構成が第 1 符号化回路、 $DCO20$ がタイミング生成回路、 $RDL21$ が第 2 パルス遅延回路、クロック生成回路 22 が選択回路に相当する。また、パルス信号 PA が開始タイミング信号、サンプリングクロック CK が終了タイミング信号、周期データ D_p の値が指定段数に相当する。

【 0 0 4 9 】

[第 2 実施形態]

次に、第 2 実施形態について説明する。

< 構成 >

図 5 は、本実施形態の A D 変換装置 2 の全体構成を示すブロック図である。

【 0 0 5 0 】

A D 変換装置 2 は、A D 変換装置 1 のものと同様に構成された $TAD10$ 及び $DCO20$ に加え、外部から供給されるシステムクロック CLK 及び $DCO20$ が生成するサンプリングクロック CK のうち、少なくとも一方がハイレベルの時にハイレベルとなる信号を出力する論理和回路 30 と、論理和回路 30 の出力を分周することで $TAD10$ 及び $DCO20$ に供給するパルス信号 PA を生成する分周回路 31 と、 $TAD10$ が出力する A D 変換データ D_T をシステムクロック CLK に従ってラッチすることで、システムクロック CLK に同期した A D 変換データ D_Ts を生成するラッチ回路 32 とを備えている。

【 0 0 5 1 】

なお、システムクロック CLK は、水晶発振子などを用いて生成され温度によらず安定した周期を有するものである。

但し、システムクロック CLK は、周期データ D_p が許容最大値であり且つ $DCO20$ の $RDL21$ を構成する遅延ユニットの遅延が最大となる状況（動作を保証する最高温度の環境）である時に $DCO20$ が生成するサンプリングクロック CK の周期 T_{CK} より十分に長い周期（例えば、1.5 倍以上）を有するものが用いられる。

【 0 0 5 2 】

< 動作 >

図 6 は、A D 変換装置 2 の動作を示すタイミング図である。

なお、周期データ D_p は、パルス信号 PA が立ち上がったあと、システムクロック CLK の半周期より長く、一周より短いタイミングでサンプリングクロック CK のパルスが出力されるように設定される。

【 0 0 5 3 】

これにより、分周回路 31 は、システムクロック CLK の立ち上がりエッジからサンプリングクロック CK の立ち上がりエッジまでの間ハイレベルとなり、その後再びサンプリングエッジの立ち上がりエッジまでロウレベルとなるパルス信号 PA を生成する。

【 0 0 5 4 】

なお、パルス信号 PA がロウレベルの時に、 $DCO20$ の内部状態がリセットされるため、パルス信号 PA がハイレベルとなる期間（即ち、 $TAD10$ の測定時間）は、常に、周期データ D_p で表された段数分だけ遅延ユニットをパルス信号が通過するのに要する期間と等しくなる。

【 0 0 5 5 】

10

20

30

40

50

また、ラッチ回路 3 2 からは、システムクロック S C K に同期して、1 クロック前に測定した A D 変換データ D T s が出力されることになる。

< 効果 >

以上説明したように、A D 変換装置 2 によれば、A D 変換装置 1 と同様に、指定電圧 V _DCO により、入出力特性の温特ゼロ電圧 V f を任意に調整することができるため、指定電圧 V _DCO を適宜設定することにより、温度による A D 変換データ D T のばらつきを抑制することができる。

【 0 0 5 6 】

また、A D 変換装置 2 によれば、システムクロック S C K の立ち上がりエッジ（測定期間の開始タイミング）でハイレベルにしたパルス信号 P A を、サンプリングクロック C K の立ち上がりエッジ（測定期間の終了タイミング）でロウレベルに戻すようにされている。これにより、測定期間毎に T A D 1 0 の内部状態がリセットされるため、A D 変換データ D T として、前回の測定期間で得られた値を初期値とした累積値ではなく、測定期間毎に独立した値を得ることができる。

【 0 0 5 7 】

[第 3 実施形態]

次に第 3 実施形態について説明する。

< 構成 >

図 7 は、本実施形態の A D 変換装置 3 の全体構成を示すブロック図である。

【 0 0 5 8 】

A D 変換装置 3 は、第 2 実施形態の A D 変換装置 2 と比較して、一部構成が異なるだけであるため、この相違する点を中心に説明する。

A D 変換装置 3 は、A D 変換装置 2 のものと同様に構成された T A D 1 0 ，論理和回路 3 0 ，分周回路 3 1 を備えている。

【 0 0 5 9 】

また、A D 変換装置 3 は、サンプリングクロック C K だけを生成する D C O 2 0 の代わりに、サンプリングクロック C K 及び周囲温度に応じた値を示す温度データ D T A を生成する D C O & T D C 4 0 を備えると共に、ラッチ回路 3 2 の代わりに、T A D 1 0 から出力される A D 変換データ D T を、D C O & T D C 4 0 から出力される温度データ D T A を用いて補正し、補正された A D 変換データ D T B を出力する補正処理部 3 3 を備え、ラッチ回路 3 2 は、補正処理部 3 3 が出力する A D 変換データ D T B をラッチすることで、システムクロック S C K に同期した A D 変換データ D T B s を生成するように構成されている。

【 0 0 6 0 】

更に、A D 変換装置 3 は、システムクロック S C K の周波数を倍にした逡倍クロック S C K 1 を生成して、D C O & T D C 4 0 に供給する逡倍回路 3 4 を備えている。

< D C O & T D C >

ここで、図 8 は、D C O & T D C 4 0 の構成を示すブロック図、図 9 は A D 変換装置 3 各部の動作を示すタイミング図である。

【 0 0 6 1 】

図 8 に示すように D C O & T D C 4 0 は、D C O 2 0 を構成する R D L 2 1 ，クロック生成回路 2 2 と同様に構成された R D L 4 1 ，クロック生成回路 4 2 に加えて、T A D 1 0 を構成するカウンタ 1 2 ，ラッチ回路 1 3 ，パルスセクタ 1 4 ，エンコーダ 1 5 ，信号処理回路 1 6 と同様に構成されたカウンタ 4 3 ，ラッチ回路 4 4 ，パルスセクタ 4 5 ，エンコーダ 4 6 ，信号処理回路 4 7 を備えている。

【 0 0 6 2 】

つまり、D C O & T D C 4 0 を構成する各部位のうち、R D L 4 1 ，クロック生成回路 4 2 からなる部位（以下「D C O 部位」という）は、D C O 2 0 と同様に動作することによって、サンプリングクロック C K を生成し、クロック生成回路 4 2 以外からなる部位（以下「T D C 部位」という）は、T A D 1 0 と同様に動作することによって温度データ D

10

20

30

40

50

DTAを生成するように構成されている。

【0063】

但し、TDC部位を構成するRDL41の駆動電圧は入力電圧 V_{in} ではなく指定電圧 V_{DC0} である。また、TDC部位を構成するラッチ回路43、パルスセクタ45は、サンプリングクロック CK （パルス信号 PB ）ではなく、逡倍クロック $SCK1$ に従って動作するように構成されており、これに伴い信号処理回路47は、図9に示すように、システムクロック SCK の半周期毎に、温度データDTAを出力するようにされている。

【0064】

なお、RDL41は、パルス信号PAの信号レベルに従い、システムクロック SCK がハイレベルである半周期では、その全期間に渡って動作し続けるが、システムクロック SCK がロウレベルである半周期では、システムクロック SCK の立ち上がりエッジのタイミングで動作を停止する。このため信号処理回路47がシステムクロック SCK の半周期毎に出力するデータのうち、前者の半周期を測定期間として得られたデータのみを温度データDTAとして用い、後者の半周期を測定期間として得られたデータは無効データとする。

【0065】

従って、温度データDTAの測定期間は、AD変換データDTの測定期間とは異なり、温度によって長さの変化せず常に一定の長さ（システムクロック SCK の半周期、即ち逡倍クロック $SCK1$ の一周期）となる。従って、測定期間が一定であれば、温度変化によってRDL41を構成する遅延ユニットの遅延時間が変化することにより温度データDTAも変化する。

【0066】

具体的には、温度データDTAは、図10に示すように、温度データDTAは、温度が高いほど小さな値、温度が低いほど大きな値となる。従って、予め設定された基準温度 T_{m0} の時の温度データDTA $\{T_{m0}\}$ を基準温度データとすると、その時々で検出される温度データDTAが基準温度データDTA $\{T_{m0}\}$ からどの程度ずれているかがわかれば、温度データDTAが検出された時の温度を推定することが可能となる。

【0067】

<補正処理部>

補正処理部33では、(8)式を用いて補正されたAD変換データDTBを求める。

【0068】

【数1】

$$DTB = (DT - DT\{V_{in} = V_f\}) \times K(TR) + DT\{V_{in} = V_f\} \quad (8)$$

$$\text{但し、 } TR = \frac{DTA\{T_{m0}\}}{DTA}$$

【0069】

但し、 $DT\{V_{in} = V_f\}$ は、温特ゼロ電圧 $V_f (= V_{DC0})$ の時に得られるAD変換データDTである基準AD変換データ、 $K(TR)$ は、温度との相関を有する値 $TR (= DTA\{T_{m0}\} / DTA)$ に応じて設定される調整係数である。また、 $DT\{T_{m0}\}$ 、 $DT\{V_{in} = V_f\}$ は定数であり、 $K(TR)$ は、 TR の値から予め用意された関数又はテーブルを用いて設定される値である。なお、 TR （基準温度データDTA $\{T_{m0}\}$ と測定された温度データDTAとの比）が、温度データDTAを測定した時の温度と相関関係を有することは、図10に示した温度データDTAの特性から明らかである。また、 $K(TR)$ は、 $TR = 1$ の場合は1であり、 $TR < 1$ の場合は TR が小さいほど1より大きな値となり、 $TR > 1$ の場合は TR が大きいほど1より小さな値となる。

【0070】

ここで、図11は、補正処理部33が実行する補正処理の内容、即ち(8)式の意味を理解するための説明図であり、(a)は、TAD10の入出力特性が温度 T_{m0} 、 T_{m1} 、 T_{m2} （但し、 $T_{m1} < T_{m0} < T_{m2}$ ）によって変化する様子を模式的に示したグラ

10

20

30

40

50

フ、(b)は補正処理部33の補正の効果を示す説明図である。

【0071】

図11(a)に示すように、AD変換装置3の入出力特性は、温度によって変化するが、入力電圧 V_{in} が温特ゼロ電圧 $V_f (= V_{DCO})$ に等しい時は、温度によらず基準AD変換データ $DT\{V_{in} = V_f\}$ が得られる。そして、入出力特性の傾きは、温度が高いほど小さく、温度が低いほど大きくなる。

【0072】

つまり、(8)式は、測定されたAD変換データと基準AD変換データとの差分($DT - DT\{V_{in} = V_f\}$)を、その差分に調整係数 $K(T_R)$ を乗じることによって、図11(b)に示すように、基準温度 T_{m0} の時に得られる値となるように補正するものである。

10

【0073】

<効果>

以上説明したようにAD変換装置3によれば、入力電圧 V_{in} が温特ゼロ電圧 $V_f (= V_{DCO})$ から大きく外れている場合でも、温度によるばらつきが抑制された精度のよいAD変換データ DT_B を得ることができる。

【0074】

なお、本実施形態において、カウンタ43，ラッチ44，パルスセクタ45，エンコーダ46，信号処理回路47が第2符号化回路、補正処理部33が補正回路に相当する。また、逓倍クロック CK_1 の1周期の長さが固定時間に相当する。

20

【0075】

[第4実施形態]

次に第4実施形態について説明する。

<構成>

図12は、本実施形態のAD変換装置4の全体構成を示すブロック図である。

【0076】

AD変換装置4は、第2実施形態のAD変換装置2からラッチ回路32を省略した構成を有する $DCO \& TAD_2a$ と、 $DCO \& TAD_2a$ への入力電圧 V_{in} として、AD変換の対象となるセンサ電圧 V_s 又は指定電圧 V_{DCO} とは異なった値に設定される基準電圧 V_r のいずれかを選択信号 SEL に従って選択し、入力電圧 V_{in} として $DCO \& TAD_2a$ に供給するセクタ35と、入力電圧 V_{in} としてセンサ電圧 V_s が供給されている時に $DCO \& TAD_2a$ から出力されるAD変換データ $DT\{V_{in} = V_s\}$ と、入力電圧 V_{in} として基準電圧 V_r が供給されている時に $DCO \& TAD_2a$ から出力されるAD変換データ $DT\{V_{in} = V_r\}$ とを用いて、AD変換データ $DT\{V_{in} = V_s\}$ をセンサ電圧 V_s の大きさに換算したセンサ電圧値 DT_V_s を算出するセンサ電圧算出処理部36とを備えている。

30

【0077】

なお、選択信号 SEL によりセクタ35は、センサ電圧 V_s に関するAD変換データ $DT\{V_{in} = V_s\}$ を1回だけ又は複数回連続して求める通常測定期間と、基準電圧 V_r に関するAD変換データ $DT\{V_{in} = V_r\}$ を1回だけ又は複数回連続して求める基準測定期間とが交互に切り替わるように制御される。

40

【0078】

<センサ電圧算出処理部>

センサ電圧算出処理部36では、(9)式を用いてセンサ電圧値 DT_V_s を求める。

【0079】

【数2】

$$DT_V_s = \frac{DT\{V_{in} = V_s\} - DT\{V_{in} = V_f\}}{DT\{V_{in} = V_r\} - DT\{V_{in} = V_f\}}(V_r - V_f) + V_f \quad (9)$$

【0080】

50

ここで図13は、センサ電圧算出処理部36が実行する算出処理の内容、即ち(9)式の意味を理解するための説明図であり、具体的には、図11(a)と同様に、TAD10の入出力特性が温度 T_{m0} 、 T_{m1} 、 T_{m2} (但し、 $T_{m1} < T_{m0} < T_{m2}$)によって変化する様子を模式的に示したグラフである。

【0081】

測定時の温度が T_{m1} であったとすると、AD変換データ $DT\{V_{in} = V_s\}$ 、 $DT\{V_{in} = V_r\}$ 及び基準AD変換データ $DT\{V_{in} = V_f\}$ は、図13に示すように、いずれも温度が T_{m1} の時の入出力特性上の点となる。これら3点のAD変換データに対応する電圧値のうち、 V_f と V_r については既知であり、 V_s のみが未知であるため、入出力特性が直線であるとみなせるのであれば、比例関係を用いることで得られた(9)式から V_s (センサ電圧値 DT_V_s)を求めることができる。

10

【0082】

<効果>

以上説明したように、AD変換装置4によれば、補正されたAD変換データ DTB を求めることなく、センサ電圧値 DT_V_s を直接求めることができるため、センサ電圧値 DT_V_s の算出に要する処理量を削減することができる。

【0083】

なお、本実施形態において、セレクタ35が入力選択回路、センサ電圧算出処理部36が電圧算出回路に相当する。また、センサ電圧 V_s が対象電圧に相当する。

[第5実施形態]

20

次に第5実施形態について説明する。

【0084】

<構成>

図14は、本実施形態のAD変換装置5の全体構成を示すブロック図である。

AD変換装置5は、同じ入力電圧 V_{in} をAD変換する複数の単位回路50と、各単位回路50からの出力を加算してAD変換データ DT を生成する加算器51とを備えている。

【0085】

なお、単位回路50は、上述したAD変換装置1~4のいずれかからなり、全ての単位回路50が同じAD変換装置で構成されている。

30

<効果>

このように構成されたAD変換装置5によれば、単一の単位回路50からなるAD変換装置と比較して、AD変換データ DT の分解能を向上させることができる。

【0086】

[他の実施形態]

以上、本発明のいくつかの実施形態について説明したが、本発明は上記実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において、様々な態様にて実施することが可能である。

【0087】

例えば、第4実施形態のAD変換装置4では、 $DCO \& TAD2a$ として、AD変換装置2からラッチ回路32を省略したものを用いたが、代わりに、AD変換装置1を用いてもよい。

40

【0088】

第5実施形態のAD変換装置5では、全ての単位回路50が同じAD変換で構成されているが、単位回路50毎に異なるAD変換装置で構成されていてもよい。

また、AD変換装置5を構成する全ての単位回路50が、同じAD変換装置からなる場合、ラッチ回路32(単位回路50がAD変換装置2,3の場合)、補正処理部33(単位回路50がAD変換装置3の場合)、セレクタ35及びセンサ電圧算出処理部36(単位回路50がAD変換装置4の場合)は、そのまま単位回路50毎に設けてもよいし、加算器51の後段に一つだけ設けてもよい。

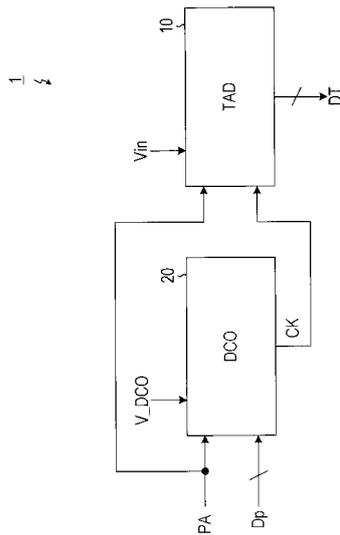
50

【符号の説明】

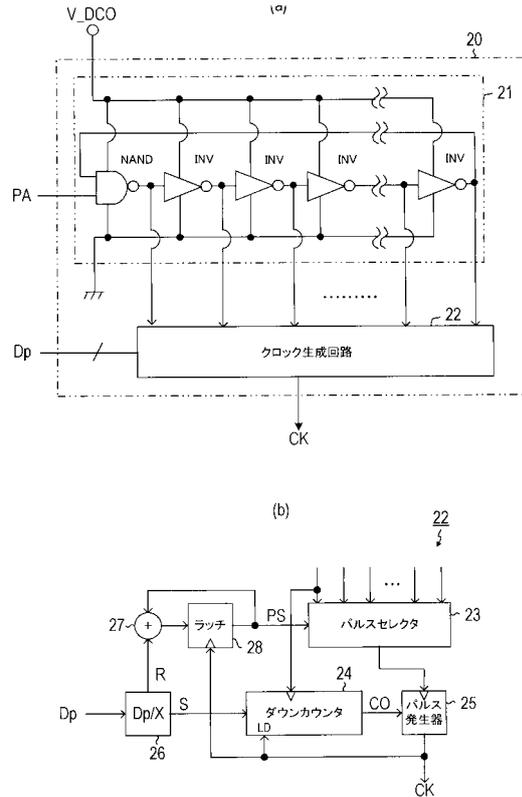
【0089】

1, 2, 3, 4 ... AD変換装置 2a ... DCO & TAD 10 ... 時間AD変換回路 (TAD) 11, 21, 41 ... リングディレイライン (RDL) 12, 43 ... カウンタ
 13, 44 ... ラッチ回路 14, 45 ... パルスセクタ 15, 46 ... エンコーダ 16, 47 ... 信号処理回路 20 ... デジタル制御発振器 (DCO) 22 ... クロック生成回路
 23 ... パルスセクタ 24 ... ダウンカウンタ 25 ... パルス発生回路 26 ... 割算器
 27, 51 ... 加算器 30 ... 論理和回路 31 ... 分周回路 32 ... ラッチ回路 33 ... 補正処理部
 34 ... 逓倍回路 35 ... セクタ 36 ... センサ電圧算出処理部 40 ... DCO & TDC 50 ... 単位回路

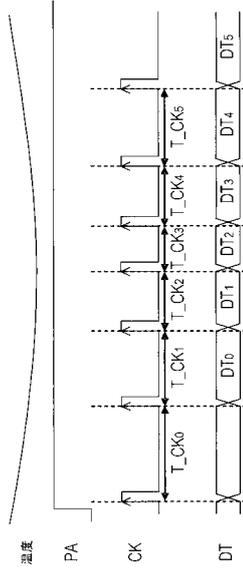
【図1】



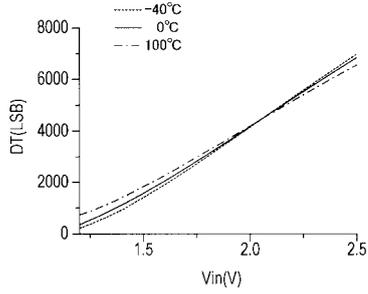
【図2】



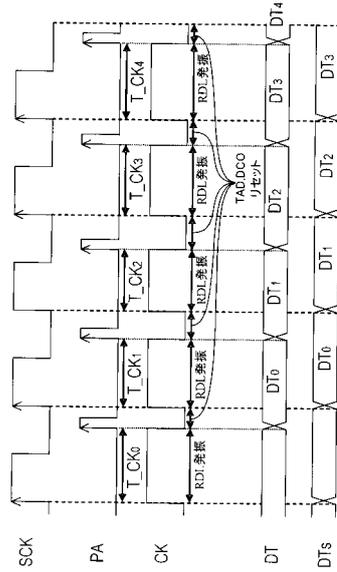
【 図 3 】



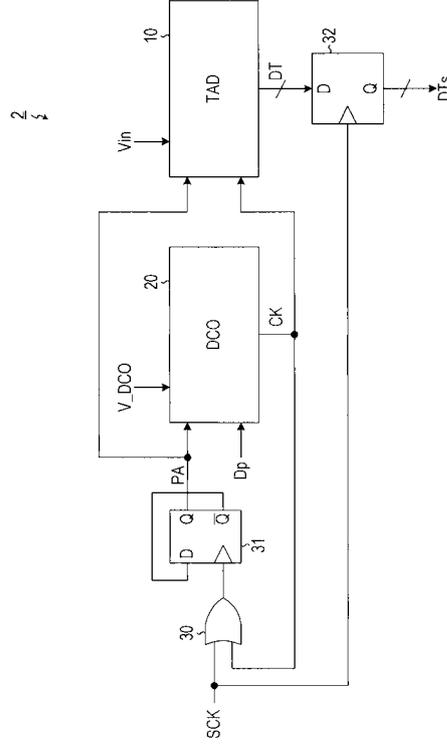
【 図 4 】



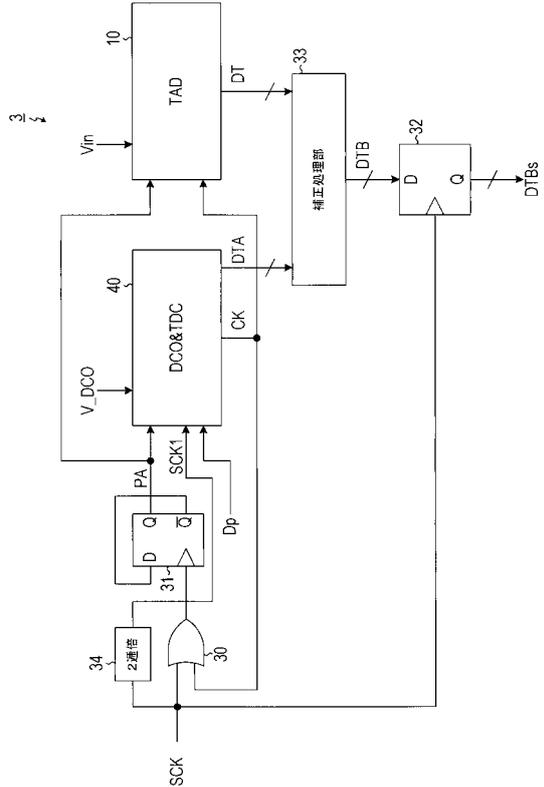
【 図 6 】



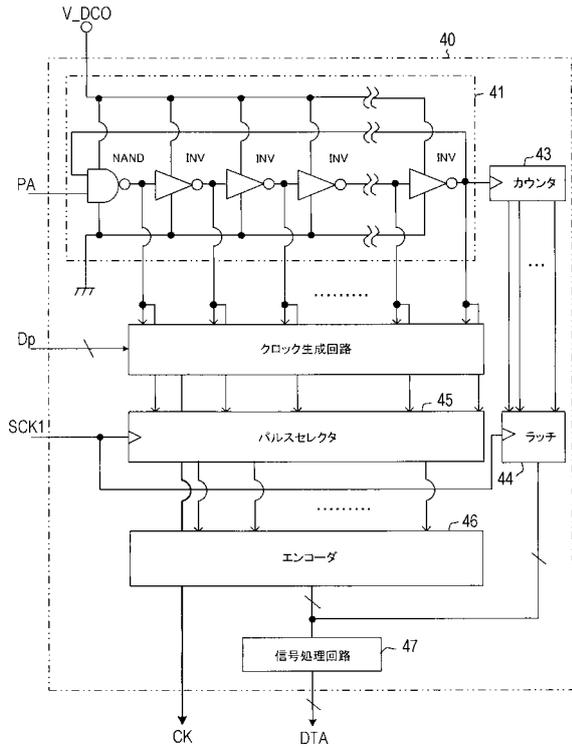
【 図 5 】



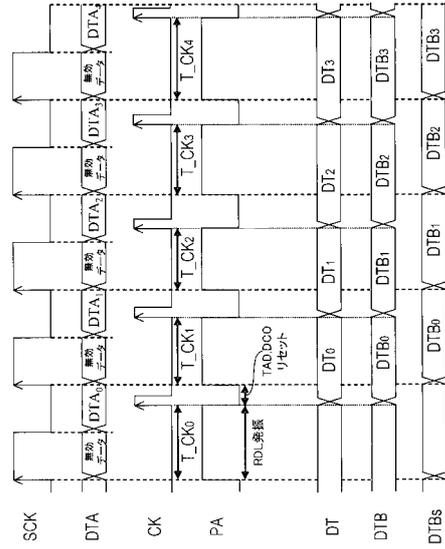
【 図 7 】



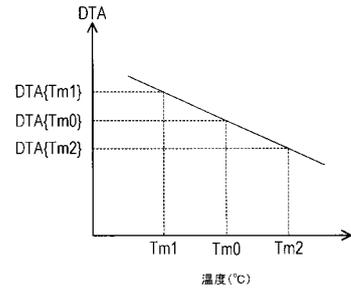
【図8】



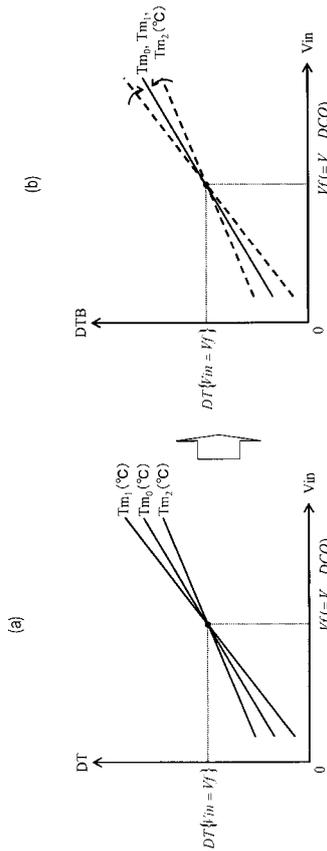
【図9】



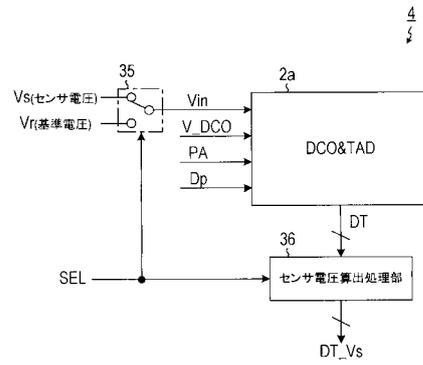
【図10】



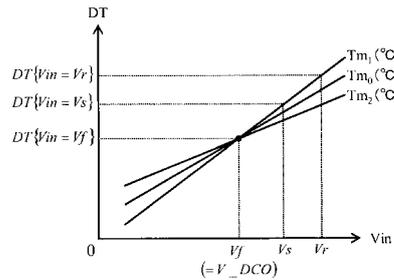
【図11】



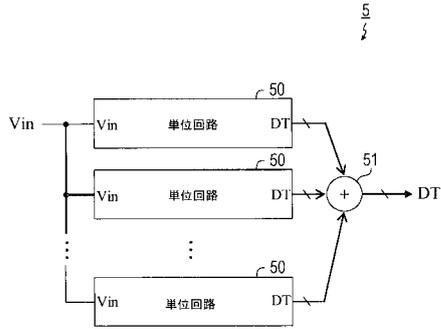
【図12】



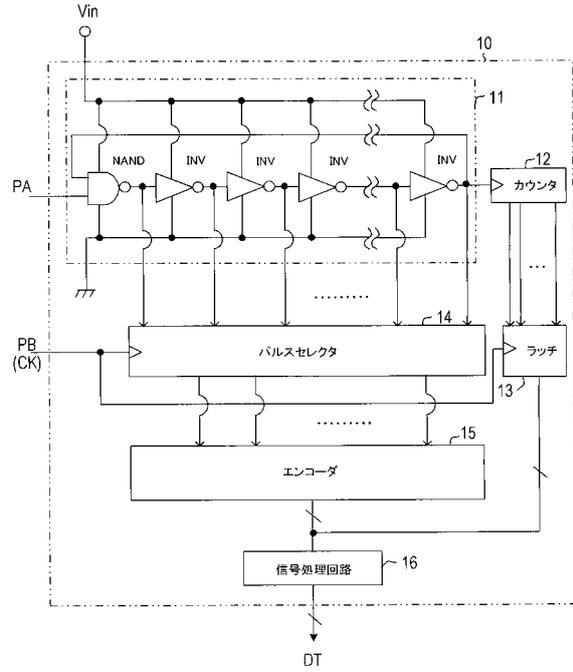
【図13】



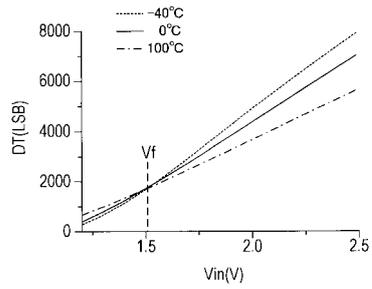
【図14】



【図15】



【図16】



フロントページの続き

- (56)参考文献 特開2008-312185(JP,A)
特開平05-259907(JP,A)
特開2003-273735(JP,A)
特開2004-274157(JP,A)
特開2004-007385(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03M1/00-1/88