



LCD 패널의 일측단을 따라 배치되어 LCD 패널을 구동하는 게이트 구동 집적 회로에 있어서,

팬-아웃 라인들을 통하여 상기 LCD 패널상에 형성된 게이트 라인들과 각각 연결되고, 스타트 펄스 신호와 클럭 신호에 응답하여 상기 팬-아웃 라인들에 게이트 제어 신호들을 각각 출력하는 복수의 게이트 채널들을 구비하고,

상기 팬-아웃 라인들은 다른 저항 값들을 각각 가지며, 상기 복수의 게이트 채널들은 상기 게이트 제어 신호들을 상기 저항 값들에 반비례하게 각각 설정되는 지연 시간들 동안 각각 지연시킨 후 출력하는 것을 특징으로 하는 게이트 구동 집적 회로.

## 청구항 2.

제1항에 있어서,

상기 팬-아웃 라인들은 병렬로 배치되고, 중앙에 위치한 팬-아웃 라인을 기준으로 하여 상호 대칭되는 저항 값들을 각각 가지며, 상기 팬-아웃 라인들의 저항 값들은 중앙에 위치한 팬-아웃 라인에서 양측 외곽에 위치한 팬-아웃 라인들 방향으로 증가되고,

상기 지연 시간들은 중앙에 위치한 게이트 채널에서 양측 외곽에 위치한 게이트 채널들 방향으로 감소되는 것을 특징으로 하는 게이트 구동 집적 회로.

## 청구항 3.

제1항에 있어서, 상기 복수의 게이트 채널들 각각은,

상기 클럭 신호와 쉬프트 방향 선택 신호에 응답하여, 상기 스타트 펄스 신호를 수신하고, 쉬프트 신호를 출력하는 쉬프트 레지스터;

상기 쉬프트 신호의 전압 레벨을 변환하고, 그 변환된 신호를 버퍼 제어 신호로서 출력하는 레벨 쉬프터; 및

상기 버퍼 제어 신호에 응답하여 상기 게이트 제어 신호들 중 하나를 출력하는 출력 버퍼를 포함하고,

상기 출력 버퍼는 대응하는 팬-아웃 라인의 저항 값에 비례하는 전류 구동 능력을 가지며, 상기 출력 버퍼의 전류 구동 능력에 따라 상기 게이트 제어 신호의 출력 지연 시간이 결정되는 것을 특징으로 하는 게이트 구동 집적 회로.

## 청구항 4.

제3항에 있어서,

상기 복수의 게이트 채널들의 출력 버퍼들의 전류 구동 능력은 중앙에 위치한 게이트 채널에서 양측 외곽에 위치한 게이트 채널들 방향으로 증가되는 것을 특징으로 하는 게이트 구동 집적 회로.

## 청구항 5.

제3항에 있어서,

상기 출력 버퍼의 전류 구동 능력은 상기 출력 버퍼의 저항 값에 반비례하고,

상기 복수의 게이트 채널들의 출력 버퍼들의 저항 값들은 중앙에 위치한 게이트 채널에서 양측 외곽에 위치한 게이트 채널들 방향으로 감소되는 것을 특징으로 하는 게이트 구동 집적 회로.

## 청구항 6.

제5항에 있어서,

서로 이웃한 두 개의 게이트 채널들의 출력 버퍼들의 저항 값들간의 차는 중앙에 위치한 팬-아웃 라인의 저항 값과 일측 외곽에 위치한 팬-아웃 라인의 저항 값간의 차의 2배수를 전체 게이트 채널의 수로 나눈 값과 동일한 것을 특징으로 하는 게이트 구동 집적 회로.

## 청구항 7.

제5항에 있어서,

상기 출력 버퍼들의 저항 값들과 상기 출력 버퍼들에 대응하는 팬-아웃 라인들의 저항 값들의 각 합들은 동일한 것을 특징으로 하는 게이트 구동 집적 회로.

## 청구항 8.

제3항에 있어서,

상기 출력 버퍼들로부터 출력되는 게이트 제어 신호들이 인에이블 상태로 유지되는 시간들은 모두 동일한 것을 특징으로 하는 게이트 구동 집적 회로.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 LCD(liquid crystal display) 장치에 관한 것으로서, 특히, LCD 장치의 게이트 구동 집적 회로에 관한 것이다.

도 1은 종래의 LCD 장치(10)를 개략적으로 나타내는 블록도이다. 상기 LCD 장치(10)는 LCD 패널(11), 소스 구동 집적 회로들(12s), 및 게이트 구동 집적 회로들(13s)을 포함한다. 상기 LCD 패널(11)에는 스위칭 장치로서 TFT(thin film transistor)를 사용하는 픽셀들(미도시)이 매트릭스 형태로 정렬되어 있고, 상기 픽셀들의 TFT들의 게이트들은 상기 LCD 패널(11)상에 형성된 게이트 라인들(미도시)에 각각 연결되어 있다. 또, 상기 LCD 패널(11)의 로우 방향을 따라 상기 소스 구동 집적 회로들(12s)이 배치되고, 칼럼 방향을 따라 상기 게이트 구동 집적 회로들(13s)이 배치된다. 도 1에서, 'A'로 표시된 부분의 게이트 구동 집적 회로(13)를 확대한 도면을 참고하면, 상기 게이트 구동 집적 회로(13)의 출력 단자들(미도시)이 플렉시블(flexible) 필름(14)상에 형성된 회로 패턴들에 각각 연결되고, 상기 플렉시블 필름(14)은 접착물질(15)에 의해 상기 LCD 패널(11)에 부착된다. 상기 플렉시블 필름(14)상에 형성된 회로 패턴들은 상기 LCD 패널(11)상에 형성된 회로 패턴들에 연결된다. 상기 게이트 구동 집적 회로(13)의 출력 단자들과 상기 LCD 패널(11)상의 게이트 라인들(미도시)을 연결하는 팬-아웃(fan-out) 라인들(16)은 상기 플렉시블 필름(14)의 회로 패턴들과 상기 LCD 패널(11)의 회로 패턴들로 구성된다.

도 1에서 참조되는 것과 같이, 상기 팬-아웃 라인들(16s)의 패턴 모양에 따라 그 길이들이 서로 다르다. 이처럼 상기 팬-아웃 라인들(16s)의 길이들이 서로 다르기 때문에, 상기 팬-아웃 라인들(16s)의 저항 값들 역시 다르다. 도 2는 도 1에 도

시된 게이트 구동 집적 회로(13)와, 팬-아웃 라인들(16a, 16b) 및 게이트 라인들(17a, 17b)의 등가 회로들을 나타내는 도면이다. 상기 게이트 라인(17a)은 최외곽에 배치되고, 상기 게이트 라인(17b)은 중앙에 배치된다. 상기 팬-아웃 라인(16a)은 상기 게이트 구동 집적 회로(IC)(13)와 상기 게이트 라인(17a)을 연결하고, 상기 팬-아웃 라인(16b)은 상기 게이트 구동 IC(13)와 상기 게이트 라인(17b)을 연결한다. 도 2에서, Ro1과 Co1은 상기 팬-아웃 라인(16a)의 저항 및 캐패시턴스를 나타내고, RoN과 CoN(N은 정수)은 상기 팬-아웃 라인(16b)의 저항 및 캐패시턴스를 나타낸다. 또, R1, R2, 및 R3은 상기 게이트 라인들(17a, 17b) 각각에 연결되는 픽셀들의 저항 값을 등가적으로 나타낸 것이고, C1, C2, 및 C3은 상기 게이트 라인들(17a, 17b) 각각에 연결되는 픽셀들의 캐패시턴스 값을 등가적으로 나타낸 것이다.

여기에서, 중앙에 위치한 상기 팬-아웃 라인(16b)의 길이가 가장 짧기 때문에 상기 저항(RoN)의 값이 가장 작고, 상기 팬-아웃 라인(16a)의 길이가 가장 길기 때문에 상기 저항(Ro1)의 값이 가장 크다. 따라서 상기 저항들(Ro1, RoN) 사이에서 수백Ω 정도의 저항 값 차가 발생할 수 있다. 이러한 팬-아웃 라인들(16a, 16b)의 저항 값들의 차이에 의해, 상기 팬-아웃 라인들(16a, 16b)을 통하여 게이트 라인들(17a, 17b)에 전송되는 게이트 제어 신호들(GS1, GSN)(N은 정수)은 서로 다른 시간들 동안 각각 지연된 후, 상기 게이트 라인들(17a, 17b)에 입력된다. 그 결과 도 1에 도시된 것과 같이, 중앙의 상기 팬-아웃 라인(16b)에 연결된 게이트 라인(17b) 부분의 화상은 밝고, 외곽의 상기 팬-아웃 라인(16a)에 연결된 게이트 라인(17a) 부분의 화상은 어둡게 되어, 전체적인 화상에 가로줄 무늬(C)와 같은 불량 현상을 발생시킨다.

도 3a는 도 2에 도시된 게이트 제어 신호들의 파형도이다. 도 3a에서, GS1'과 GSN'는 각각 상기 팬-아웃 라인들(16a, 16b)을 통과한 게이트 제어 신호들(GS1, GSN)이 게이트 라인들(17a, 17b)의 시작 지점인 노드들(ND1)에 입력될 때, 상기 노드들(ND1)에서의 상기 게이트 제어 신호들(GS1, GSN)의 파형들을 나타낸다. 또, GS1''과 GSN''는 각각 상기 게이트 라인들(17a, 17b)의 종단(end) 지점인 노드들(ND2)에서의 상기 게이트 제어 신호들(GS1, GSN)의 파형들을 나타낸다. 도 3a에서 참조되는 것과 같이, GSN' 및 GSN''의 위상들이 각각 GS1', GS1''의 위상들 보다 앞선다. 즉, 상기 게이트 제어 신호(GSN)가 저항 값이 작은 중앙의 상기 팬-아웃 라인(16b)을 통과하는데 걸리는 시간이, 상기 게이트 제어 신호(GS1)가 상기 팬-아웃 라인(16a)을 통과하는데 걸리는 시간 보다 더 작다. 도 3b는 도 2에 도시된 게이트 제어 신호들의 타이밍도로서, 상기 게이트 제어 신호들(GS1', GSN')이 인에이블 상태로 유지되는 시간들(T1, T2)을 비교하기 위한 도면이다. 실제로, 상기 게이트 제어 신호들(GS1', GSN')의 라이징 에지들은 서로 다른 시점에 존재한다. 도 3b에서 참조되는 것과 같이, 상기 게이트 제어 신호들(GS1', GSN')의 인에이블 구간(T1, T2) 역시 ΔT만큼의 차이가 발생된다. 따라서 상기 게이트 라인(17b)에 연결되는 TFT들의 턴 온 시간이 상기 게이트 라인(17a)에 연결되는 TFT들의 턴 온 시간 보다 더 길다. 그 결과 LCD 패널(11)에 디스플레이 되는 영상의 화질이 더욱 나빠지게 된다. 상술한 것과 같이, 종래의 게이트 구동 집적 회로는 팬-아웃 라인들간의 저항 차를 보상하기 위한 수단을 구비하지 않기 때문에, 팬-아웃 라인들간의 저항 차로 인하여 가로줄 무늬와 같은 불량 현상이 발생하는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는, 팬-아웃 라인들간의 저항 차를 보상하여, 개선된 화질을 제공하는 LCD용 게이트 구동 집적 회로를 제공하는데 있다.

### 발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 LCD용 게이트 구동 집적 회로는, 팬-아웃 라인들을 통하여 LCD 패널상에 형성된 게이트 라인들과 각각 연결되고, 스타트 펄스 신호와 클럭 신호에 응답하여 팬-아웃 라인들에 게이트 제어 신호들을 각각 출력하는 복수의 게이트 채널들을 구비하는 것을 특징으로 한다. 바람직하게, 팬-아웃 라인들은 다른 저항 값들을 각각 가지며, 복수의 게이트 채널들은 게이트 제어 신호들을 팬-아웃 라인들의 저항 값들에 반비례하게 각각 설정되는 지연 시간들 동안 각각 지연시킨 후 출력한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 4는 본 발명의 일실시예에 따른 LCD용 게이트 구동 집적 회로(100)의 블록도이다. 상기 게이트 구동 집적 회로(100)는 복수의 게이트 채널들(GCH1 ~ GCHM)(M은 정수)을 포함한다. 상기 복수의 게이트 채널들(GCH1 ~ GCHM)은 병렬로 배치되고, 팬-아웃 라인들(FL1 ~ FLM)(M은 정수)을 통하여 게이트 라인들(GL1 ~ GLM)(M은 정수)에 각각 연결된다. 도 4

에서는 도면의 간략화를 위해 상기 게이트 채널들(GCH1, GCH(M/2), GCHM)만이 도시되어 있다. 상기 게이트 채널들(GCH2~GCH((M/2)-1), GCH((M/2)+1)~GCH(M-1))의 구성 및 구체적인 동작은 상기 게이트 채널들(GCH1, GCH(M/2), GCHM)과 유사하다.

상기 게이트 채널(GCH1)은 쉬프트 레지스터(SR1), 레벨 쉬프터(LS1), 및 출력 버퍼(BF1)를 포함하고, 상기 게이트 채널(GCH(M/2))은 쉬프트 레지스터(SR(M/2)), 레벨 쉬프터(LS(M/2)), 및 출력 버퍼(BF(M/2))를 포함한다. 또, 상기 게이트 채널(GCHM) 역시 쉬프트 레지스터(SRM), 레벨 쉬프터(LS1), 및 출력 버퍼(BF1)를 포함한다. 상기 쉬프트 레지스터(SR1)는 클럭 신호(CLK)와 쉬프트 방향 선택 신호(UD)에 응답하여, 스타트 펄스 신호(SP)를 수신하고, 쉬프트 신호(S1)를 출력한다. 또, 상기 쉬프트 레지스터(SR1)는 상기 스타트 펄스 신호(SP)를 다음의 게이트 채널(GCH2)의 쉬프트 레지스터(SR2)에 출력한다. 상기 쉬프트 레지스터(SR(M/2))는 상기 클럭 신호(CLK)와 상기 방향 선택 신호(UD)에 응답하여, 게이트 채널(GCH((M/2)-1))의 쉬프트 레지스터(SR((M/2)-1))로부터 상기 스타트 펄스 신호(SP)를 수신하고, 쉬프트 신호(S(M/2))를 출력한다. 또, 상기 쉬프트 레지스터(SR(M/2))는 상기 스타트 펄스 신호(SP)를 게이트 채널(GCH((M/2)+1))의 쉬프트 레지스터(SR((M/2)+1))에 출력한다. 상기 쉬프트 레지스터(SRM) 역시 상기 클럭 신호(CLK)와 상기 방향 선택 신호(UD)에 응답하여, 게이트 채널(GCH(M-1))의 쉬프트 레지스터(SR(M-1))로부터 상기 스타트 펄스 신호(SP)를 수신하고, 쉬프트 신호(SM)를 출력한다. 또, 상기 쉬프트 레지스터(SRM)는 차기의 게이트 구동 집적 회로(미도시)의 첫 번째 게이트 채널의 쉬프트 레지스터에 상기 스타트 펄스 신호(SP)를 출력한다. 여기에서, 상기 방향 선택 신호(UD)에 따라 상기 스타트 펄스 신호(SP)가 상기 쉬프트 레지스터(SR1)에서 상기 쉬프트 레지스터(SRM) 방향으로 연속적으로 전달되거나 또는 상기 쉬프트 레지스터(SRM)에서 상기 쉬프트 레지스터(SR1) 방향으로 연속적으로 전달된다.

상기 레벨 쉬프터들(LS1, LS(M/2), LSM)은 상기 쉬프트 신호들(S1, S(M/2), SM)의 전압 레벨들을 상기 출력 버퍼들(BF1, BF(M/2), BFM)을 제어하기에 충분한 전압 레벨들로 각각 변환하고, 그 변환된 신호들을 버퍼 제어 신호들(B1, B(M/2), BM)로서 각각 출력한다. 이 때, 출력 마스킹 신호(OE)에 의해 상기 레벨 쉬프터들(LS1~LSM) 중 일부의 출력이 마스킹될 수 있다. 상기 출력 버퍼(BF1)는 상기 버퍼 제어 신호(B1)에 응답하여 게이트 제어 신호(G1)를 출력한다. 이 때, 상기 출력 버퍼(BF1)는 상기 게이트 제어 신호(G1)를 지연 시간(Dt1) 동안 지연시킨 후 출력한다. 상기 출력 버퍼(BF(M/2))는 상기 버퍼 제어 신호(B(M/2))에 응답하여 게이트 제어 신호(G(M/2))를 출력한다. 상기 출력 버퍼(BF(M/2))는 상기 게이트 제어 신호(G(M/2))를 지연 시간(Dt(M/2)) 동안 지연시킨 후 출력한다. 상기 출력 버퍼(BFM)은 상기 버퍼 제어 신호(BM)에 응답하여 게이트 제어 신호(GM)를 출력한다. 상기 출력 버퍼(BFM)은 상기 게이트 제어 신호(GM)를 지연 시간(DtM) 동안 지연시킨 후 출력한다. 여기에서, 상기 지연 시간들(Dt1, DtM)은 상기 지연 시간(Dt(M/2))과 다르게 설정된다. 좀 더 상세하게는, 상기 지연 시간(Dt(M/2))이 상기 지연 시간들(Dt1, DtM)이 보다 더 크게 설정된다.

상기 출력 버퍼들(BF1, BF(M/2), BFM)의 동작을 도 5를 참고하여, 좀 더 상세히 설명하기로 한다. 도 5는 도 4에 도시된 출력 버퍼들(BF1, BF(M/2), BFM)과, 팬-아웃 라인들(FL1, FL(M/2), FLM) 및 게이트 라인들(GL1, GL(M/2), GLM)의 등가 회로들을 나타내는 도면이다. 도 5에서, Rf1, Rf(M/2), RfM은 팬-아웃 라인들(FL1, FL(M/2), FLM)의 저항 값들을 각각 나타내고, Cf1, Cf(M/2), CfM은 상기 팬-아웃 라인들(FL1, FL(M/2), FLM)의 캐패시턴스 값들을 각각 나타낸다. 또, 상기 Rg1, Rg2, 및 Rg3은 상기 게이트 라인들(GL1, GL(M/2), GLM) 각각에 연결되는 픽셀들의 전체 저항 값을 등가적으로 나타낸 것이고, Cg1, Cg2, 및 Cg3은 상기 게이트 라인들(GL1, GL(M/2), GLM) 각각에 연결되는 픽셀들의 전체 캐패시턴스 값을 등가적으로 나타낸 것이다.

여기에서, 중앙에 위치한 상기 팬-아웃 라인(FL(M/2))의 길이가 가장 짧기 때문에 상기 저항 값(Rf(M/2))이 가장 작고, 상기 팬-아웃 라인들(FL1, FLM)의 길이가 가장 길기 때문에 상기 저항 값들(Rf1, RfM)이 가장 크다. 또, 상기 팬-아웃 라인들(FL1~FLM)의 저항 값들(Rf1~RfM)은 상기 팬-아웃 라인(FL(M/2))을 기준으로 하여 양측 외곽의 상기 팬-아웃 라인들(FL1, FLM) 방향으로 점차 증가된다. 따라서 상기 팬-아웃 라인(FL(M/2))을 기준으로 하여 상기 저항 값들(Rf((M/2)-1)~Rf1)과 상기 저항 값들(Rf((M/2)+1)~RfM)이 각각 상호 대칭을 이룬다.

상기 출력 버퍼들(BF1, BF(M/2), BFM)은 PMOS 트랜지스터들(P1, P(M/2), PM)과 NMOS 트랜지스터들(N1, N(M/2), NM)을 각각 포함하고, 동작 전원으로서는 전압들(VGG, VEE)이 인가된다. 상기 PMOS 트랜지스터들(P1, P(M/2), PM)의 게이트들에는 게이트 제어 신호들(B1\_1, B(M/2)\_1, BM\_1)이 각각 입력되고, 상기 NMOS 트랜지스터들(N1, N(M/2), NM)의 게이트들에는 게이트 제어 신호들(B1\_2, B(M/2)\_2, BM\_2)이 각각 입력된다. 택일적으로, 상기 PMOS 트랜지스터(P1)와 상기 NMOS 트랜지스터(N1)의 게이트들에 동시에 게이트 제어 신호(B1)가 입력되고, 상기 PMOS 트랜지스터(P(M/2))와 상기 NMOS 트랜지스터(N(M/2))의 게이트들에 동시에 게이트 제어 신호(B(M/2))가 입력되고, 상기 PMOS 트랜지스터(PM)와 상기 NMOS 트랜지스터(NM)의 게이트들에 동시에 게이트 제어 신호(BM)가 입력될 수도 있다.

한편, 상기 출력 버퍼들(BF1, BF(M/2), BFM)의 지연 시간들(Dt1, Dt(M/2), DtM)은 상기 팬-아웃 라인들(FL1, FL(M/2), FLM)의 상기 저항 값들(Rf1, Rf(M/2), RfM)에 각각 반비례하게 설정되고, 상기 지연 시간들(Dt1, Dt(M/2), DtM)은 상

기 출력 버퍼들(BF1, BF(M/2), BFM)의 전류 구동 능력들에 반비례한다. 예를 들어, 상기 출력 버퍼(BF1)의 전류 구동 능력이 증가하면 그 출력 지연 시간인, 상기 지연 시간(Dt1)이 감소된다. 바람직하게, 상기 지연 시간들(Dt1~DtM)은 중앙에 위치한 게이트 채널(GCH(M/2))의 출력 버퍼(BF(M/2))에서 양측 외곽에 위치한 게이트 채널들(GCH1, GCHM)의 출력 버퍼들(BF1, BFM) 방향으로 감소되도록 설정된다. 또, 상기 출력 버퍼들(BF1, BF(M/2), BFM)의 전류 구동 능력들은 상기 출력 버퍼들(BF1, BF(M/2), BFM)의 저항 값들에 반비례한다. 따라서 상기 출력 버퍼(BF(M/2))의 저항 값이 가장 크고, 상기 출력 버퍼(BF(M/2))에서 상기 출력 버퍼들(BF1, BFM) 각각의 방향으로 그 저항 값이 점차 감소된다. 따라서 상기 출력 버퍼들(BF1, BF(M/2), BFM)의 저항 값들과 각각 대응하는 팬-아웃 라인들(FL1, FL(M/2), FLM)의 저항 값들(Rf1, Rf(M/2), RfM) 각각의 합들은 모두 동일하다. 예를 들어, 상기 저항 값들(Rf1, Rf(M/2), RfM)이 각각 650Ω, 180Ω, 650Ω일 때, 상기 출력 버퍼들(BF1, BF(M/2), BFM)의 저항 값들은 각각 200Ω, 670Ω, 200Ω으로 설정될 수 있다. 또, 상기 출력 버퍼(BF(M/2))에서 상기 출력 버퍼들(BF1, BFM) 각각의 방향으로 그 저항 값들이 점차 감소될 때, 감소 크기(ΔR)는 다음의 수학식으로 계산될 수 있다.

수학식 1

$$\Delta R = \frac{[R_{f1} - R_f(\frac{M}{2})] \times 2}{M}, \text{ (M은 전체 게이트 채널의 수)}$$

따라서 상기 출력 버퍼(BF(M/2))에서 상기 출력 버퍼들(BF1, BFM) 각각의 방향으로 그 저항 값들이 상기 ΔR만큼씩 감소된다. 결과적으로, 서로 이웃한 두 개의 게이트 채널들의 출력 버퍼들의 저항 값들간의 차는 상기 ΔR과 같다. 또, 상기 출력 버퍼들(BF1~BFM)의 저항 값들과 상기 팬-아웃 라인들(FL1~FLM)의 저항 값들의 관계는 아래의 표로 나타낼 수 있다.

[표 1]

게이트 채널들	팬-아웃 라인들(FL1~FLM)의 저항 값들	출력 버퍼들(BF1~BFM)의 저항 값들	팬-아웃 라인들(FL1~FLM)의 저항 값들과 출력 버퍼들(BF1~BFM)의 저항 값들 각각의 합	β = Rf1-Rf(M/2)
GCH1	Rf1	C	Rf1+C	
GCH2	Rf1-ΔR	C+ΔR	Rf1+C	
GCH3	Rf1-2ΔR	C+2ΔR	Rf1+C	
⋮	⋮	⋮	⋮	
⋮	⋮	⋮	⋮	
⋮	⋮	⋮	⋮	
GCH(M/2)	Rf(M/2)(=Rf1-β)	C+β	Rf1+C	
⋮	⋮	⋮	⋮	
⋮	⋮	⋮	⋮	
GCH(M-2)	Rf1-2ΔR	C+2ΔR	Rf1+C	
GCH(M-1)	Rf1-ΔR	C+ΔR	Rf1+C	
GCHM	RfM(=Rf1)	C	Rf1+C	

상술한 것과 같이, 상기 출력 버퍼들(BF1~BFM)의 저항 값들이 상기 팬-아웃 라인들(FL1~FLM)의 저항 값들(Rf1~RfM)에 반비례하게 설정되면, 상기 출력 버퍼들(BF1~BFM)로부터 출력되는 게이트 제어 신호들(G1~GM)이 상기 팬-아웃 라인들(FL1~FLM)을 통과하는데 걸리는 시간이 모두 동일하게 된다. 따라서 LCD 패널에 디스플레이 되는 전체적인 화상에 가로줄 무늬(C)와 같은 불량 현상이 발생하는 것을 방지할 수 있다.

도 6a는 도 5에 도시된 게이트 제어 신호들의 파형도이다. 도 6a를 참고하면, G1'과 G(M/2)'는 각각 상기 팬-아웃 라인들(FL1, FL(M/2))을 통과한 게이트 제어 신호들(G1, G(M/2))이 게이트 라인들(GL1, GL(M/2))의 시작 지점인 노드들(D1)에 입력될 때, 상기 노드들(D1)에서의 상기 게이트 제어 신호들(G1, G(M/2))의 파형들을 나타낸다. 또, G1''과 G(M/2)''는

각각 상기 게이트 라인들(GL1, GL(M/2))의 종단(end) 지점인 노드들(D2)에서의 상기 게이트 제어 신호들(G1, G(M/2))의 파형들을 나타낸다. 도 6a에서 참조되는 것과 같이, G1'과 G(M/2)'의 위상들이 일치하고, G1'', G(M/2)''의 위상들이 일치하는 것을 알 수 있다. 즉, 상기 게이트 제어 신호(G1)가 상기 팬-아웃 라인(FL1)을 통과하는데 걸리는 시간이, 상기 게이트 제어 신호(G(M/2))가 상기 팬-아웃 라인(FL(M/2))을 통과하는데 걸리는 시간과 일치한다.

도 6b는 도 5에 도시된 게이트 제어 신호들의 타이밍도로서, 상기 게이트 제어 신호들(G1', G(M/2)', GM')이 인에이블 상태로 유지되는 시간들을 비교하기 위한 도면이다. 실제로, 상기 게이트 제어 신호들(G1', G(M/2)', GM')의 라이징 에지들은 서로 다른 시점에 존재한다. 도 6b에서 참조되는 것과 같이, 상기 게이트 제어 신호들(G1', G(M/2)', GM')의 인에이블 구간이 T로서 동일하다. 따라서 게이트 라인들(GL1, GL(M/2), GLM)에 연결되는 TFT들의 턴 온 시간이 모두 동일하게 되어, LCD 패널에 디스플레이 되는 영상의 화질이 더욱 개선될 수 있다.

또한, 본 발명에 따른 LCD용 게이트 구동 집적 회로는 추가의 회로를 사용하지 않고 팬-아웃 라인들의 저항들에 반비례하게 출력 버퍼들의 저항 값들을 조절함으로써, 팬-아웃 라인들간의 저항 차를 보상하므로, 칩 사이즈가 증가되지 않는다. 또, 본 발명에 따른 LCD용 게이트 구동 집적 회로는 출력 버퍼들의 전류 구동 능력들이 최외곽의 출력 버퍼에서 중앙에 위치한 출력 버퍼의 방향으로 감소되므로, 소모 전류가 감소될 수 있다.

본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 발명의 효과

상기한 것과 같이, 본 발명에 따른 LCD용 게이트 구동 집적 회로는 칩 사이즈를 증가시키지 않고 팬-아웃 라인들간의 저항 차를 보상하여, 개선된 화질을 제공할 수 있는 효과가 있다.

또한, 본 발명에 따른 LCD용 게이트 구동 집적 회로는 출력 버퍼들의 크기들을 조절함으로써, 팬-아웃 라인들간의 저항 차를 보상하므로 소모 전류를 감소시킬 수 있는 효과가 있다.

### 도면의 간단한 설명

도 1은 종래의 LCD 장치를 개략적으로 나타내는 블록도이다.

도 2는 도 1에 도시된 게이트 구동 집적 회로와, 팬-아웃 라인들 및 게이트 라인들의 등가 회로들을 나타내는 도면이다.

도 3a는 도 2에 도시된 게이트 제어 신호들의 파형도이다.

도 3b는 도 2에 도시된 게이트 제어 신호들의 타이밍도이다.

도 4는 본 발명의 일실시예에 따른 LCD용 게이트 구동 집적 회로의 블록도이다.

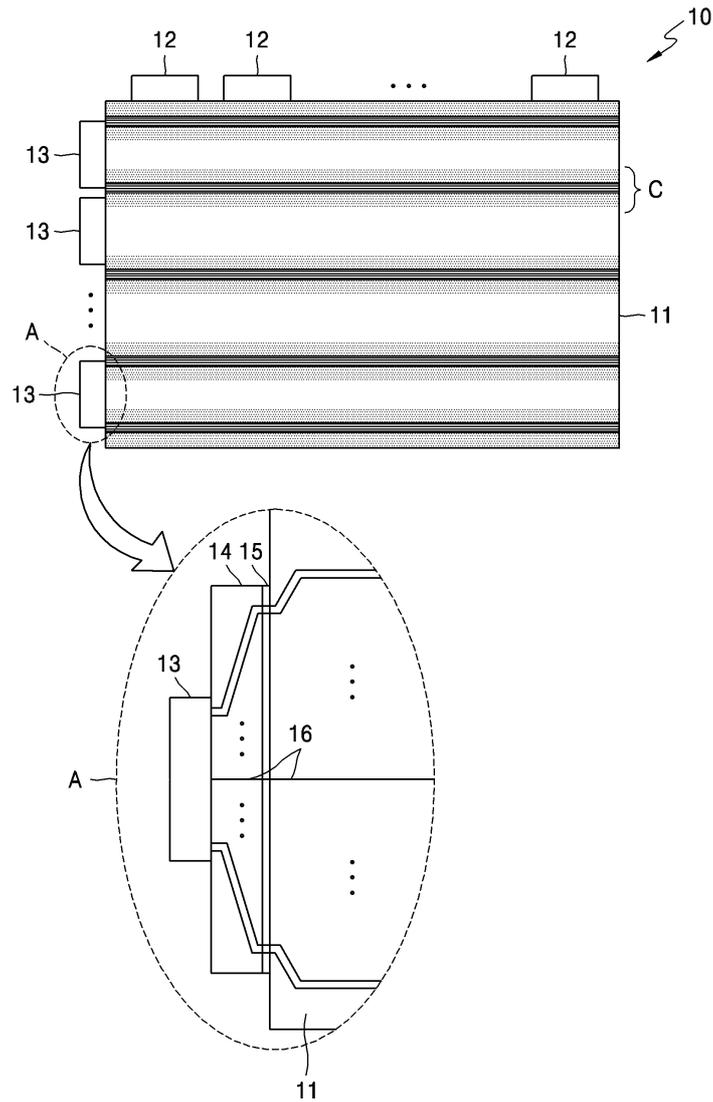
도 5는 도 4에 도시된 출력 버퍼들과, 팬-아웃 라인들 및 게이트 라인들의 등가 회로들을 나타내는 도면이다.

도 6a는 도 5에 도시된 게이트 제어 신호들의 파형도이다.

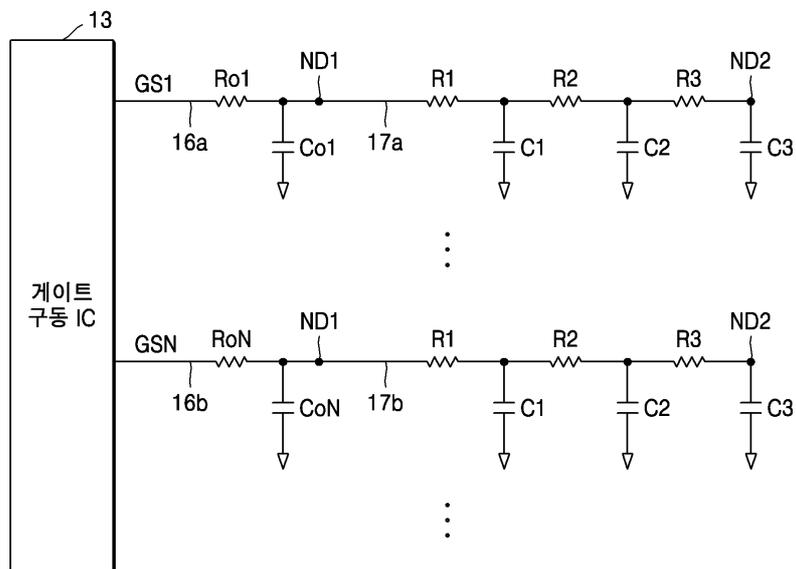
도 6b는 도 5에 도시된 게이트 제어 신호들의 타이밍도이다.

### 도면

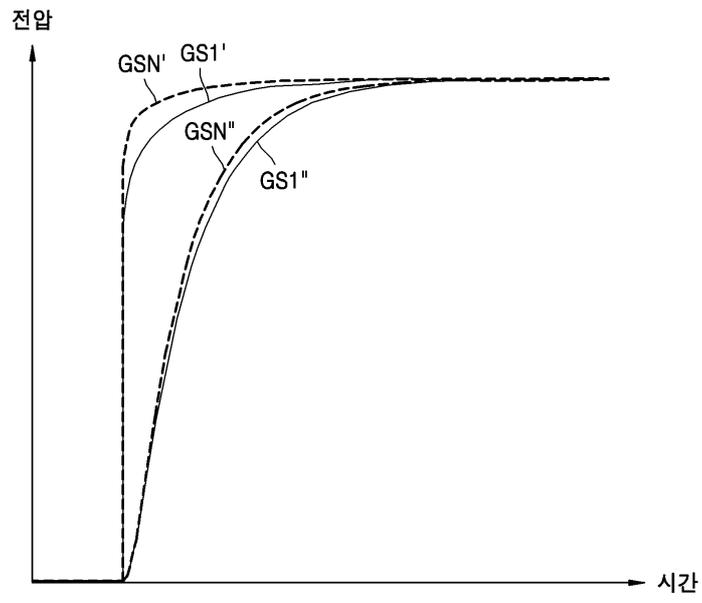
도면1



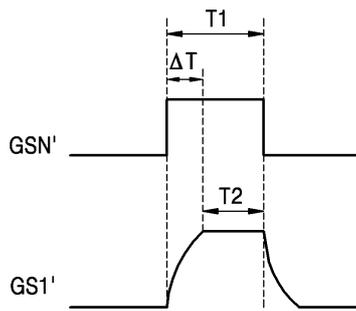
도면2



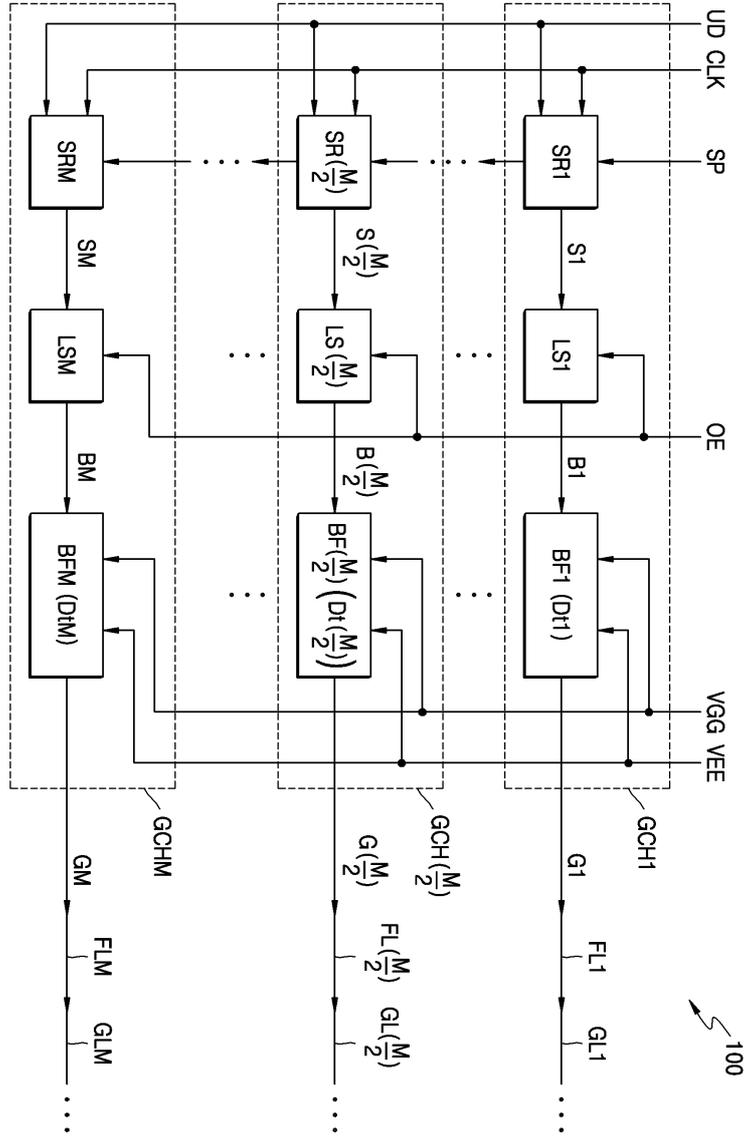
도면3a



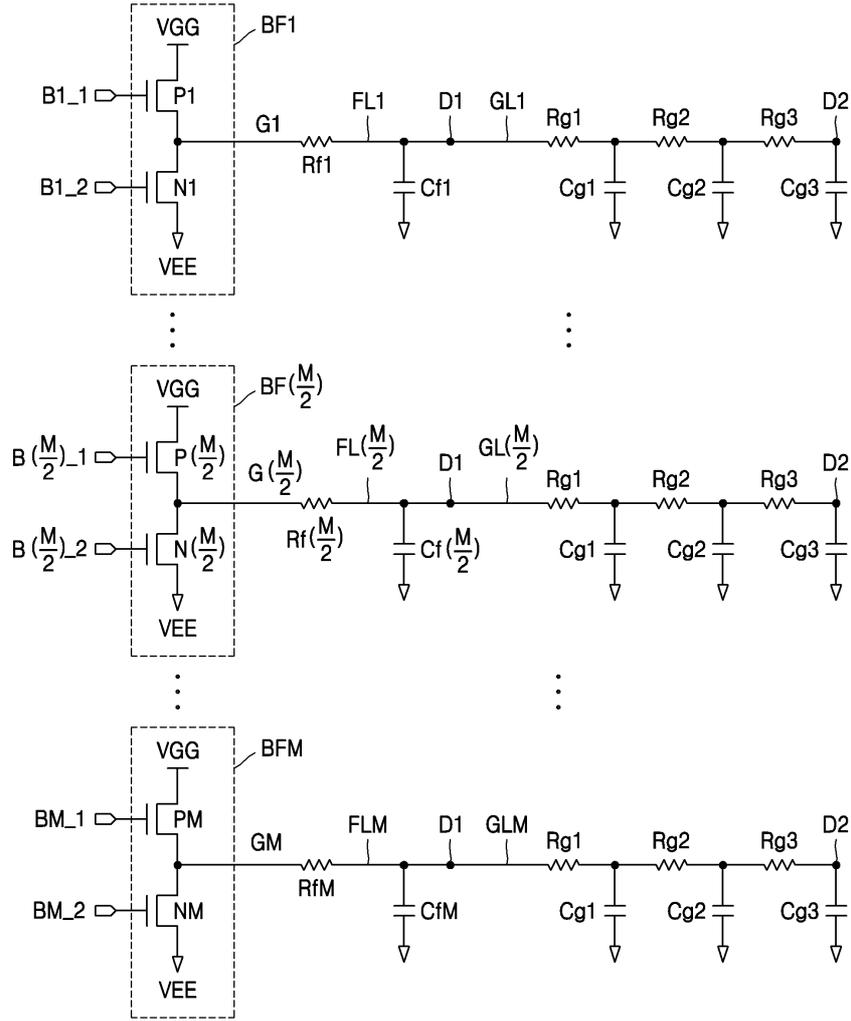
도면3b



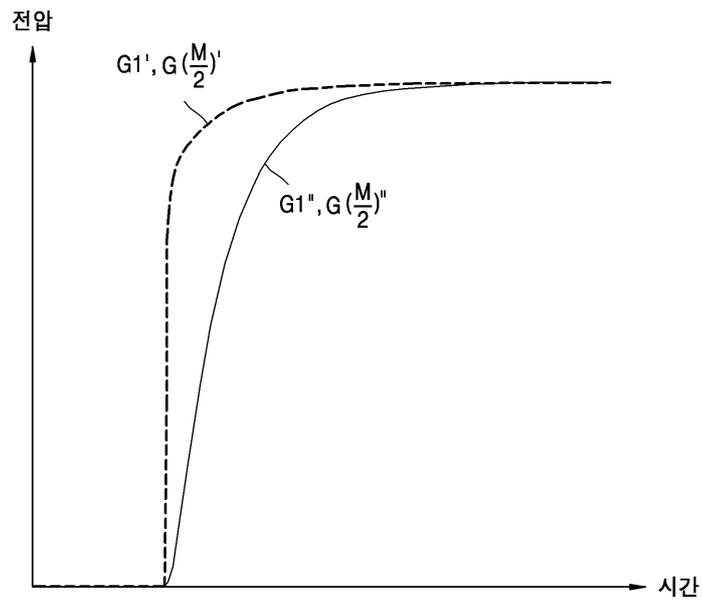
도면4



도면5



도면6a



도면6b

